

JINR-D--13-94-491



RU9710245

**XVI International Symposium
on Nuclear Electronics
and VI International School
on Automation and Computing
in Nuclear Physics and Astrophysics**

Varna, 12—18 September 1994

**XVI Международный симпозиум
по ядерной электронике
и VI Международная школа
по автоматизации исследований
в ядерной физике и астрофизике**

Варна, 12—18 сентября 1994 г.

Дубна 1995

29 - 07

**We regret that
some of the pages
in this report may
not be up to the
proper legibility
standards, even
though the best
possible copy was
used for scanning**



XVI International Symposium on Nuclear Electronics
and 6-th International School on Automation and Computing in Nuclear Physics
and Astrophysics were held in Varna on September 12-18, 1994.

Organized by:

Joint Institute for Nuclear Research, Dubna, Russia

Institute for Nuclear Research and Nuclear Energy of the Bulgarian Academy
of Sciences, Sofia, Bulgaria

Institute for Nuclear Research of the Russian Academy of Sciences, Moscow,
Russia

International Academy of Informatization

XVI Международнѳ симпозиум по ядерной электронике и 6-ая Междуна-
родная школа по автоматизации исследований в ядерной физике и астрофи-
зике проходили в Варне 12-18 сентября 1994 г.

Организаторы:

Объединенный институт ядерных исследований, Дубна, Россия

Институт ядерных исследований и ядерной энергетики Болгарской ака-
демии наук, София, Болгария

Институт ядерных исследований Российской академии наук, Москва, Рос-
сия

Международная академия информатизации

General Consulting Committee:

Velikhov E.P., vice-president of R.A.Sc. (chairman); Vinogradov V.I. INR
of R.A.Sc.; Gustavson D.B., prof., Stanford, USA.

International Program Committee:

Churin I.N., Dr., JINR, Dubna (co-chairman); Vankov I.D., Dr., INRNE,
Sofia (co-chairman); Vinogradov V.I., Dr., INR, Moscow (co-chairman); Evreinov E.V.,
vice-president of the International Academy of Informatization; Hunt R.,
prof., Oxford, Great Britain; Mueller K.D., prof., Julich, Germany; Naumann D.,
prof., Berlin, Germany; Probert D., Dr., Reding, England; Sunol A., prof.,
Florida, USA.

Contents Содержание

A. Front-End Electronics and Detectors

<i>R.Bock</i> Triggering of the detectors at CERN	9
<i>F.Maddaleno, M.Rossi</i> A study of analog-to-digital sliding scale converter utilization	20
<i>M.A.Baturitsky, V.A.Chekhovsky, I.F.Emel' yanchik, N.M.Shumeiko, I.A.Golutvin, N.I.Zamyatin</i> Fast low noise monolithic charge sensitive preamplifiers IC for hadron calorimeter	27
<i>O.V.Strekalovsky, K.Heidel, S.I.Ivanovsky, D.May, H.-G.Ortlepp, G.Pausch, G.Renz, V.E.Shuchko, W.Wagner, V.V.Trofimov, I.P.Tsurin</i> The front-end electronics and the data acquisition system of the FOBOS 4 π -array	31
<i>В.В.Сидоркин</i> Система съема информации с дрейфовых камер на основе времяцифровых преобразователей с 2 нс разрешением в стандарте КАМАК	38
<i>А.И.Климов, Е.А.Мелешко, А.Г.Морозов, Г.Н.Дудкин, Л.А.Кузьмичев, А.А.Паньков</i> Электронная аппаратура черенковских детекторов для регистрации широких атмосферных ливней	42
<i>Б.А.Борисовец, Л.А.Донских, А.М.Клабуков, А.И.Климов, Л.А.Кузьмичев, Е.А.Мелешко, А.Г.Морозов, И.Е.Осташев, Т.Тон</i> Подводная электроника нейтринного детектора	45
<i>К.Inakiev, T.Grigorov</i> Enhanced timing channel for spectroscopy amplifiers	48
<i>F.A.Ermalitski, S.S.Vetokhin, V.B.Zalesski</i> Large area silikon avalanche MRS-photodiodes for nuclear spectrometry	53
<i>К.Inakiev, T.Grigorov</i> Pole-zero adjustment of spectroscopy amplifiers using MCA	55

B. Data Acquisition and Processing

B. Hoffmann

Building blocks for modular data acquisition systems 59

В.А.Смирнов

Организация систем сбора данных на основе аппаратуры, выполненной в разных стандартах... 68

В.Г.Тишин

Некоторые концепции развития многомерных измерительных систем
на физических установках ЛНФ ОИЯИ 73

А.А.Грибов, В.А.Жуков, С.И.Сдобнов, Г.В.Яковлев

Решение сложных измерительных проблем
при автоматизации научного эксперимента и технологических процессов 79

И.М.Иванченко, З.И.Коженкова, В.В.Кореньков, Ю.А.Кретов, А.Г.Скрипничук

Архитектура системы массовой обработки экспериментальных данных
с установки EXCHARM на базе кластера виртуальных машин 85

M. Morhac, I. Turzo, J. Kristiak, V. Matousek

Multiparameter nuclear data acquisition and processing system 89

Н.И.Журавлев, В.Е.Сидоров

Система считывания информации с пропорциональных камер 94

Ц.Пантелеев, В.Минкова, Н.Камбуров, А.Дражев, И.Кожухаров

Электронная система для измерений с многоцелевым нейтронным детектором..... 97

V.A. Butenko, V.A. Drozdov, A.S. Kirillov, V.E. Novozhilov,

A.I. Ostrovnoj, V.I. Prikhodko, V.E. Rezaev, Ja. Sudek, D. Krushinskij

The DSP-based RTOF correlator for high resolution Fourier diffractometers 102

В.Е.Резаев

Спектрометрическое запоминающее устройство в стандарте VME 107

M. Morhac, V. Matousek, I. Turzo

Multiparameter amplitude analysis with on-line compression
using adaptive orthogonal transform..... 113

D. Yu. Mostovoy, Yu. P. Lyashchenko

Russian anti-virus technology versus western tools 117

C. Networks and Buses

A.T. Dorokhin, V.P. Shirikov

The status of computing and means of local and external networking at JINR 122

M. Tomasevic, V. Milutinovic

The cache coherence problem in shared memory multiprocessors: hardware solutions 130

<i>I.Tartalja, V.Milutinovic</i> The cache coherence problem in shared memory multiprocessors: software solutions	131
<i>J.Protic, M.Tomasevic, V.Milutinovic</i> A survey of distributed shared memory approaches.....	132
<i>M.Jovanovic, M.Tomasevic, V.Milutinovic</i> Design issues for a block-oriented reflective memory system	137
<i>A.Janicijevic, E.Jovanov, D.Raskovic, V.Milutinovic</i> A comparison of two approaches to ATM router chip design	142
<i>D.Milutinovic</i> Time analysis of interconnection networks implemented on the HONEYCOMB architecture	147
<i>D.Milutinovic</i> Area analysis of interconnection networks implemented on the HONEYCOMB architecture	152
<i>V.I.Vinogradov</i> Ring interconnection for distributed memory automation and computing system	157

D. Spectrometers and Radiometers

<i>S.K.Andruxhovich, A.V.Berestov, V.M.Grebenjuk, V.I.Gufko, A.M.Khilmanovich, E.A.Rudak, A.S.Uzunbadjakov, F.E.Zjazjulja</i> High-sensitivity multidimensional gamma-ray spectrometer «PRIPYAT» for low-level measurements	160
<i>Г.Георгиев, И.Ванков, Л.Димитров, И.Пеев</i> Многоканальный анализатор в персональном компьютере, использующий канал прямого доступа к памяти	163
<i>S.M.Dmitriev, F.A.Ermalitski, A.A.Kolyada, S.V.Sukhanin, L.N.Vasilevich</i> The multichannel system of synchronous proton counting of range 50 ns — 100 ns	168
<i>F.A.Ermalitski, A.A.Kolyada, V.V.Revinski, L.N.Vasilevich</i> About using of the high speed modular computing structures in the systems of radiation express analysis	170
<i>I.Vankov, Ch.Kambourov, L.Dimitrov, B.Kunov, G.Georgiev</i> Low-level beta-activity radiometer with compensator of the background	172
<i>В.В.Журавлев, Д.А.Корнеев, Е.И.Литвиненко, Д.И.Ляпин</i> Измерительно-накопительный модуль спектрометра на поляризованных нейтронах СПН-1	178
<i>Н.Милева, А.Петров, Н.Павлов</i> Компьютерно-интегрированные среды для проблемного обучения по электронике на основе аналогового симулятора PSPICE	183

E. Control Systems and Equipment

R. Barillere et al. (The CICERO group)

CICERO: Research in the design of software for control systems
using object-oriented techniques 188

К.А.Гудков, А.С.Чепурнов, А.В.Шумаков, В.И.Виноградов

Концепция систем автоматизации контроля и управления
технологическими объектами ускорителя..... 197

J. Kliman, V. Matousek, M. Morhac, I. Turzo, Y. Anisimov, A. Artiromov, S. Basilev, V. Slepnev

PC-based control of the internal target station at the nuclotron 202

В.Т.Сидоров, П.А.Петев

Автоматизация электростатического и магнитного β -спектрометров 208

А.Н.Баландиков, В.И.Волков, В.М.Горченко, И.И.Куликов,

С.В.Романов, А.П.Царенков

Измерение параметров выведенных пучков заряженных частиц
на ускорительном комплексе ЛВЭ 212

Л.Димитров, Г.Георгиев, И.Ванков, В.Волков

Блок отбора и сохранения видеоизображения..... 219

О.Аварзад, В.С.Рихвицкий

Система пакетного ввода и вывода изображений
для нейтронной радиографии на базе ПЭВМ IBM PC XT/AT..... 222

И.Н.Чурин

Контроллер крейта КАМАК КК014 на основе однокристалльной микро-ЭВМ 8031
для работы через последовательную линию связи RS-232C..... 226

A. V. Pilyar

Multifunction input-output board for the IBM PC AT/XT (Lab-Master) 230

В.И.Дацков, А.С.Никифоров, В.П.Николаев, Ю.А.Шишов

Система сбора данных сверхпроводящего соленоида на базе PC 233

В.Куннов, G.Georgiev, L. Dimitrov, I. Atanassov, I. Vankov

Computer controlled high voltage system..... 235

Н.И.Лебедев, А.А.Фатеев

Высоковольтные источники питания для ЛБВ УВ-273А 240

A.M. Bufan, A.A. Ivanov, Yu. S. Nechaev

The optimized laser photoplotter of IHEP 245

**NEXT PAGE(S)
left BLANK**

Triggering of the detectors at LHC

R.Bock, CERN

Switzerland

Abstract

The future Large Hadron Collider (LHC), to be built at CERN, presents among other technological challenges a formidable problem of real-time data analysis. From a primary bunch crossing rate of 40 MHz, each crossing containing multiple pp collisions, a multi-stage trigger system has to analyze data to decide which is the fraction of events that should be preserved on permanent storage for further analysis. This is done by algorithms at different levels, using very partial and local data to start with, and, at reduced rates, increasingly complete data sets and complex algorithms subsequently.

We report here on the overall structuring of the trigger into three levels, and some further structuring, particularly of the critical second trigger level. We also discuss existing ideas about possible implementations.

1. The Large Hadron Collider: a triggering challenge

The community of High Energy Physics is proposing the next-generation collider to be built at CERN, the 'Large Hadron Collider' or LHC. This new instrument will allow the international community of researchers to explore unknown areas of physics at the smallest scale, as it collides in its preferred mode two counter-rotating beams of protons each at an energy of 7000 GeV, not attainable in any accelerator today. The development of critical components for this collider, to be installed in the existing LEP underground ring, is well advanced: in particular, the critical superconducting magnets with fields of more than 9 Tesla have been industrially produced and successfully tested. Experimentation in that ring is expected to start at the beginning of the next century, in an optimistic scenario around the year 2002.

One characteristic property of the future collider [1] arises from the fact that the collisions giving clues to the physics of interest are rare¹, and in particular the ratio between this and the overall collision rate is very small, like one in a million or less.

¹ LHC physics is mainly focussed on discovery of the Higgs particle, postulated by theory to explain the mass scale of particles in the Standard Model. Further discovery potential exists for particles related to Supersymmetry, for possible unknown heavy gauge bosons, compositeness, and others. Beyond that, a wealth of information can be expected for top and beauty physics, and for high-cross section phenomena, also unknown at these energies.

The accelerator builders, therefore, put much ingenuity into achieving the highest possible 'luminosity', i.e. beam density and collision rate. They do this by fine focussing the largest possible number of protons into packets ('bunches') of less than 10cm length (and only a few μm diameter), which follow each other at very short time intervals (25 nsec - not a very long distance, as it corresponds to about eight meters at the speed of light). The detectors studying the collisions (two pp experiments are planned, the proposals are known under the names ATLAS and CMS, see [2], [3]) will then have to deal with very high rates of events and must attempt to achieve a time separation that takes advantage of the bunch structure - the limit being that some of the physics processes put to use in detectors take longer than the bunch separation.

Let us assume that the problem of separating collisions recorded in the detector into individual signals can be solved. This is only partially true at high luminosity, as multiple collisions will occur in a single bunch crossing, and appear as one 'supercollision'. There remains yet another challenge, though: to use the signals from a single bunch crossing, or at least a subset of them, in order to decide if one of the collisions at hand should be analyzed in more detail and eventually recorded. The detectors are, of course, constructed to provide signals corresponding to the signatures of interesting collisions, in nearly all cases characterized by high transverse momenta and by the occurrence of leptons (electrons, muons, tau-s, and neutrinos) and jets. This selection procedure of entire collisions is called 'triggering', and is familiar to physicists from past experiments, albeit at rates much lower than those imposed by the LHC. Our present contribution discusses briefly the structure of triggers at the LHC, and specific implementation possibilities of critical trigger parts.

2. Technological preparation

In preparation for the challenges of the LHC, an impressive number of R&D projects, more precisely in excess of forty, have been initiated by an internationally composed 'Detector R&D Committee' over the last years. Many of them concern developments of novel detectors with optimal time resolution, or components that can resist the high radiation doses expected in LHC detectors, particularly those at small angles from the beams. Several of them also deal with the new problems of readout, data transmission and triggering. To mention a few of these projects:

- FERMI (RD16) has already demonstrated the design of fast non-linear 10-bit ADC-s (80 MHz) on chips, to be used in the readout modules of calorimeters. The plan is to equip all calorimeter channels in an experiment with microsystems containing analog and digital front-end electronics, allowing optimal signal extraction and data buffering during level-1 and level-2 latencies.

- RD23 develops radiation-hard lightwave links, based on electro-optic intensity modulators, for economic transmission of analogue signals on fibres.

- RD12 has proposed practical ways of connecting a fast timing and control network to all individual readout units to identify bunch crossing and allow proper synchronisation.

- RD27 has worked on the details of level-1 triggers, and has successfully operated a custom chip for calorimeter triggering (see chapter 4 below).

- EAST (RD11) explores architectures for implementing second-level triggering, and has demonstrated implementations of data-driven devices based on field-programmable gate arrays (see chapters 5 and 6 below).

There are further projects on transmission and switching technologies (ATM, SCI, Fibre Channel), which will be mentioned below (see chapter 6 below).

3. Overall trigger structure

Physics at the LHC will start with a primary event rate of 40 MHz, the bunch crossing frequency. Each event is characterized by several Mbytes of information, once it is fully digitized. In real time at high frequency before rate-reducing triggers, this volume of information is transmitted (in analog or digital form) in parallel into thousands of individual buffers, with characteristics specific to the different subdetectors. The task of the trigger is to find the small number of interesting physics events, not more than a few (to be specific, certainly less than a hundred) per second. A succession of event selection algorithms is applied; close to the detectors they have to run at bunch crossing frequency and must be simple enough to be implemented in custom-made or specifically adapted hardware, with limited or no programmability. As there is a finite latency, viz. delay between the availability of data and a final 'yes/no' decision, transmission and operations have to be pipelined and all data stored in a buffer, avoiding dead time as much as possible. Schematically, this is shown in the following figure 1.

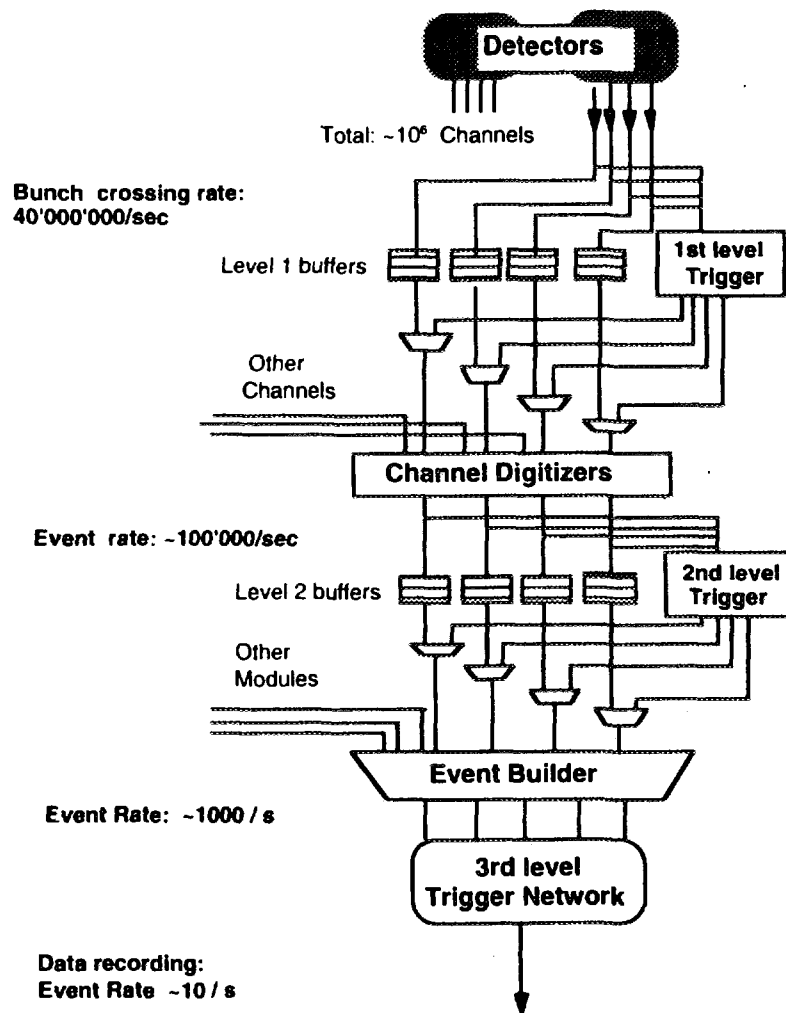


Figure 1. Overall structure of triggering in an LHC experiment

As the successive stages of event selection reduce the rates, algorithms of increasing complexity and implemented in processors of some generality become both necessary and possible. While this is certainly true for the last ('third') level of triggering, 'second-level' algorithms operate at an assumed input event rate of 100 kHz, and may need some parallelization and structuring to keep up with this rate. The algorithms to be implemented at level 2 are expected to achieve another rate reduction of a factor of ~ 100 ; examples are discussed below. For the 'third-level' trigger, one assumes that it can be implemented as a group of general-purpose processors, each of which is served a full event (at ~ 1000 events/second), and hence can execute any high-level code that allows a final data reduction in real time.

4. Implementations of the first-level trigger (pp)

The most important detectors for which level-1 triggers are to be implemented at bunch crossing rate, for pp physics most likely the only detectors, are calorimeters and muon chambers. We have seen before that the triggering task is to identify high- p_t leptons, among which electrons and muons are most prominent (tau-s are much more difficult to identify, as they have a very short lifetime and must be pieced together from their decay products). Gamma pairs and very high- p_t jets or hadrons are an additional demand.

Calorimeters are built to provide the most characteristic signature of electrons and gammas, electromagnetic energy in a very concentrated region, with practically no leakage into the hadronic section behind. In connection with tracking chambers, electrons can be distinguished from gammas, and both can be discriminated against the gamma pairs from π^0 -s, an important source of background. Calorimeters can also serve to recognize hadronic high- p_t phenomena, single hadrons or jets, provided the window over which the trigger extends is broadened, and the hadronic cells, which in the electron case act like a veto, are included. Trigger thresholds, naturally, have to be tuned differently for the hadron or jet case.

The implementation of the calorimeter trigger foresees typically a sliding trigger window of about 0.4×0.4 in $\Delta\eta \times \Delta\phi$, inside which 16 cells (of 0.1×0.1 in the same coordinates) are accessible each for the electromagnetic and hadronic part. This implies integrating a number of original cells both in depth and $\Delta\eta \times \Delta\phi$; the raw data in ATLAS are presently assumed to correspond, in the e.m. calorimeter, to three layers in depth and a cell size of 0.025×0.025 . The summing up of cells into larger non-overlapping trigger cells is done by the frontend electronics. The 'sliding window' has to move by increments of 0.1 both in η and ϕ , to avoid losses; due to the requirement of a 40 MHz rate there is no viable alternative to a parallel implementation. Each possible window has an associated 'trigger processor' realized as an ASIC, which must be provided the necessary data in synchronization. Presently, a prototype implementation operating according to figure 2 below, has been demonstrated by the project RD27 in a test beam (see [4]).

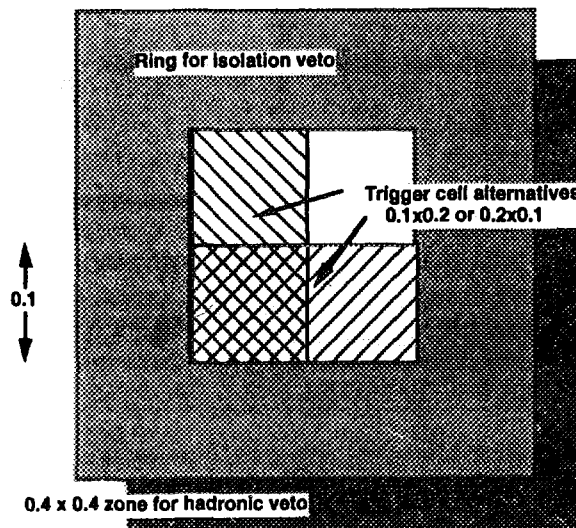


Figure 2. Principle of first-level calorimeter trigger window

Level-1 muon triggers require the existence of fast tracking devices behind substantial shielding. They must provide, again at 40 MHz, hit patterns from which a pattern matching algorithm (implemented in custom-designed ASICs) can decide that hit combinations corresponding to a track have occurred. Compared to more detailed tracking algorithms in the inner detector, this algorithm must rely on coarser grain information so that the necessary fast parallel lookup tables remain of manageable size.

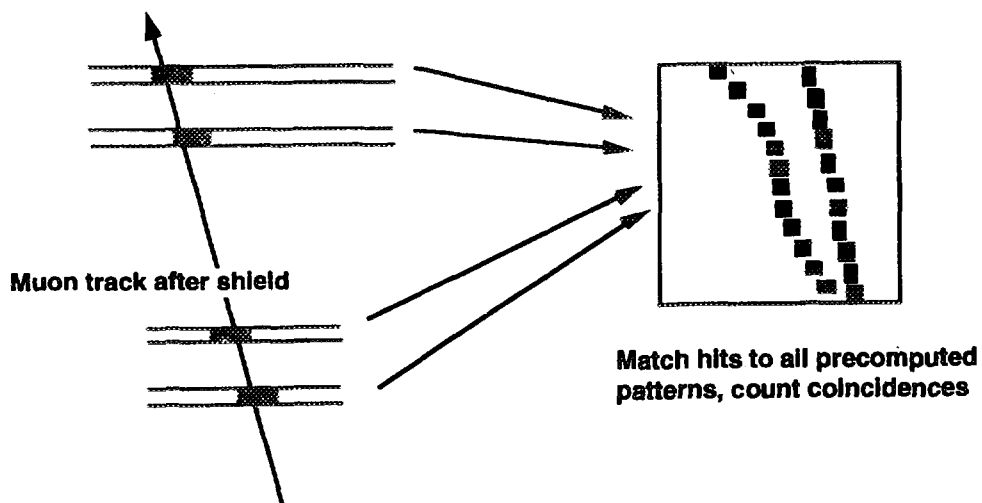


Figure 3. Principle of first-level pattern matching for muon triggering

5. Structuring the second-level trigger (pp)

If in level 1 of the trigger, the limits of technology and the high repetition rate confine solutions essentially to ASIC implementations of crude algorithms known from past experiments, the second-level opens a much wider range of possible implementations. As shortcuts taken in the implementation usually translate into a less than optimal performance concerning biases and losses, the implemented algorithms are crucial to the quality of physics. This is why we give level 2 here a somewhat more detailed coverage, although the available space does not allow us to enter detailed descriptions or discussions of algorithms. For more details, see [5-7].

Several guiding principles have emerged for the level-2 trigger, assumed to operate at 100 kHz or less. One of them is the fundamental *Region-of-Interest (RoI) concept*, very critical at least at high luminosity (viz. at high level-1 rates). The RoI concept relies on the level-1 trigger to identify those parts of the detector containing candidate features (electrons, photons, muons, jets). Only the data fraction in this candidate region (of the order of a few % of the total) is considered relevant and is moved to and used by the level-2 processors; the restricted readout alleviates the very stringent bandwidth requirements on providing data for algorithms from distributed buffers, at high frequency.

Simultaneously, the RoI concept considerably simplifies algorithms: local algorithms convert limited data from a single subdetector into variables containing the relevant physics message ('features'), in order to confirm or disprove a known hypothesis.

Another principle is to allow in level 2 for algorithms *using full-granularity, full-precision* data on all characteristic detectors. The extent to which data with full precision are effectively needed in level 2, will have to be the subject of future detailed physics-driven studies, and may even be dependent on the target physics. In general, the option for use of full data has to be provided for. Reducing the requirements on precision in the trigger will, of course, result in architectural simplification and cost savings.

A further guiding principle for all implementations is that any proposed or demonstrated *hardware solution* must be envisaged to *hold for the entire detector*, or at least for several detector components, apart from the usual constraints of flexibility, robustness, ease of control and maintenance. It also must be readily embedded in the overall data acquisition system. As we also want to rely as much as possible on commercially available components, and are dealing with a market that evolves fast and is not driven by our application, we will have to ensure that future technology improvements can be absorbed as easily as possible in the system, the limit being that some new technologies will, obviously, require architectural adaptation. These criteria translate into a maximum use of standard interfaces, and in particular the introduction of as few different components as possible (viz. detector-independent solutions).

We can decompose the problem of second-level triggering in some detail, using as model the detector design as pursued in the ongoing work on LHC experimental proposals. This structuring of the problem is vital to limit the choices of transmission and processing technology, and to introduce the use of natural parallelism. The following paragraphs outline the overall functional decomposition of the level-2 problem, into three main phases, illustrated by figures 4 and 5.

Phase 1 consists of the buffering of level-1 (L1) selected data, and the collection of regions of interest. Raw detector data, after a L1 trigger has occurred, are naturally transmitted via cables or fibers, and collected in multiple local non-overlapping memory modules (chips, boards, crates), the *L2 buffer*. These memories need to hold full information over the duration of the L2 operation, the so-called L2 latency. For a data set representing a region of interest to become available, two functions must then be implemented:

- A device realized outside the L2 data stream has to indicate the whereabouts of regions of interest. This L1-guided unit is called a *RoI-builder* and 'drives' the RoI collection. Note that this is true even for RoI-s that do not themselves actively participate in the L1 decision, like lower-threshold calorimeter clusters.

- The data pertaining to RoI-s have to be selected by some mechanism, which we term *RoI collection*. Detector-dependent differences will exist in the implementation, as substantial variety exists in the modularity and technology of collecting data in L2 buffers. All intended implementations could make use of the RoI parallelism, i.e. deliver data for different RoI-s simultaneously. This parallelism does not, however, match directly the parallelism of readout or L2 buffers: RoI-s do, in general, extend across the boundaries of buffers.

Phase 2 consists of 'feature extraction', i.e. of local processing of the data in a single RoI of a subdetector. On data collected for a single RoI, a relatively simple feature extraction algorithm can perform a local pre-processing function. *Features* are variables containing the relevant physics message, like cluster or track parameters that can contribute to corroborate or disprove the different physics hypotheses. The local algorithms are independent from other subdetectors and RoI-s, hence can exploit the natural double parallelism of RoI-s and subdetectors. Future simulation will have to show if and to which extent this simple concept has to be diluted (the fate of nearly all simple concepts), in order to avoid physics losses. This could be true in regions of overlap of detector parts (e.g. barrel/end cap), where each subdetector only has a weak signal.

Phase 3 is made of algorithms operating on the previously found features, to achieve a 'global decision making'. The physics features have to be collected from all subdetectors and from all RoI-s, for forming an overall decision on the entire event. The bandwidth requirements are substantially reduced by feature extraction, so that implementations of this phase have less of a problem with data transmission, although the trigger frequency of 100 kHz is, of course, unchanged. If one decomposes further the part of the algorithm dealing with multiple sets of features, the natural and efficient order of processing is to combine first all subdetectors that have 'seen' the same physics 'object', into decision variables which are again local (same RoI), and follow this by combining all RoI-s into an event decision, as shown in figure 5. While this is likely to be the most inviting algorithm strategy, it is by no means necessary (although possible and perhaps cost-effective) to express the strategy also by a corresponding implementation in separate and parallel processors. There is another natural parallelism which could be used, that of testing multiple physics hypotheses against the same set of data. It should be noted that the data set of independent features for detectors/RoI-s, has to be amended by derived quantities (e.g. effective masses for particle pairs).

6. Implementation options for level 2

We have, so far, avoided discussing the hardware on which these level-2 algorithms or algorithm parts are to be implemented. In fact, basic choices exist that lead to quite different architectures. We will discuss here two overall options showing the basic choices in a pure way. Both of these are still under study and have specific advantages. We call them the *farm-based* and the *data-driven* architecture. Note that practical implementations are unlikely to follow such a pure solution for all detectors; hybrid implementations are quite possible and potentially the most cost-effective overall.

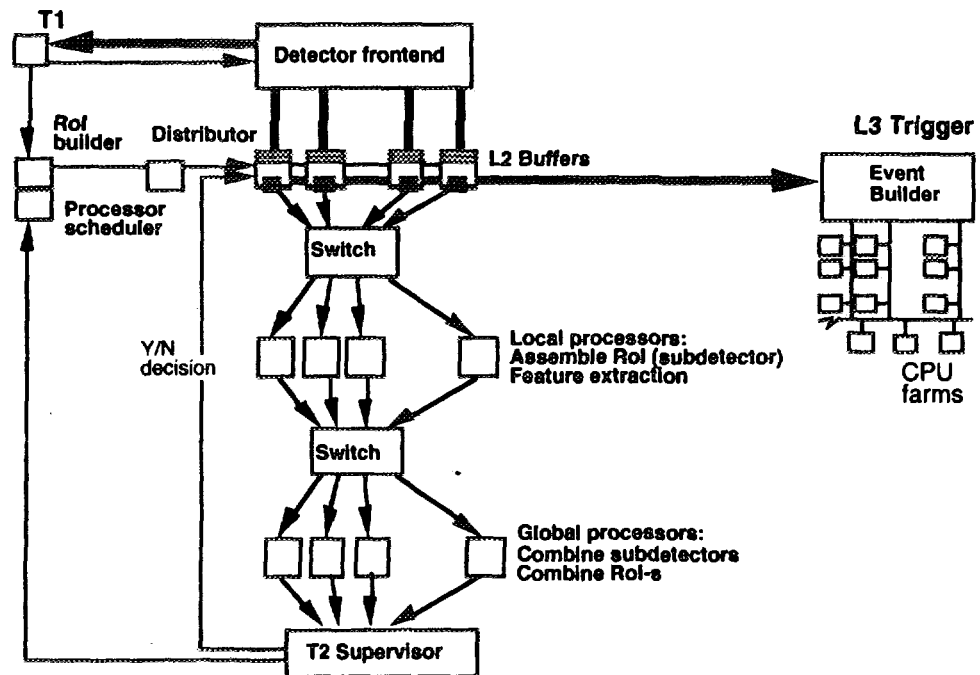


Figure 4. An architecture with local and global farms

The **farm-based** approach uses standard general-purpose processors and commercial network and communication components. The characteristic property of a farm is that at any given time, any processor may be busy with a full or partial event, while other processors deal with different events. This minimizes inter-processor communication and avoids detailed synchronization, but requires powerful mechanisms to purvey free processors in the farm with all the data necessary for its algorithm(s).

In the very simplest architectural scheme, as discussed in the CMS collaboration, processors are all grouped into a single farm, and are all connected to the entire set of potential data sources, the L2 buffers, via a switching network. A farm of this type can, of course, execute level-2 algorithms on partial data or level-3 processing on entire events, in the same architecture. Realistic estimates for the numbers of buffers talk about a thousand or more, and certainly several thousand processors will be needed; this leads then to a very demanding network technology.

The ATLAS decomposition into farms (shown in figure 4) follows more closely the above three phases: there are two layers of processors performing local feature extraction and global feature combination respectively. Local processors receive their data from intelligent devices in the L2 buffer, through a switching network. The global processors are organized as a single general farm; local processors may be run as one farm per subdetector, but groups of processors may also be permanently assigned to regions of the detector.

The **data-driven** approach uses low-level devices for ROI collection (sometimes called 'Routers'), directly coupled to (or inserted upstream of) the L2 buffers. Typically, these could be implemented as field-programmable gate arrays. Devices based on the same principle of low-level programmability, are also used as feature-extraction processors. Solutions based on field-programmable gate arrays have been shown ([8],[9]) to be able to satisfy the characteristic constraint applied to this solution, which is that processors operate in a pipelined mode capable of coping with the level-1 event rate of 100 kHz. This constraint obviates the necessity of event parallelism in a farm for phase 2. In figure 5, the network/farm approach is, however, kept for the low-bandwidth problem of global decision making.

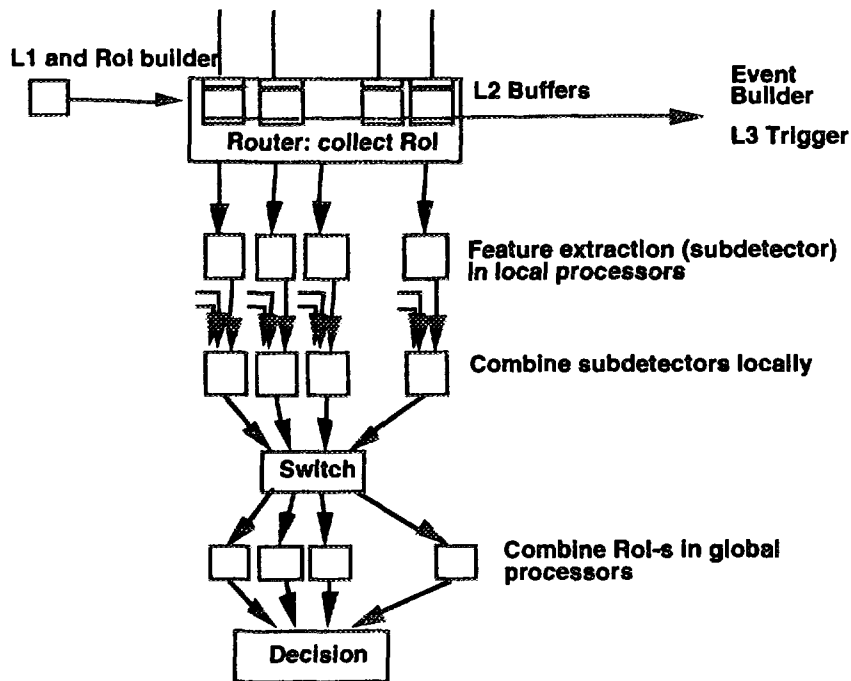


Figure 5. A data-driven architecture with local pipeline (and global farm)

We do not presently understand enough about the elements of commercial farms in the various parts of the L2 trigger. Very first measurements seem to indicate that the market offers today components that seem not to permit an implementation of algorithms at 100 kHz, and extrapolations into the future are necessary. We have taken a benchmark suite of feature extraction and global decision algorithms, onto most of the market-leading processors, and measured execution times. The algorithms are conceptually optimized (e.g. making extensive use of look-up tables), and contain no system kernel overheads or interference with communication, nor the necessary 'service functions' like unpacking information or address manipulation (from 'local in readout module' to 'local in Roi' or 'global'). Feature extraction algorithms execute

typically in around a millisecond, first estimates for the neglected overheads are in the hundreds of microseconds. Global decisions take of the order of 200 microseconds on average (all times are given for the best available RISC processor). At a 100 kHz event rate, and for reasonable assumptions about the number of detectors and RoI-s, we can conclude that (with today's processors) a farm with several thousand processors will be required.

On communication and switching devices, theoretical and measured information on commercial equipment is available for HIPPI, used for transmission and switching between a few ports. Of the theoretically possible 100 Mbytes/s of HIPPI, 70 to 80% have been realized for transmission and over the switch (reported by experiment NA48). This does not include high-level software. HIPPI, however, does not look like a possible candidate in the long term, due to the bulky 32-bit-parallel cables limited to 25m length. On a preliminary installation with a Fibre Channel switch and several processors (up to five Power PC-s and HP 750-s were connected), transmission and setup characteristics were evaluated using a fully commercial path, including interfaces and software. Although the bandwidth for large packets is acceptable, high-frequency applications seem excluded without major software replacements, due to the long setup times of transfers (of the order of 500 μ sec).

Early transmission results exist from RD24 for the prototype chips of SCI [10], but commercial availability is not yet given. For ATM, a fully commercial NetComm switch runs at a theoretical maximum of 12.5 Mbytes/s, of which a (strongly packet-size dependent) fraction only is achieved. Interpreting the measured NetComm rates for small packet size, a switching latency again in excess of 500 microseconds and substantial processor overhead may be inferred, but better understanding and more measurements are required. Newer hardware for ATM switches up to about 20 Mbytes/s has been realized and will be available soon. Both SCI and ATM for faster theoretical hardware speed have been simulated in quite some detail ([10],[11]), and could eventually become candidates for future farm implementations.

The above discussion was kept very polarised to general-purpose processors and switches on the one, field-programmable gate arrays on the other side. We have not done enough justice to the combined power inherent in digital signal processors (DSP-s), which have typically compute performances comparable to RISC processors, with added and properly integrated communication capability. DSP-s can be arranged into farms, but also into pipelined architectures, and their links allow constructing intelligent networks from them. They can constitute an ideal intermediate link between the 32-bit general-purpose processor and FPGA-s. Although some preliminary work has been done, no simple and cheap general solution based on DSP-s has been proposed today. Efficient interplay between communication and processing in DSP-s needs thorough understanding of the device's architecture and internal pipelines. In some DSP-s, links are also limited to short physical length.

7. Experiments at the LHC at lower luminosity

The LHC is primarily built for high-luminosity and low cross section physics, but allows also to investigate other phenomena at lower pp luminosity, and in particular will also allow operation with heavy ions accelerated in both rings.

For B-physics in pp collisions, first proposals to build specific detectors have been made; that sector, however, is also covered in the proposals of CMS and ATLAS. One can assume a luminosity tenfold lower than assumed for prime physics, and use of the same detector components. The signatures relevant for the B sector, however, are quite

different, in particular the phenomena manifest themselves by leptons at much lower p_t . This may require a partial rethinking of triggers. For instance, modifications may become necessary to the principle of RoI for B-physics; if a level-1 B-trigger detects a medium- p_t muon, the need to corroborate the signature by low- p_t (below 5 GeV/c) electrons may well result in a need for an unguided scan of a full tracking detector, as guidance from calorimetry can not be relied upon. If rates after the standard tools of level 2 (e.g. refinement of level-1 muons) are too high to go to level 3, a special full-detector search for candidates will become necessary. This is, of course, easier to implement in a farm-type or DSP-based solution than in a data-driven architecture.

For heavy ion physics, the event rate will be lower still, by orders of magnitude. In the proposal that is presently pursued [12], a collision rate of up to 4000 collisions/sec is assumed, which is level-1 triggered down to a few % of this rate by estimating the overall charged-particle multiplicity. At such rates, many stringent constraints of the pp experiments can be relaxed; e.g. data pipelining is not considered necessary, nor is there a complex multi-level trigger foreseen. On the other hand, heavy ion collisions are characterized by an extraordinary track density, like several thousand per unit of rapidity (as opposed to less than ten in pp collisions), leading to a data volume of from 20 to 50 Mbytes per collision, dominated by the fine-grain tracking device (time projection chamber). As of today, it is not foreseen to analyze these data in real time.

8. References

- [1] Y.Baconnier et al., eds., *The Large Hadron Collider Accelerator Project*, CERN/AC/93-03, 8 November 1993.
- [2] CMS, *The Compact Muon Solenoid*, Letter of Intent, CERN/LHCC 92-3, 1 Oct 92.
- [3] ATLAS, *A General-Purpose pp Experiment at the Large Hadron Collider at CERN*, Letter of Intent, CERN/LHCC/92-4, 1 Oct 1992.
- [4] RD27, *First-level trigger systems for LHC experiments*, CERN/DRDC/93-32 (Status Report).
- [5] RD6: *Integrated Transition Radiation and Tracking Detector for the LHC*, CERN/DRDC/93-46 (Status Report); also J.Shank et al., *Test beam performance of a tracking TRD prototype*, Nucl.Inst.Meth. A309 (1991) 377.
- [6] G.Klyuchnikov et al., *A second-level trigger based on calorimetry only*, CERN/EAST Note 92-23 and ATLAS DAQ Note 007, 8 Oct.92.
- [7] K.Borer et al., *A study of a second level track trigger for ATLAS*, Nucl.Inst.Meth. A336 (1993) 59.
- [8] R.K.Bock, A.Gheorghe, W.Krischer, L.Levinson, Z.Natkaniec, *A commercial image processing system considered for triggering in future LHC experiments*, submitted to Nucl.Inst. and Methods.
- [9] D.Belosludtsev et al., *Programmable Active Memories in real-time tasks: implementing data-driven triggers for LHC experiments*, submitted to Nucl.Inst. and Methods.
- [10] RD24, *Application of the Scalable Coherent Interface to Data Acquisition at LHC*, CERN/DRDC/94-23 (Status Report).
- [11] RD31, *INEBULAS: A high-performance data-driven event building architecture*, CERN/DRDC/93-55 (Status Report).
- [12] ALICE, *A Large Ion Collider Experiment*, Letter of Intent, CERN/LHCC/93-16, 31 March 1993.



RU9710247

A STUDY OF ANALOG-TO-DIGITAL SLIDING SCALE CONVERTER UTILIZATION

Franco Maddaleno (*) and Mario Rossi (#)

*** Politecnico di Torino**

Dep. of Electronics
C.so Duca degli Abruzzi 24
10129 TORINO - ITALY
Tel ++39-11-564.4042
Fax ++39-11-564.4099
Email: MADDALENO@POLITO.IT

Alenia Spazio

Turin Plant
C.so Marche 41
10146 TORINO - ITALY
Tel ++39-11-718.0256
Fax ++39-11-723.307
Email: MROSSI@ALSTO.ALENIA.IT

Abstract

The well-known Sliding Scale technique provides a statistical linearization of the Analog to Digital Converter, obtaining a high differential linearity. This technique sums at each conversion a known and uncorrelated variable signal (offset) to the analog input signal, and then subtracts numerically the offset from the conversion result.

Using this technique, a single conversion can have greater non linearity error than the straight conversion with no offset, but if the converted data are used to build histograms with a high number of events, the final accuracy of the center of gravity relevant to the histogram is better than the accuracy obtained by straight conversions. Moreover, the Sliding Scale technique shows the best advantage when the signals to be converted come with associated statistic phenomena, that is the case of X-ray events.

As a case study, a typical 12 bit A/D converter implementation is examined. In this system, the Sliding Scale function is obtained with an 8 bit D/A converter generating a discrete ramp signal (range value 0-255). This A/D converter is used to cyclically convert 8 multiplexed inputs; this arrangement can cause a beating effect, reducing the expected gain in differential linearity.

Introduction

This work has been originated by an analysis of an X-ray acquisition system to be used on an artificial satellite. During the analysis, some design misconceptions were discovered, which are pointed out in this paper. Although Sliding Scale Converters are used since a long time, in some cases design misconceptions can still occur.

The A/D converter to be analyzed is the main component devoted to the analog to digital conversion of science data. The energy spectra construction is the main purpose of the A/D converter that shall introduce as few errors as possible. This means that the A/D converter needs as a main characteristic an high differential linearity. The limitations due to the need of using qualified devices narrow the set of possible circuit that can be used for the system.

In order to improve the characteristics of the available and qualified A/D converters, the design solution is the use of the Sliding Scale technique that provides a statistical linearization of the A/D characteristics.

Sliding Scale Principle

The Sliding Scale Converter technique has been invented in order to overcome the differential non linearities of the A/D converters [1]. This is a statistical correction, i.e. it works only for a large amount of data: the single conversion can have an error greater than the error obtained without the Sliding Scale. However, if the converted data are statistically processed, as in a histogram, then the statistical properties of the histogram, (for example the center of gravity) are better determined by the Sliding Scale technique [2]. An X-ray

analyzer, which typically must measure the energy spectra of X-ray emission, can present dramatic precision improvements, provided that the Sliding Scale technique is correctly used.

The Sliding Scale principle is based on a simple idea, explained by this example: in order to measure a rod length with a scale having non linear errors, one has to perform many measurements, sliding randomly the rod on the scale, and taking each time the difference between the two rod extremes. The corrected value is obtained by averaging the different results. Of course one must not slide the rod moving an extreme over the end of the scale.

In a data acquisition system, the operation of sliding the voltage to be measured is accomplished by a D/A converter whose input is a "random" number. After the A/D conversion, this slide value is numerically subtracted from the result. A block diagram of a sliding scale converter is shown in Figure 1:

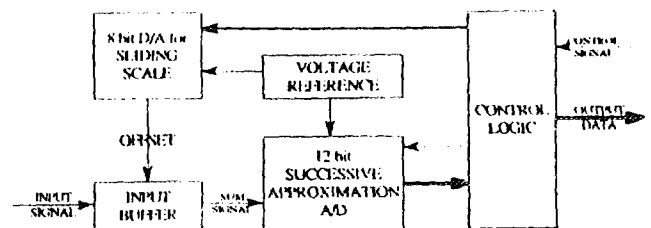


Fig.1

The control block provides for each conversion a new value to the D/A converter, and then subtracts it from the A/D converter output in order to get the conversion result.

This technique works if the following conditions are satisfied:

- 1) The added offset is uncorrelated to the input signal; a real random value could be used, but an uncorrelated deterministic signal is simpler to generate;
- 2) After each acquisition, a sufficient number of samples must be present in each bin;
- 3) The electrical amplitudes of LSB in A/D and D/A converters must be equal.

The maximum non linear error that can arise from a single conversion is given by the sum of A/D and D/A specific non linear errors. If multiple samples are taken, the non linear error decreases due to the averaging effect, depending on the number of different offset values, i.e. on the number of bits used by the Sliding Scale D/A converter.

A histogram obtained with this technique, presents a better shape (no false double peaks), and a more accurate centroid position. On the other hand, the histogram width (that is its variance) is increased, due to the addition of the random variable.

If m bits are used for sliding the input voltage, a maximum decrease of 2^{-m} on the system differential non linearity can be expected. The system non linearity is principally given by the differential non linearity of A/D converter added to that of D/A converter. The sliding scale technique works if at least an order of 2^m measures are carried out for a constant input. In case of a distribution, each bin must contain at least about $2^{2m} / \text{DNL}$ samples, where DNL is the differential non linearity of the used A/D converter.

A/D Converter Implementation

Analog to Digital Converter adopted in the science instruments is constituted by a 12 bit Successive Approximation A/D converter with the sliding scale technique.

The previous listed conditions has been met with the following design choices:

- The first condition has been fulfilled, applying, as offset, a ramp signal that is statistically uncorrelated from the input signal. The input signal is the energy signal produced by the detector system, that is completely random.
- The second condition depends on the user: he/she must guarantee a high number of events for each significant bin in the histogram (see above).
- The third condition has been satisfied using the same voltage reference for both A/D and D/A converters, and using only the 8 most significant bits of a 10 bit D/A converter.

The analog gain error of the D/A converter is convolved with the real distribution: as a consequence, a constant input (monochromatic line) is represented by a wider distribution and the centroid of the obtained data doesn't represent the line position, because a systematic error is added to the input data.

The A/D sliding scale converter is constituted by the following blocks:

- **Input buffer** receives the analog input signal, adds to this signal the offset signal and subtracts the offset adjust signal. This block is constituted by an operational amplifier that provides an high input impedance and a fast settling time allowing a fast time conversion.
- **DAC for sliding scale:** this DAC is a 10 bit current output, that provides the offset signal. Only the 8 most significant bits are used for the sliding scale function, obtaining an error reduction on its non linearities.

- **Successive Approximation A/D**, implemented by a 12 bit high speed ADC, performs the sum signal conversion in about 5 μ s..
- **Control Logic**, implemented by a FPGA, performs the sliding scale control, provides the digital data result in a latch register with three state output and provides, under external activation, the automatic offset adjust function. The logic performs the following steps:
 1. subtracts to the converted 'sum signal' the digital code corresponding to the analog value previously added by the DAC.
 2. store the result in the output latch register.
 3. update the sliding scale DAC incrementing the code.

The offset is a ramp signal, generated by a 8 bit counter, that is incremented for each conversion. When the ramp signal reaches to the maximum value N_{MAX} , the counter is reset and repeat the counting.

- **Voltage reference**, an high stability voltage reference, provides the -5V reference to the successive approximation ADC, the +5V reference to the DAC. An excellent voltage reference accuracy is necessary to ensure a good offset signal accuracy.

System Architecture Analysis

The case study here presented deals with a problem of multiple input conversion. Two different ADC applications will be examined. In both cases, the same A/D subsystem, previously described, is used.

In the first application, for each X-ray detection (event) 4 or 8 different analog voltages must be converted, depending on the operating mode chosen by the human observer.

The system designer chose the approach shown in figure 2.

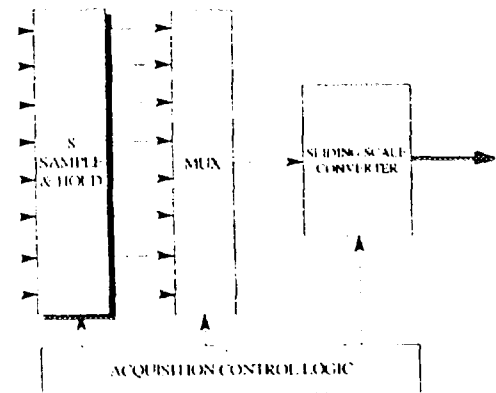


Fig. 2 FIRST A/D SLIDING SCALE CONFIGURATION.

The 8 input signals are sampled at the same instant, and then routed to a multiplexer which cyclically connects the various inputs to the A/D subsystem, with Sliding Scale correction. The same A/D converter performs, for each received event, 4 or 8 consecutive conversions with the same order.

The Sliding Scale control generates a discrete ramp (input signal to DAC from 0 to 255), so every input signal i is summed by an offset with a numeric value equal to $(8*k+i) \bmod 256$, where i is the input channel and k is an integer: for example starting with the Sliding Scale register reset, the first of the eight input signals has as offset the value 0, 8, 16, 24, 32 ... while the second line input has 1, 9, 17, 25... A beating effect between number of converted line input and number of offset happens. In this condition, the Sliding Scale improvement is reduced because to each input channel only 32 different "random" values are averaged.

Moreover, the non differential linearity of the

D/A converter usually depends on the internal resistive network (R-2R), so the error could be periodic and the statistical correction could not work properly. In this case, the statistical independence between input signal and offset is not completely verified.

Finally, in the specific implementation, the 8 input signals are not statistically independent because some of them are obtained by an analog processing: in this case the statistical independence between the input signals and the offset could be violated.

In the second application, 9 input channels must be cyclically converted for each event. This instrument however must also recognize and measure the so called double event, constituted by two sets of analog voltages to be converted with very short time differences ($< 40 \mu\text{s}$). The architecture solution chosen by the system designer is shown in figure 3.

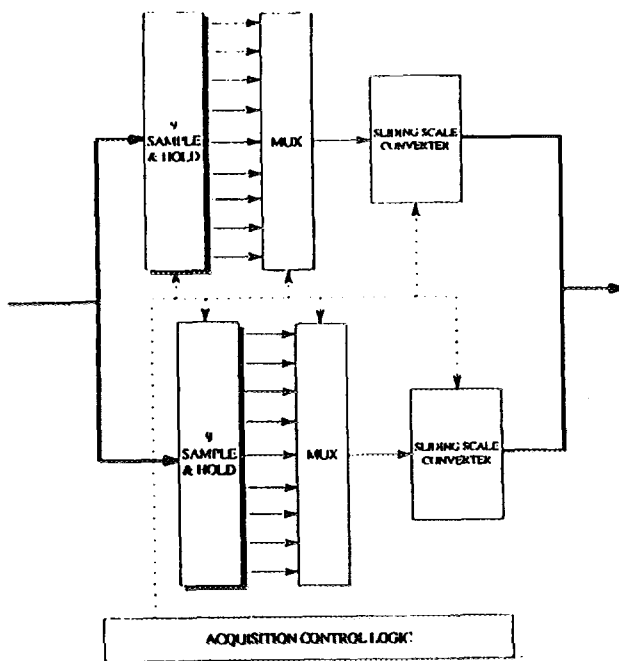


Fig. 3 SECOND A/D SLIDING SCALE CONFIGURATION

During single events, only the first conversion chain works. In case of double event, the second one is sampled and converted by a

second chain, identical to the first. The drawback of this solution should be obvious. The second chain works only for the second event in case of double event. This occurs only sporadically, and few measurements are carried out by the second chain. This fact decreases the linearization capability of the Sliding Scale technique, because it is based on averaging. Moreover, when the set of second events is processed and compared with the corresponding first events, a difference on offset and gain between the two conversion chains could generate a difference on statistical parameters between the two distribution (mean value and width). To overcome this problem, automatic offset correction and gain calibration have been provided.

Measurement results

Measurements have been carried out by the manufacturer after the circuit construction, and few supplemental tests have been done by Alenia Spazio. The differential non linearity has been evaluated using a slow ramp applied *after* the multiplexer, bypassing thus the indicated problems. The obtained results indicate a perfect agreement with the theory: a total differential non linearity error of A/D and D/A converters of about 1.3 LSB should be reduced by a factor 2^8 ; the measured residual non linearity is about 0.005 LSB. This value is asymptotically approached after a very high number of conversions per bin (order of 10^5), as predicted.

A test for observing the multiplexing interaction with the Sliding Scale converter has been carried out on the first instrument by applying to the 8 inputs the same DC voltage, and collecting on a file the conversion results. The data for each input have been divided in three or four bunches, and the average value has been computed: this way the noise effects

have been reduced. The results are shown in figure 4, where on horizontal axis is indicated the input channel number.

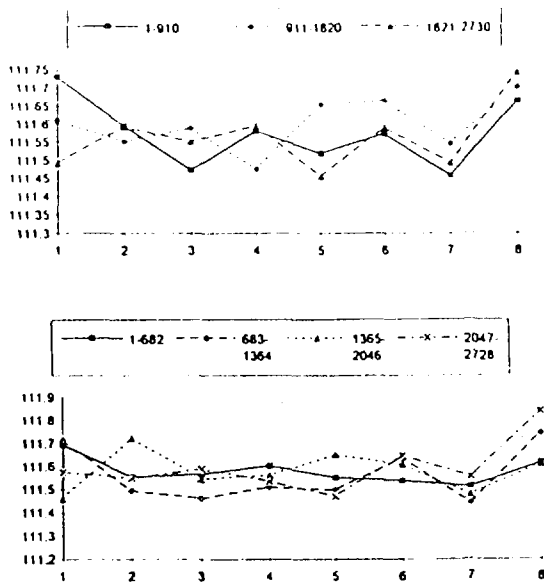


Figure 4. Average values with constant inputs.

A correlation among the different curves is visible: for example the values read by channel 7 are systematically higher than the same voltage read by channel 8. The probable reason of this behavior is that the 32 different offsets added by the Sliding Scale D/A converter to the input 7 have in average a lower value than the offsets added to the following channel. The raw data for this measurement have been obtained with 8 bit only, because the application requires only a low resolution.

More detailed measurements using a ramp or a triangular wave for the direct evaluation of the differential non linearity error, up to now have not been allowed. Some preliminary measurements indicates that the differential non linearity is better than 0.03 LSB but the short time allowed for the tests didn't let us to collect a sufficient number of data for a more precise evaluation.

Improvement Proposals

The proposals for improving the presented conversion systems and to correct the architecture are here described.

The loss of linearizing capability due to the multiplexing can be easily fixed by adding a ramp going from 0 to a maximum value $N_{MAX}-1$ such that the number of inputs to be cyclically converted is a prime divider with respect to N_{MAX} . This can be done in a FPGA designing a counter modulus 254 instead of 255 (for the 8 input case). Another solution for the same problem consists in keeping the same sliding value for each set of 8 conversions.

A last solution is the use of a (pseudo)random number generator (based on a shift register dividing in a Galois Field) which has the same cost in terms of flip-flops than a standard counter, and generates pseudo-randomly all values from 1 to 255; in this case however there are possible beating problems with the second instruments, due to the fact that 9 (conversions) and 255 (generator period) are not reciprocally prime.

The second problem discovered, related to the double event measurement, can be fixed by a change on the control logic, which should use alternately the two conversion chains, regardless if the detected event is a single or a double event.

The previous proposals have zero cost, because they require the reprogramming of an FPGA. An improvement of different nature, which works on any Sliding Scale converter, but requiring a more complicated circuitry is described in the following.

From simulation, a better statistical linearization is obtained if the D/A converter contained

in the A/D successive approximation converter is used also for the generation of the Sliding Scale offset, as shown in figure 5.

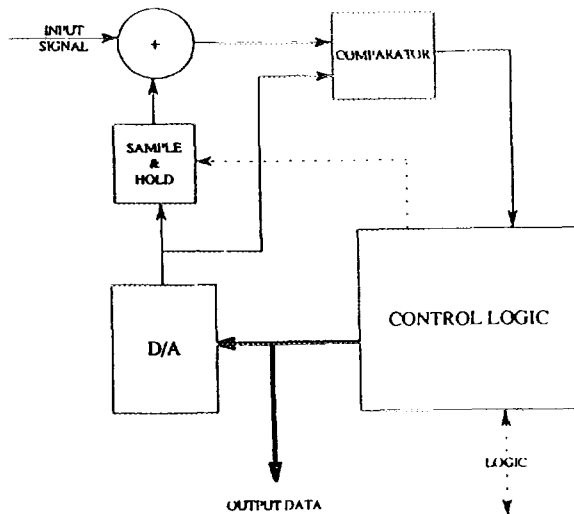


Fig.5 IMPROVED SLIDING SCALE .

This approach has the obvious advantage of having the same LSB amplitude for both the converters, as required by the Sliding Scale technique, and provided that the analog circuitry is precise. Moreover, this solution has also a less obvious advantage in terms of statistical corrections, due to the correlation between the non linearity errors of the A/D and D/A converters. This solution however requires a sample and hold circuit to store the analog value to be added to the analog input signal.

In this approach, the control logic at the beginning of the conversion must generate the "random" offset signal, and then execute the successive approximation algorithm to carry out the conversion.

Conclusion

The Sliding Scale linearization technique of a A/D converter has been briefly examined. Then, as a case study of application, the results of an analysis have been presented. In two applications, designed for X-ray analysis, architectural choices leading to a loss in precision have been pointed out. Measurements confirmed the possible problem. Some simple actions for curing the problems have been proposed.

Finally, a possible alternative architecture for general purpose Sliding Scale converters is indicated.

References

- [1] C. Cottino, E. Gatti and V. Svelto, *A New Method for Analog to Digital Conversion*, Nucl. Instr. and Meth. 24 (1963) 241-242.
- [2] E. Gatti and S. Cova, *The Quantization Cell Profile: a Useful Concept for a Deeper Insight in Analogue to Digital Conversion*, Proc. of International Conference on Measure Systems and Distributed Processing, Univ. of Pavia (Italy), Oct 15-16 1979, 121-131.

Fast Low-Noise Monolithic Charge Sensitive Preamplifiers IC for Hadron Calorimeter

M.A. Baturitsky, V.A. Chekhovsky, I.F. Emel'yanchik, N.M. Shumeiko
*The National Scientific and Educational Centre of Particle and High Energy Physics at the
Byelorussian State University.*

M. Bogdanovicha street, 153, Minsk, Belarus, 220040

I. A. Golutvin, N. I. Zamyatin

Joint Institute for Nuclear Research, Dubna, Russia, 141980

O. V. Dvornikov

Information Technology Center, P.Brorki street, 6, Minsk, Belarus, 220600

A low-noise fast monolithic charge-sensitive preamplifier in one-channel and four-channel versions is designed. It has 3.5 ns rise time for input detector capacitance $C_d = 0$ and 8 ns for 100 pF and approximately 8 mW power dissipation for 5 V supply voltage. The ENC performance at shaping time 30 ns is $1350e^- + 17e^-/pF$ for C_d up to 600 pF. Crosstalks in a four-channel amplifier made in the same chip were measured **equal to** about -46 dB for $C_d = 100 pF$.

Introduction

High luminosity of Large Hadron Collider and large number of readout channels set stringent requirements to front-end electronic of CMS. Our main goal is to use advantages of monolithic technology for design and production of the fast charge sensitive preamplifier (CSP). The CSP integrated circuits for a readout channel must be compact enough, cheap and suitable for mass production. It was designed for silicon calorimeter of CMS project, but our IC can be used in some other tasks where high speed and low noise performance are necessary.

Our CSP ICs have been tested at CERN together with avalanche photodiodes in the prototype of copper/scintillator hadron calorimeter in July, 1994.

Design goals

Design goals of our CSP were the next:

- High speed. Rise time of output signal has to be about 7 ns.
- Low noise. Equivalent Noise Charge (ENC) has to be $3800e^-$ at shaping time $T_m = 30 ns$ and detector capacitance $C_d = 100 pF$.
- Power consumption less than 10 mW per channel.
- Minimum number of external elements.
- Maximum output voltage swing 2 V.

The CSP IC description

We can present now two versions of fast low noise CSP ICs: one-channel and four-channel ones.

The main characteristic of the CSP ICs are:

- ENC performance at shaping time 30 ns is $1350 + 17e^-/pF$ for detector capacitance up to 600 pF. The mean value of ENC for $C_d = 100 pF$ equals $3600e^-$.
- The best sample has 3.5 ns rise time at $C_d = 0 pF$ and 7 ns for $C_d = 100 pF$. The slew rate is about 200 V/ μs for large signal. The CSP operates at voltage supply $V_{cc} = 4.5...10 V$ with power dissipation 8 mW for 5 V.
- Linear output voltage swing is 1 V for $V_{cc} = 5 V$.
- Crosstalks in the four-channel CSP IC **were** measured to be about -46 dB for $C_d = 100 pF$ and $V_{cc} = 5 V$.

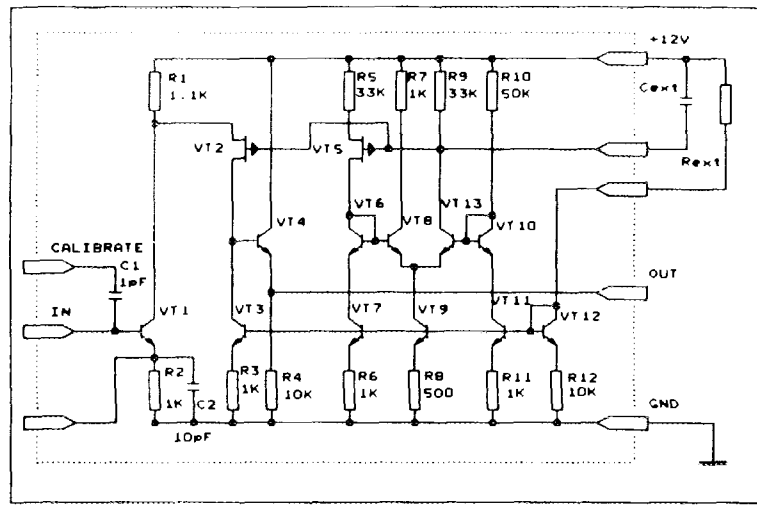


Fig.1. The electric circuit of the CSP

The CSP circuit is shown in Fig.1. It consists of a folded cascode (BJT VT1 + JFET VT2) followed by an emitter follower VT4. A biasing circuit VT5...VT12 stabilizes operation point of VT2 and sets operation current of VT1 with an external resistor R_{ext} .

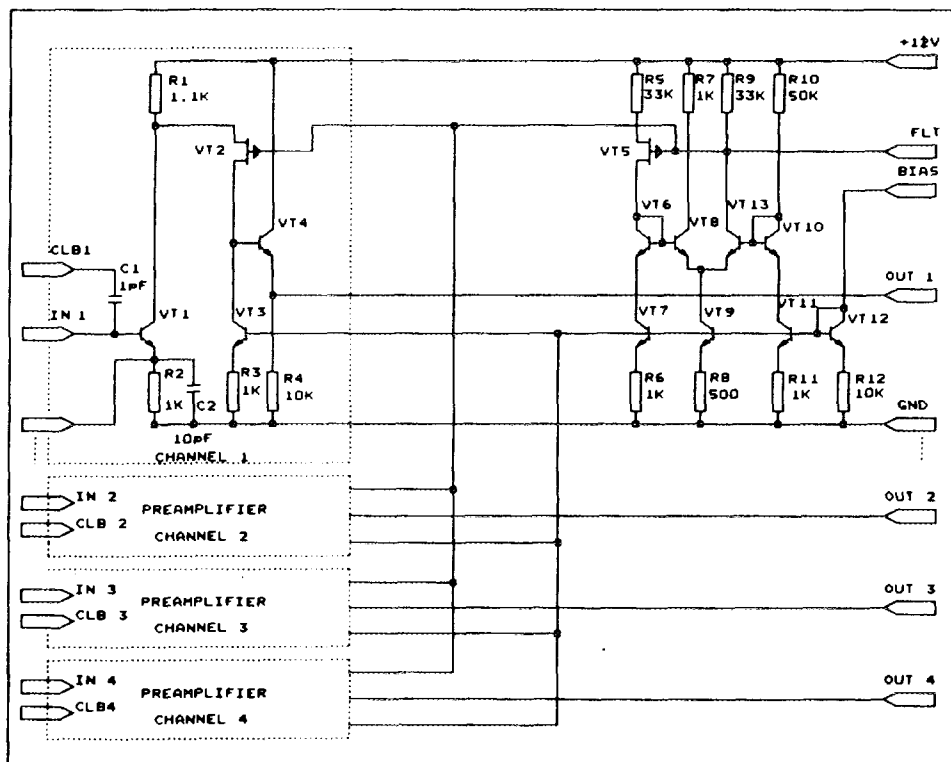


Fig.2. The 4-channel CSP

The four-channel version has the same circuitry and is shown on Fig.2. The biasing circuit is shared by the four channels. There are four integrated capacitances at the inputs to provide the ability of electrical calibration.

ENC estimation

The total *ENC* (1) may be considered to consist of the next five components (2)...(6) [1]

$$ENC^2 = ENC_1^2 + ENC_2^2 + ENC_3^2 + ENC_4^2 + ENC_5^2, \quad (1)$$

$$ENC_1 = \frac{e}{2q}(C_d + C_f + C_i)\sqrt{\frac{kT}{T_m g_m}}, \quad (2)$$

$$ENC_2 = \frac{e}{2q}(C_d + C_f)\sqrt{\frac{2kTR_{bb'}}{T_m}}, \quad (3)$$

$$ENC_3 = \frac{e}{2q}\sqrt{qT_m I_b}, \quad (4)$$

$$ENC_4 = \frac{e}{2q}\sqrt{qT_m I_d}, \quad (5)$$

$$ENC_5 = \frac{e}{2q}\sqrt{\frac{2kTT_m}{R_p}} \quad (6)$$

where

ENC_1 is a series mean squared equivalent noise charge dependent on the transistor transconductance; ENC_2 a series mean squared equivalent noise charge caused by the base spreading resistance; ENC_3 a parallel mean squared equivalent noise charge caused by the input current of the CSP; ENC_4 a parallel mean squared equivalent noise charge generated by the detector leakage current; ENC_5 a parallel mean squared equivalent noise charge due to the detector biasing circuit and the CSP feedback resistor; C_f is the feedback capacitance; C_i the input capacitance of the CSP; $e = 2.718$; g_m is the input transistor's transconductance; I_d the detector leakage current; I_b the CSP input transistor base current; R_p the resistance of parallel connection of feedback resistor R_f and detector bias resistor $R_f \parallel R'_p$, assumed in what follows $R_p = R_f$; k is the Boltzmann constant; q electron charge; $R_{bb'}$ base spreading resistance of BJT transistor; T the temperature; T_m the shaping time.

Because of high counting rate of incoming events in the LHC collider experiment the shaping time of the preamplifier output signal has to be very short. Consequently the series noise of CSP is the main source of noise. So the npn bipolar transistor is suitable for this task. It also permits to use combined microwave BJT-JFET technology to fabricate high speed preamplifiers. The technology permits to produce input npn BJTs with $f_T > 3.0GHz$ and $\beta = 200$, and MOSFETs with $f_T = 300MHz$ placed in any part of a chip.

Preliminary estimations of $R_{bb'}$ made from ENS measurements gave value 60Ω . With respect of this fact and the influence of $d = 100pF$ the first term equals $ENC_1 = 1200e^-$.

The collector current was chosen taking into account the condition

$$ENC_1 = ENC_2, \quad (7)$$

approximately satisfied for $I_c = 2.5mA$ ($ENC_2 = 1250e^-$). The detector leakage current contribution ENC_4 is neglected because it doesn't depend on the preamplifier merit. The contribution caused by parallel noise (ENC_3, ENC_5) doesn't exceed $2100e^-$ with respect of the input transistor current gain about $\beta = 200$ and feedback resistance $100k\Omega$.

The total level of input noise according to our estimation with $C_d = 100pF$ and $T_m = 30ns$ equals $ENC = 2900$ electrons.

The dependence of ENC versus C_d for $T_m = 30ns$ and $75ns$ is shown in Fig.3. The measurements were carried out for $I_c = 2.5mA$, $C_f = 3.3p$, and input charge $Q_{in} = 10fC$. The measured value of $R_{bb'} \approx 30\Omega$ as may be seen from the picture. This fact explains the greater level of series noise compared with the preliminary estimation.

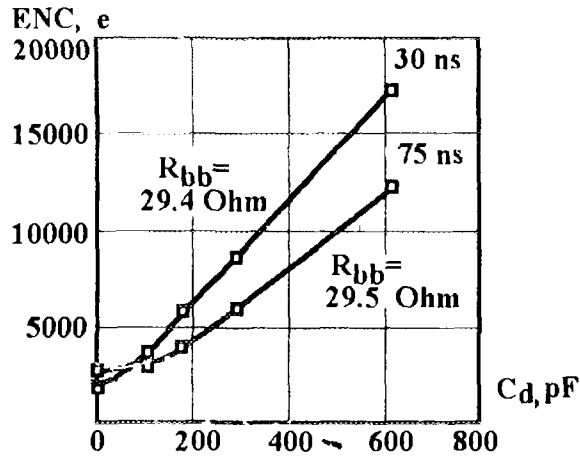


Fig.3. Noise performance of the CSP IC

The output voltage rise time equals $3.5ns$ and $8ns$ that corresponds to the slow rate approximately $200V/\mu s$ and $80V/\mu s$, respectively.

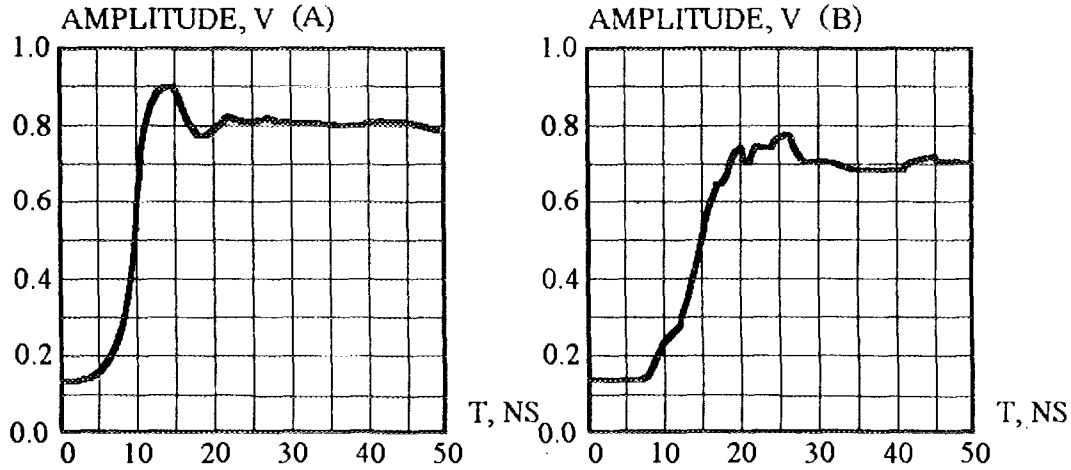


Fig.4. The CSP output signal: a) $C_d = 0pF$, $T_r = 3.5ns$;
b) $C_d = 100pF$, $T_r = 8.0ns$

Conclusion

In conclusion it may be said that a new version of four-channel CSP with more wide functional abilities is under development now. The new chip will require minimum number of external elements, the feedback resistor and capacitor will be integrated into the chip. It will contain a summing network and a shaper CR-RC with $T_m = 30ns$ and externally controlled voltage gain.

Reference

1. M.A.Baturitsky et al., Charge Sensitive Preamplifier IC for Silicon Calorimetry at Colliders, Nucl. Instr. and Meth., to be published.

The Front-end Electronics and the Data Acquisition System of the FOBOS 4π - array

O.V. Strekalovsky, K. Heidel, S.I. Ivanovsky, D. May, H.-G. Ortlepp, G. Pausch, G. Renz, V.E. Shuchko, W. Wagner, V.V. Trofimov, I.P. Tsurin
Joint Institute for Nuclear Research, Dubna

Introduction

The FOBOS $[H]$ spectrometer at Flerov Laboratory of Nuclear Reactions in Dubna is intended for heavy ion reaction studies in the bombarding energy range of 10...100 AMeV. It consists of a "gas ball" of 30 position-sensitive avalanche counters (PSAC) and 30 π -Bragg⁺ axial ionization chambers (BIC) behind them. A shell of 210 CsI(Tl) scintillation counters surrounds the gas ball. As forward detector 92 phoswich detectors of the ARGUS array [2] are foreseen.

The counters are arranged in 30 modules placed on the facettes of a polyeder (12 regular pentagons and 20 regular hexagons). Two pentagons are used for the beam input and exit, the last containing also the forward detectors in an extended cone.

The first experiments with the FOBOS multidetector array have been started last year. They are directed to study the fission process of nuclei as in the case of cold fission in $^{244}\text{Cm(sf)}$ as at the heavy ion beam of the cyclotron U-400M. In these experiments especially developed electronics and a new VME based data acquisition system came into operation. All components are closely appropriated to the special features of the FOBOS detectors.

The Position Sensitive Avalanche Counter Channel

The PSAC's are based on the principles described in [3]. One cathode foil delivers the timing signal and two anode wire planes connected to delay lines serve as coordinate grids.

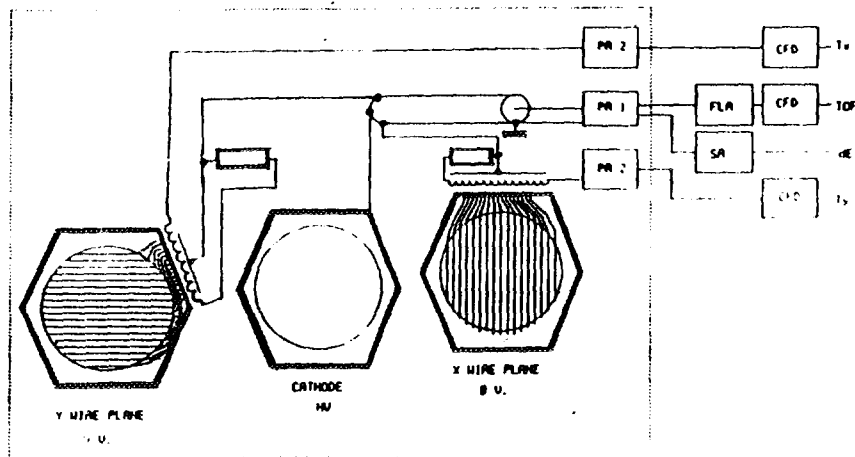


Fig. 1. Read-out principle of the position sensitive avalanche counter

The two lines with 1.4 ns/mm specific delay and 560 Ω impedance are matched with resistors at one end and coupled to readout amplifiers 5027-30 with 560 Ω "cold" dynamical input resistance and 350 fold current amplification at the other end. The negative detector bias is fed to the cathode. The cathode readout circuit delivers an 80 fold amplified (Avalanche-Counter-Amplifier 5027-40) current signal for timing and a charge signal of 150 mV/pC sensitivity for pulse height analysis.

The timing signal is directly fed into a trigger. All channels are protected against damage in the case of spark discharges in the gas. The circuits are placed directly on the counter frame.

The three constant fraction discriminators (CFD) are housed in one CAMAC module FZR 5386 (fig.4). Their thresholds are CAMAC-controlled. The high dynamic range (1000:1) allows to cover all experimental conditions without changing the amplification factor of the preamplifiers. The delay necessary for the zero crossing formation must be implemented by an external cable. The time walk amounts to ± 50 ps for step pulses of 2 ns risetime in the range 10 mV to 2V.

The Axial Ionization Chamber Channel

The axial ionization chambers cover cones of $\pm 13.8^\circ$ and $\pm 17.4^\circ$ with entrance window diameters of 285 mm and 385 mm, respectively.

The field shaping is performed by copper strips coated every 5 mm on a teflon insulator cone. The voltage divider provides equal potential steps, e.g., a homogenous field. The Frisch grid consists of two perpendicular planes of 1 mm spaced $50\mu\text{m}$ thick CuBe wires. The anode placed 10 mm behind the Frisch grid is made of $10\mu\text{m}$ aluminized mylar which may be penetrated by light charged particles to be registered in the scintillation counters. At a gas pressure of 100 kPa an anode potential of + 8kV is necessary (the entrance window acts as cathode and is grounded). The electron drift time of up to $4\mu\text{s}$ would cause large ballistic deficit in the case of conventional pulse shaping.

Therefore a digital processing method [4] is utilized which derives the energy and Bragg peak height from digitized signal samples. The principle is illustrated schematically in fig.2. The read-out system for BIC consists of a charge sensitive preamplifier 5027-10 and two CAMAC modules, the Bragg-curve digitizer BCD 5387 and the Bragg digital processor BDP 5385.

The Bragg-curve signal, shaped by a spectroscopy amplifier with short time constant $0.2/0.4\ \mu\text{s}$ is digitized by an 8-bit flash ADC with a quartz stabilized sampling frequency of 10 MHz. If a signal is recognized by the threshold comparator, the two arithmetic units, calculating E and Z are activated. The algorithms are schematically shown in the bottom of fig. 2.

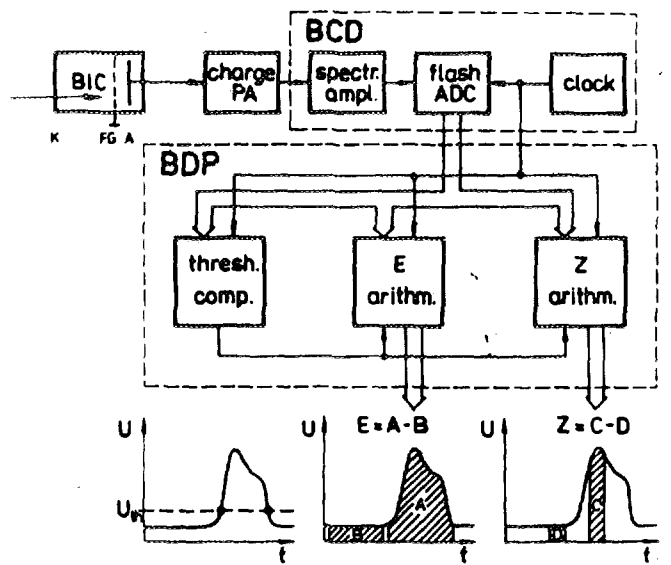


Fig. 2. Principle of the new signal processing method for Bragg peak spectroscopy

The shadowed areas indicate sums of digitized values. A digital comparator determines the threshold for pulse recognition and a pile-up inspector rejects erroneous results. The

control of the working conditions and the data transfer is performed via the CAMAC dataway. The control logics, not shown in fig. 2, implements the coincidence conditions with the DGAC, the pile-up inspection and the connection with the first level trigger logics. The digital processing system is faster than the classical one by a factor of 10 and very simple to operate.

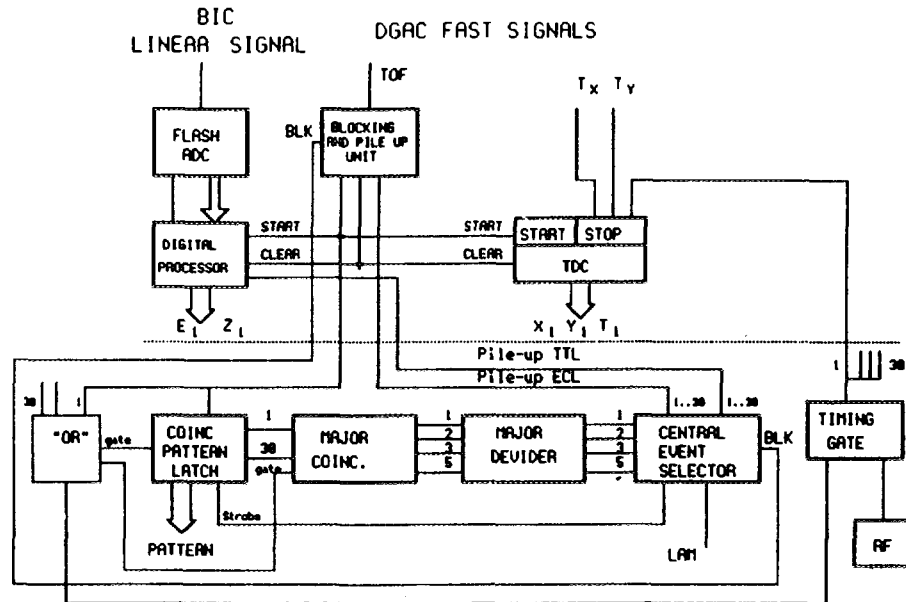


Fig. 3. Front-end gas detector module and part of the first level trigger

The First Level Trigger

The DGAC TOF signals pass a blocking and pile-up unit (fig.3) connected with the control logics of the BDP, if the BDP is free and reach the coincidence pattern register KR13K [5].

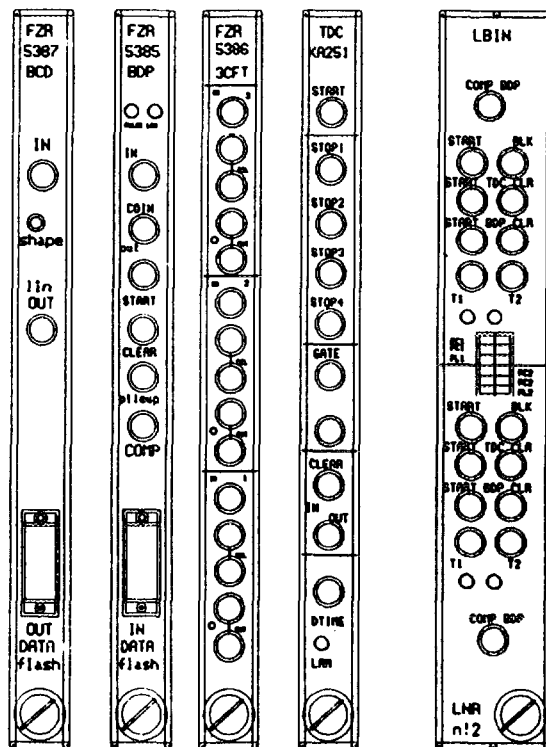


Fig. 4. CAMAC modules developed for FOBOS

The pattern is analyzed by a majority coincidence unit KL360 [6], the outputs of which are connected with the central event selector. If the multiplicity condition is fulfilled and there was no pile-up signal, the central event selector indicates a "good" event and sets LAM.

To provide effective pile-up rejection the following conditions must be fulfilled to allow an event for registration:

- no avalanche counter signal $12\mu s$ before and $6\mu s$ after the event,
- no threshold comparator responses in $10\mu s$ before the event,
- trailing edge of the threshold comparator is within a certain time window relative to the avalanche counter signal.

The computer first reads the coincidence register and then the conversion results of the fired TDC's and BDP's. Then the blocking signal is removed and the system is ready again.

The Scintillation Counters Channels

The avalanche counters and ionization chambers are not sensitive to low ionizing high energetic light charged particles (LCP). Therefore a shell of 210 CsI(Tl) scintillator counters was decided to be arranged behind the gas detectors.

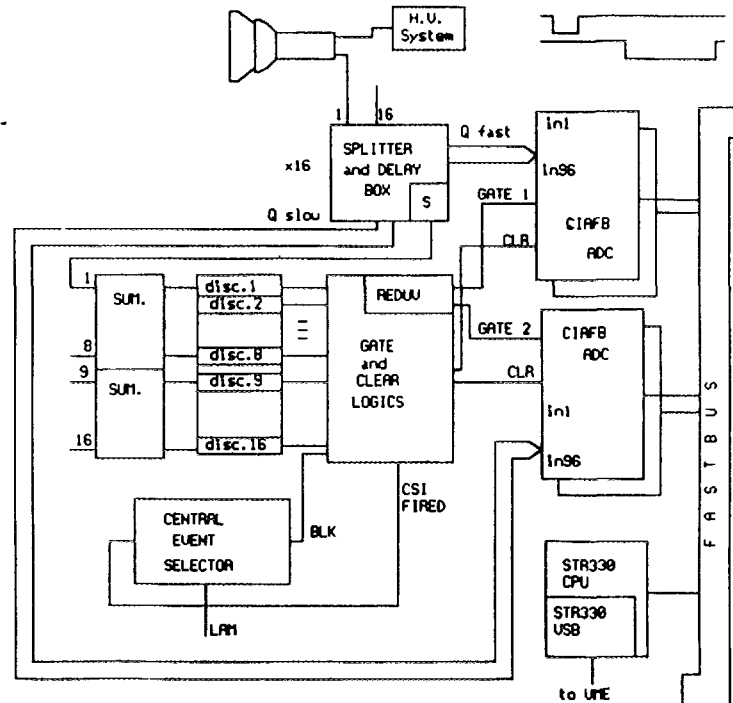


Fig. 5. Block diagram of the CsI(Tl) counter readout system

Figure 5 shows a diagram of the electronics for CsI(Tl) detectors. The anode signals from the photomultipliers are splitted via a passive splitter-and-delay-box into the "fast" and "slow" branches. The signals in the "fast" branch are delayed by 200 ns delay line chips FLOETH PD24-20051D. The branches are connected directly from the splitter to their respective F683C CIAFB ADC. The CIAFB [7] is a 96 channel 12/15 bit gated charge integrating ADC housed in a single width FASTBUS module. The Gate1 for Q_{fast} (400ns) and Gate2 for Q_{slow} ($2\mu s$) are delivered by a REDUV gate and delay generator [8].

Each of the 16 splitter and delay boxes provides a sum signal for its 16 channels, which is fed via a buffer to a discriminator. From the discriminator outputs a simple first level trigger signal is derived and fed into the Gate and Clear logics.

This "Csl fired" signal is sent to the central event selector. Getting LAM the Eurocom-6 VME CPU after reading the gas-ball front-ends looks for the "Csl fired" bit. If it is set, after the finish of the conversion (the conversion time is near 1 ms for the 96 channels of CIAFB ADC) data from FASTBUS modules are transferred to a buffer.

Then all conversion results are scanned and those exceeding a given threshold are added to the event data. If there was an event in the gas-ball but no Csl had fired or the event has been rejected by the gas part fast trigger, then a fast "Clear" prevents the conversion in the CIAFB's thus excluding the 1 ms dead time.

The Data Acquisition and Analysis System

Fig.6 shows the data acquisition system of the FOBOS at the middle of 1994. Seven CAMAC crates at digitizing and control level are connected with the main VME crate by means of the parallel VSB Differential Bus Extension (VDB bus).

In the main VME crate a single-board computer EUROCOM-6 with 68030 CPU combines the separate data to events.

The STR 723 [9] VSB/VDB converter is placed in the ELTEC VME crate at the rear side. It connects the VSBbus to VDBbus. The STR 723 is operating in VSB-Master / VDB-Slave mode. The CAMAC to VSB interface is a single width CAMAC Crate Controller STR610/CBV driven from the VME Subsystem Bus (VSB) via the VSB Differential Cable.

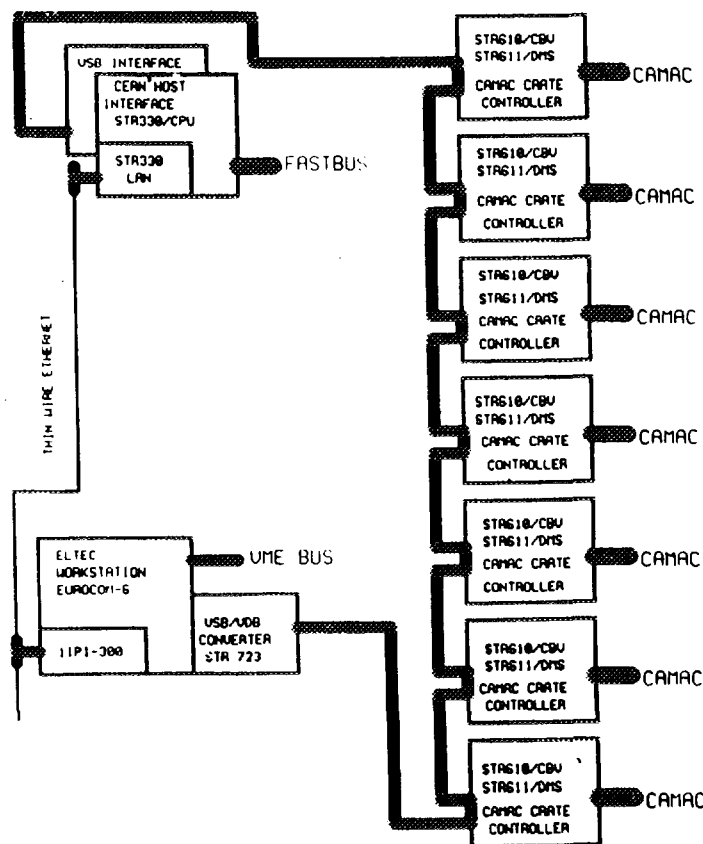


Fig. 6. Configuration of the data acquisition system for FOBOS experiments

The CBV occupies the station N=24 and requires a connection to station N=25 via another CAMAC module e.g. STR611/DMS (CAMAC Dataway-Display and Dummy crate controller). The STR610/CBV maps a portion of VSB address space to CAMAC C.N.A.F and generates single CAMAC cycles from each proper VSB cycle.

A FASTBUS Crate which contains the 96 channel ADC's for CSI readout is connected to the same VDB bus. Furthermore the STR330/CPU CERN Host Interface-FASTBUS processor board(MC68030), the STR330/VSB I/O-Port, the STR330/LAN Ethernet modul are placed in our FASTBUS MINI-Crate. The STR330/VSB I/O-Port provides an interface between the CHIP and the ELTEC VME workstation. The STR330/VSB operates in the Slave mode. The CHIP data memory is directly mapped into the local VSB address space and the VME Eurocom-6 processor module is treated in the same manner as any local memory.

An ELTEC VME-station is connected to a special Ethernet segment and further by a fiber-optic link to the μ VAX and SUN computers in the computer center (see fig. 7). Real-time operation system OS-9 (Professional) released by Microware is used for a 68030 based VME ELTEC and FASTBUS CHIPS modules. All time-critical tasks of the data acquisition are moved to the VME and FASTBUS processors.

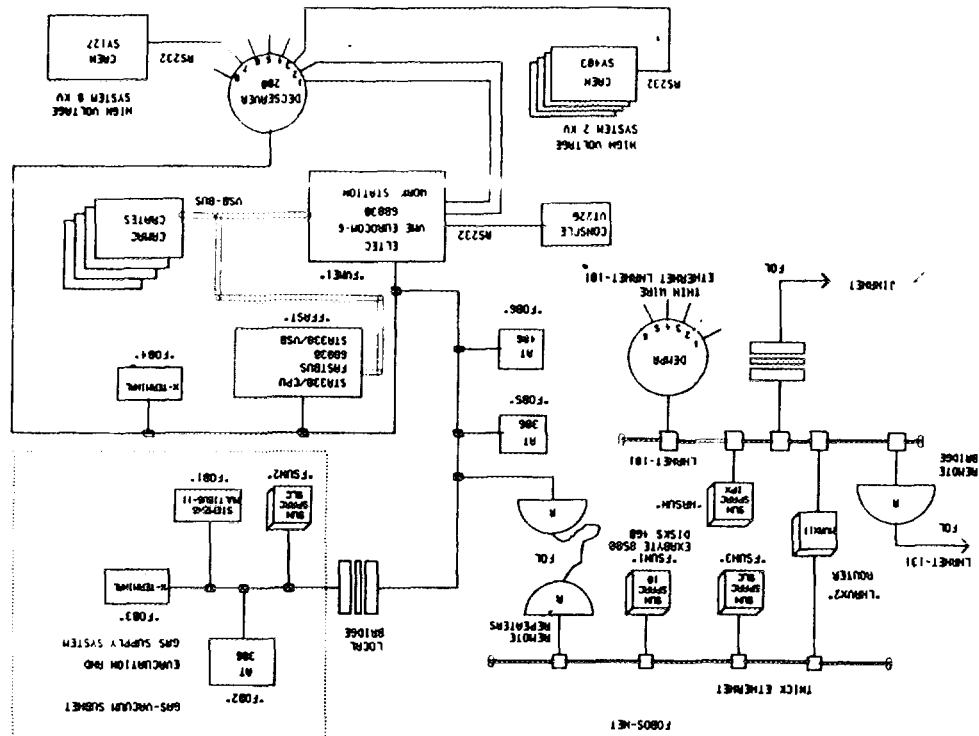


Fig. 7. Architecture of the FOBOS network in 1994

The HOOPSY data acquisition software system [9] resident at the μ VAX has been modified for VME Eurocom-6 and successfully applied in a first FOBOS experiment. The data collected on the disk of the SUN Sparcstation-10 are stored on Exabyte tape. Quasi-on-line monitoring of collected data is performed by several PC's with the help of the ATHENE data analysis software [10] having access via LAN to data just written on disk.

The data file structure is characterized by sequential event storage into closed blocks of fixed length. All events are stored completely. The information about the data file structure is assigned to the program by header blocks.

The evacuation and gas supply system of FOBOS [11] is based on a SIEMENS SX Multibus II system and SUN Sparcstation SLC computer. It controls 64 ADC and 16 DAC channels and 352 digital input and 288 output channels within a Multibus I crate. The necessary cyclic data transfer to the SUN station is implemented via special TCP/IP socket programming. The pressure-time behavior of any of the 64 measuring points can be displayed

on the screen of SUN. Each on-line diagram shows the pressure history at one of a measuring points during the past 30 minutes. On the SX system first programs for error handling have been implemented. In case of an error, a message window with explaining text is opened and an acoustic signal warns the user. If the pressure values exceed the permitted range, high voltage is switched off automatically.

A DECbridge-90 has been installed to connect FOBOSNET segment with evacuation and gas supply system Ethernet segment.

To control high voltage channels of the CAEN SY403 and CAEN SY127 Systems these systems have been connected to DECserver-200.

References

1. H.G. Ortlepp et al., Proc. Intern. Conf. on New Nuclear Physics with Advanced Techniques, Ierapetra, Crete, Greece, 1991, p.302
2. W.Terlau et al., Report HMI 482, p.93
3. W.Seidel et al., NIM, A273, 1988, p.536
4. H.G. Ortlepp, A.Romaquera, NIM, A273, 1989, p.500
5. O.V. Strekalovsky, T.T. Vinh., JINR, P10-89-416, Dubna, 1989
6. V.F.Boreyko et al., XI Intern. Symp. on Nuclear Electronics, Bratislava, D13-84-53, Dubna, 1984, p.78
7. Mod F683C CIAFB Technical Information Manual, C.A.E.N., Italy, 1991
8. REDUV Technical Manual, Inst. de Physique Nucleaire, Orsay, 1990
9. STRUCK Product Summary 1990, Hamburg, W.Germany, 1990
10. P.Ziem et al., Print FZR 92-11, Rossendorf, 1992, p.19
11. C.-M.Herbach, C.Umlauf, JINR, E7-93-57, Dubna, 1993, p.250
12. G.Renz et al., Ann.Rep.1993 (FZ Rossendorf) FZR 93-10, 1993, p.122



RU9710250

Система съема информации с дрейфовых камер на основе времяцифровых преобразователей с 2 нс разрешением в стандарте КАМАК

В.В.Сидоркин

Объединенный институт ядерных исследований, Дубна

Система съема информации с дрейфовых камер реализована на основе трех типов блоков – времяцифрового преобразователя (ВЦП), таймер-генератора (ТГ) и субконтроллера, размещаемых в одном крейте КАМАК. Базовую часть системы составляют блоки ВЦП и ТГ. Когда предварительное считывание и упаковка информации позволяет ускорить передачу данных, используется субконтроллер. В общем случае, с целью оптимизации характеристик системы в целом, блок субконтроллера разрабатывается под конкретную задачу, поэтому варианты его реализации в данной работе не рассматриваются.

Технические характеристики ВЦП:

- число входов для сигналов "STOP" - 16, уровень ECL;
- диапазон измеряемых интервалов времени - 500 нс;
- число двоичных разрядов - 8 бит;
- разрешение - $\simeq 2$ нс;
- максимальное время преобразования - 12,5 мкс;
- частота заполнения - 20 МГц;
- интегральная нелинейность - 0,2 %;
- число измеряемых интервалов времени - 4;
- метод измерения - двухстадийное интегрирование.

Блок ВЦП выполнен в модуле КАМАК ширины 1М. На его передней панели расположены следующие разъемы типа "LEMO":

- вход "CLR" - общий сброс ВЦП, приведение его в исходное состояние;
- вход "STROBE" - на этот разъем поступает сигнал "STROBE" от таймер-генератора;
- вход "CLOCK" - на этот разъем подается тактовая частота заполнения ($f=20$ МГц).

Все три входа имеют $R_{вх}=50$ Ом и работают от отрицательных сигналов NIM.

На передней панели блока расположен входной разъем 2×17 , на который поступают сигналы "STOP" (16 каналов скрученных пар).

Блок ВЦП выполняет следующие команды КАМАК:

- $F(0)A(0)$ - чтение данных из буфера: $Q=1$ - данные в буфере есть, $Q=0$ - данных в буфере нет. По нечетному обращению команды $F(0)A(0)$ считываются код времени (R1-R8) и код номера ВЦП в данном крейте (R9-R13). По четному обращению команды $F(0)A(0)$ считываются соответствующие номера сработавших входов в позиционном коде (R1-R16).

- $F(8)A(0)$ - проверка наличия запроса LAM, $Q=1$.
- $F(9)A(0)$ - блокировка входов Vx1-Vx16 для калибровки ВЦП. Блокировка отменяется командами $F(11)A(0)$, Z, C.
- $F(11)A(0)$ - общий сброс ВЦП.
- Z + C - общий сброс ВЦП.

Технические характеристики таймер-генератора. Блок ТГ предназначен для выработки управляющих сигналов "STROBE", "CLR" и частоты заполнения (20 МГц).

На передней панели блока расположены следующие разъемы LEMO:

- вход "CLR" - сброс блока в исходное состояние;
- выход "CLR" - транзитный выход сигнала "CLR";

- вход "START" - инициализация процесса измерения;
- выходы "STROBE" - через эти разъемы (10шт.) блок выдает сигнал "STROBE", который определяет длительность отпираания ворот ВЦП. Длительность этого сигнала может изменяться программным способом от 50 нс до 700 нс с шагом 50 нс. Также программным способом можно изменить величину шага до 100 нс. Соответственно диапазон длительностей сигнала "STROBE" меняется от 100 до 1400 нс;
- выходы "STR/f" - два выхода, которые выдают в зависимости от положения переключки на плате либо импульсы "STROBE", либо импульсы тактовой частоты 20 МГц. Импульсы частоты 20 МГц подаются на разветвитель сигналов (отдельный блок), с которого они разводятся на соответствующие входы ВЦП. Все сигналы уровня NIM (отрицательные) $R_{вх} = 50 \text{ Ом}$.

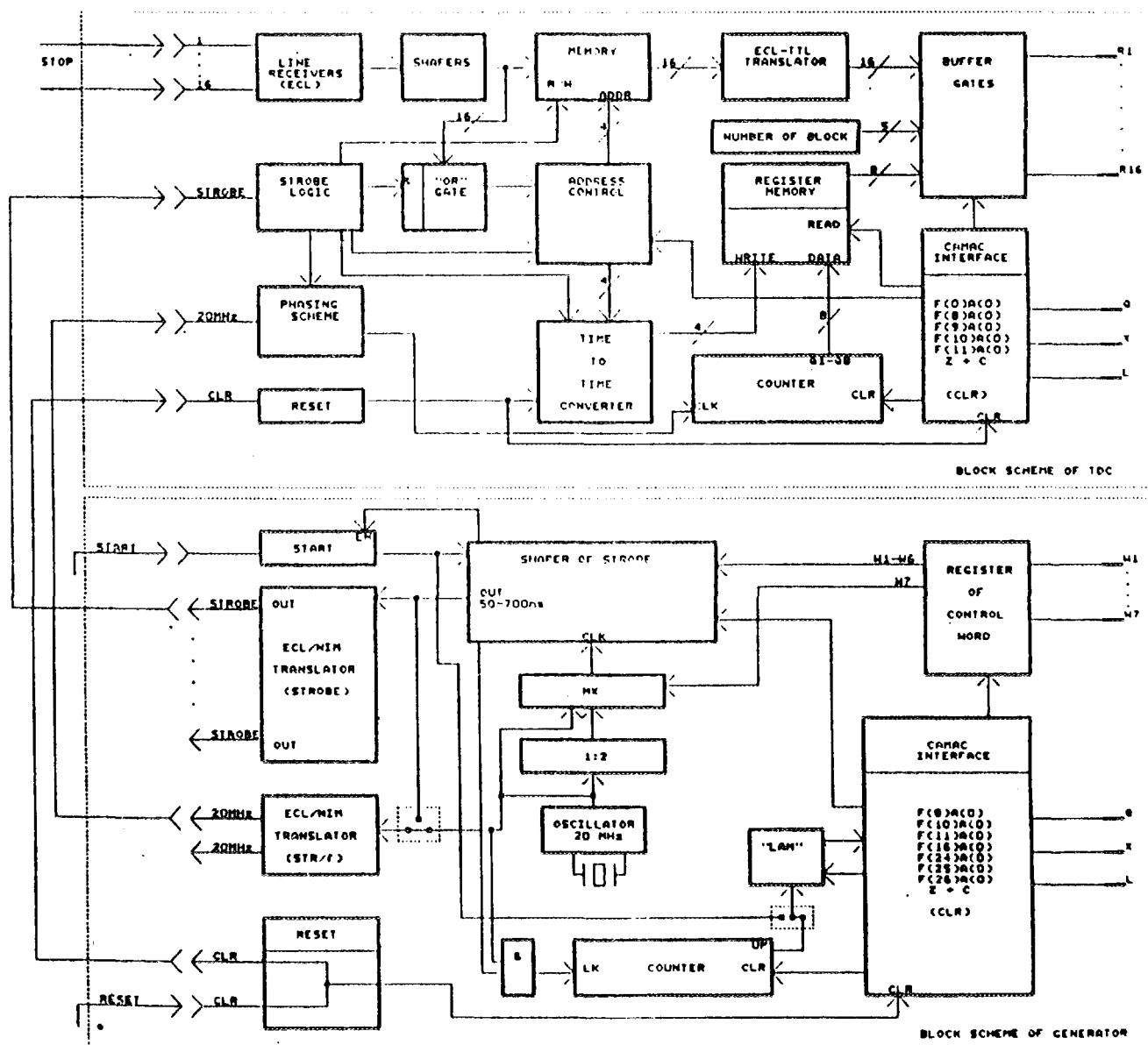


Рис.1. Блок-схема ВЦП и ТГ

Таймер-генератор выполняет следующие команды КАМАК:

- $F(8)A(0) Q=1$ — проверка наличия запроса (LAM) данным блоком.
- $F(10)A(0) Q=0$ — сброс источника LAM.
- $F(11)A(0) Q=0$ — общий сброс, (аналог $Z + C$).
- $F(16)A(0) Q=1$ — запись: W1-W4 — код длительности строба, W5-W6 — выбор режима работы, W7 — выбор шага изменения длительности строба: W7=0 — шаг равен 50 нс, W7=1 — шаг равен 100 нс.
- $F(24)A(0) Q=0$ — блокировка источника LAM.
- $F(25)A(0) Q=1$ — запуск генерации строба, $F(25)A(0) Q=0$ — команда не выполнена, потому что: или не соответствует режим ($W5 \neq 0, W6 \neq 0$), или не закончился предыдущий цикл измерения.
- $F(26)A(0) Q=0$ — снятие блокировки с источника LAM.
- $Z+C$ — общий сброс.

Режимы работы таймер-генератора:

W5=0, W6=0 — по команде $F(16)A(0)$ записывается код длительности генерируемого строба (W1-W4), по самой генерации не происходит, ее можно инициализировать по команде $F(25)A(0)$.

W5=1, W6=0 — по команде $F(16)A(0)$ записывается код длительности строба (W1-W4), после чего по импульсу $F(16)A(0)S2$ генерируется строб. Этот режим используется при калибровке ВЦП.

W5=0, W6=1 — режим работы от внешнего сигнала "START" с последующей блокировкой входа "START". Готовность блока к приему нового сигнала "START" восстанавливается либо по команде $F(16)A(0)$ с записью соответствующего слова состояния, либо по сигналу $Z+C+CLR+F(11)A(0)$. В последнем случае слово состояния, определяющее режим работы таймер-генератора, сохраняется. Длительность строба в данном режиме определяется отдельным формирователем и задается при настройке.

W5=1, W6=1 — режим внешнего старта без блокировки входа "START". Блок будет генерировать импульсы "STROBE" на каждый сигнал старта при условии, что они приходят с периодом, большим, чем длительность генерируемого импульса. Этот режим используется при настройке. Длительность сигнала "STROBE" в этом режиме также определяется отдельным формирователем и задается при настройке.

На рис.1 представлена блок-схема ВЦП и ТГ, а также указана схема их соединения. В работе данной системы выделяются два режима — режим *калибровки* и режим *измерения*.

В режиме *калибровки* ТГ по команде $F(16)A(0)$ выдает калиброванные импульсы "STROBE" длительность которых определяется содержанием разрядов W1-W4 слова состояния. В данном режиме внешний старт в ТГ заблокирован, а в ВЦП командой $F(9)A(0)$ заблокированы входы сигналов "STOP". Таким образом система изолирована от внешних сигналов.

Передним фронтом сигнала "STROBE" в ВЦП начинается линейный разряд фиксированным током конденсаторов в схемах "time-to-time" преобразователей. Разряд продолжается до заднего фронта сигнала "STROBE", по которому начинается обратный процесс заряда конденсаторов постоянным током в K раз меньшей величины, где K — коэффициент растяжки. В данном ВЦП $K=25$.

Одновременно по переднему фронту сигнала "STROBE" в схеме фазировки осуществляется привязка к определенной фазе сигнала частоты заполнения, после чего сигнал частоты заполнения 20 MHz поступает на вход CLK 8-разрядного синхронного счетчика (2xSN74LS161). В момент (для каждого преобразователя он свой), когда потенциал на конденсаторах восстанавливается до прежней величины, срабатывают пороговые схемы, вырабатывающие импульсы записи, по фронту которых происходит запись показаний счетчика на данный момент в соответствующие 8-разрядные регистры (SN74LS374 — 4 шт.

по одному на каждый преобразователь). Отношение кода, который записывается в каждом регистре и длительности сигнала "STROBE" задает коэффициент преобразования соответствующего преобразователя.

В режиме измерения система запускается по переднему фронту внешнего сигнала "START". Входы Вх1-Вх16 в ВЦП разблокированы. Длительность сигнала "STROBE" зафиксирована при настройке и равна или чуть больше измеряемого интервала времени (в данном случае - это есть максимальное время дрейфа). В блоке ВЦП в этом режиме дополнительно подключаются схема управления записью в память кодов сработавших пходов (16-разрядный позиционный код), схема выработки сигналов прерывания стадии разряда конденсаторов и переключение их в стадию заряда, и схема подсчета числа событий (МС10141), которая затем определяет значение сигнала "Q" при чтении данных из буфера ВЦП. Блоком ВЦП по окончании преобразования и при наличии хотя бы одного события вырабатывается сигнал LAM.

По сигналу "START" блок ТГ также выдает сигнал LAM. В зависимости от положения переключки на плате запрос вырабатывается либо непосредственно по сигналу "START", либо по переполнению восьмиразрядного счетчика. Время заполнения счетчика сигналом частотой 20 МГц соответствует максимальному времени преобразования - появление сигнала запроса в этом случае будет означать, что процесс измерения во всех ВЦП завершен, и можно считывать информацию.

Литература

1. D.C.Cheng, W.A.Kozanecki, R.L.Piccioni et.al. Proc.Int.Conf. on Instr. for High Energy Phys., Frascati, 1973, p.622.
2. Ю.Б.Бушнин и др. Препринт ИФВЭ ОЭА 77-84, Серпухов, 1977.
3. З.Гузик и др. Сообщение ОИЯИ 13-12951, 1980.
4. П.К.Маньяков, В.Тлачала, Препринт ОИЯИ 13-83-343, 1983.

Электронная аппаратура черенковских детекторов для регистрации широких атмосферных ливней

А.И.Климов, Е.А.Мелешко, А.Г.Морозов

Российский научный центр "Курчатовский институт"

Г.Н.Дудкин¹, Л.А.Кузьмичев², А.А.Паинов³

¹НИИЯФ ТПУ, ²НИИЯФ МГУ, ³НИИПФ ИГУ

В последнее время для регистрации широких атмосферных ливней (ШАЛ) все чаще используют методы, основанные на применении детекторов черенковского излучения, возникающего в конечном счете в атмосфере от ливня космических лучей. Предполагается, что установки с черенковскими детекторами позволят получить лучшее угловое разрешение и более низкий энергетический порог, чем сцинтилляционные установки с подобной эффективной площадью. Поэтому представляется перспективным использование широкоугольных черенковских установок для поиска локальных источников гамма-квантов в энергетическом интервале 10-100 ТэВ [1,2].

Электронная аппаратура черенковской установки обычно состоит из нескольких одинаковых каналов, в которых производятся измерения времени появления сигналов в светоприемниках и их интенсивности, а также общего мастерного блока и систем тестирования, накопления и обработки данных. В качестве светоприемников используют либо параболические зеркала, в фокусах которых устанавливают фотоумножители [1], либо специализированные фотоприемники "Квазар" [2], разработанные для глубоководного нейтринного телескопа НТ-200. Фотоприемник "Квазар" состоит из электронно-оптического предусилителя, содержащего полусферический фотокатод диаметром 37 см, сцинтиллятора и обычного фотоумножителя. Вылетевший с полусферического фотокатода электрон ускоряется напряжением 25 кВ и попадает в сцинтиллятор. На фотокатод ФЭУ при этом рождается около 20 фотоэлектронов. Площадь фотокатода светоприемника "Квазар" при регистрации черенковского фронта ШАЛ равна 0.107 кв.м.

Для получения необходимого углового разрешения светоприемники должны быть разнесены на сравнительно большое расстояние (не менее 100 м), при этом связь их с мастерным блоком и аппаратурой накопления и обработки данных осуществляется с помощью коаксиальных кабелей, значительная длина которых приводит к заметному искажению быстрых сигналов. Влияние этих искажений на погрешности измерений можно ослабить, если разместить в модуле светоприемника аппаратуру предварительной обработки сигналов ФЭУ и передавать по кабелю стандартные по уровням сигналы. Для сокращения числа кабелей информация о времени появления сигнала и его амплитуде может передаваться в виде одного импульса, временное положение фронта и длительность которого характеризуют параметры сигнала.

Недостатком такого способа является существенное увеличение мертвого времени установки, поскольку преобразования амплитуды в длительность производится для всего потока сигналов - как для полезных импульсов, так и для шумовых и фоновых. Обычно в модуле светоприемника размещают лишь предусилитель, работающий на длинный кабель и вспомогательные узлы аппаратуры (светодиоды, источники питания и др.). Схемы предварительной обработки и кодирования сигнала выносят в пункт сбора и обработки информации, что позволяет стробировать их сигналами мастерного блока, срабатывающего лишь при совпадении в пределах заданного времени импульсов от всех оптических модулей. Структурная схема такой системы приведена на рис.1. В этой схеме сигналы со светоприемника после предварительного усиления в предусилителе ПУ подаются по коаксиальному

кабелю в пункт сбора и обработки информации. После сжатия импульсов в обострителе и усиления в усилителе-разветвителе они поступают на формирователь со следящим порогом ФСН непосредственно и на амплитудный преобразователь А-К через линию задержки Лз-1. Формирователь со следящим порогом осуществляет амплитудный отбор и временную привязку к сигналу, а также формирует логические импульсы для мастерного блока М, преобразователя время-код Т-К, преобразователя амплитуда-код А-К и счетчика Сч. В преобразователе А-К импульсы ФСН используются для стробирования входного линейного пропускателя, в мастерном блоке - для осуществления режима n -кратных совпадений и в преобразователе ТК - в качестве стоповых. Запуск (старт) преобразователя Т-К производится выходным сигналом мастерного блока, с помощью линии задержки Лз-2 осуществляется режим обращенной временной шкалы, позволяющий исключить бесполезные запуски преобразователя. Преобразователь А-К при отсутствии мастерных импульсов работает в режиме быстрого разряда накопительной емкости. Мастерный импульс запрещает саморазряд и инициирует преобразование заряда в код и передачу результатов преобразования в магистраль КАМАК. Возможен и другой режим работы преобразователя А-К, когда мастерный импульс используется для управления его входным линейным пропускателем, в этом случае в качестве Лз-1 необходимо использовать широкополосную аналоговую линию на сравнительно большую (порядка 1 мкс) задержку, определяемую задержкой срабатывания мастерного блока.

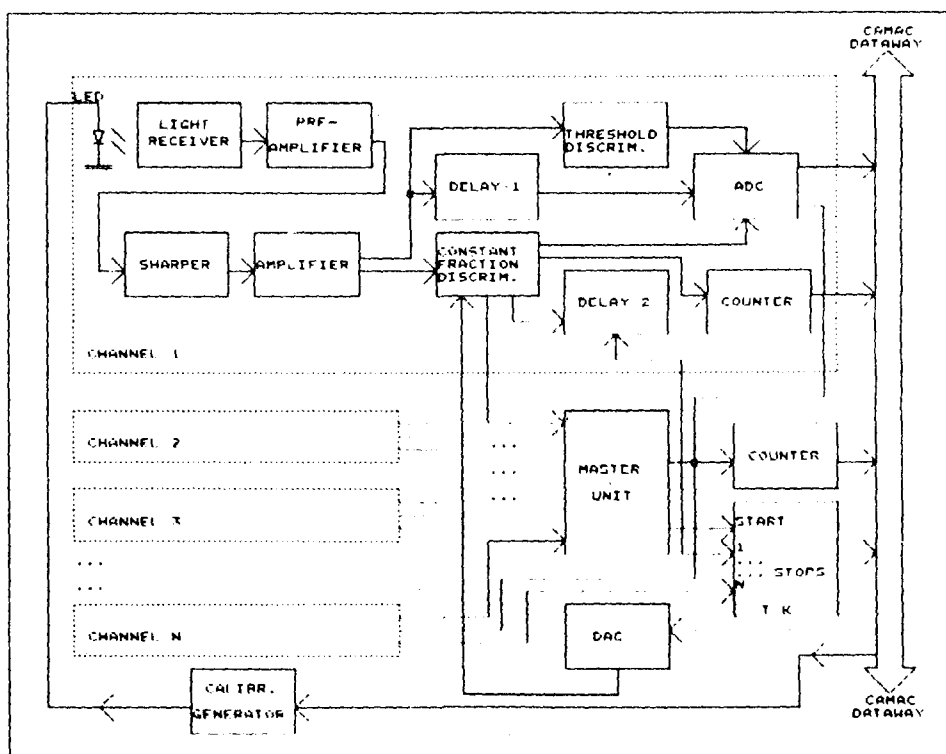


Рис. 1. Структурная схема аппаратуры черенковских детекторов для регистрации широких атмосферных ливней

Характерной особенностью работы с сигналами от ливня черенковских фотонов является широкий динамический диапазон амплитуд сигналов и наличие высокого светового фона. Для расширения регистрируемого динамического диапазона совместно с преобразователем А-К иногда включают пороговый дискриминатор ПД, при срабатывании которого эффективный коэффициент преобразования снижается примерно на порядок.

Для работы в условиях высокой фоновой засветки используют лишь часть динодов ФЭУ. Такой режим позволяет сохранить оптимальную разность потенциалов между динодами и

сохраняет диоды от разрушения. Наличие светового фона и его флуктуаций искажает результаты амплитудных измерений, с этой точки зрения важно чтобы сбор заряда осуществлялся в возможно коротком временном окне (порядка 30 нс). Для ослабления влияния затягивания сигнала в длинном кабеле на точность амплитудных и временных измерений используют обостритель Об, который может быть выполнен, например, по схеме укорочения импульса методом компенсации полюса нулем.

Уровень светового фона и его нестабильность определяют порог срабатывания установки, который устанавливают с помощью ЦАП, задающего минимальный уровень срабатывания ФСП. Обычно этот уровень составляет несколько десятков фотоэлектронов. С помощью блоков счетчиков Сч производится интегральный счет срабатываний каналов и мастерного блока. Для калибровки светоприемников временных и амплитудных трактов, а также текущего контроля их стабильности используют светодиоды СД, размещенные в модулях светоприемниках и генератор запуска светодиодов ГЗС.

Амплитудная калибровка производится изменением амплитуды импульса на светодиодах, временная - с помощью прецизионной управляемой задержки. Для реализации рассмотренной структурной схемы в РНЦ "КИ" разработаны следующие функциональные модули: предусилитель и делитель ФЭУ, усилитель-разветвитель, 2-канальный блок точной временной привязки, 8-канальный амплитудный кодировщик с быстрой схемой линейного пропускания на входе, 8-канальный временной кодировщик с шириной канала 0,5 нс, 14-входовый мастерный блок с программируемой функцией отбора и др.

Разработанная аппаратура использовалась в черенковских установках, расположенных на Тянь-Шане и в районе озера Байкал. Установка на Тянь-Шане [1] состоит из шести детекторов, расположенных равномерно по окружности радиусом 115 м. Каждый из детекторов представляет собой прожекторную установку с параболическим зеркалом диаметром 1,5 м в фокусе которого смонтирован ФЭУ. Условия запуска установки - наличие в каждом из шести детекторов импульса, превышающего флуктуации звездного неба в 5-6 раз. Широкоугольная черенковская установка, состоявшая из четырех фотоприемников "Квазар" в марте 1992 г. была размещена на льду озера Байкал в месте развертывания глубоководного нейтринного телескопа НТ-200. Три светоприемника стояли в вершинах правильного треугольника а один в центре. Расстояние от центрального светоприемника до периферийных составляло 80 м. Было зарегистрировано около $1.7 \cdot 10^4$ ливней (при пороге срабатывания 85 фотоэлектронов). В настоящее время ведется сооружение установки с 13 отечественными модулями в Тункинской долине в 50 км южнее озера Байкал. Оптические пункты с фотоприемниками "Квазар" будут размещены внутри квадрата со стороной 300 м. Отдельные параметры установки для гамма-квантов с энергией 25 ТэВ:

- эффективная площадь - $2 \cdot 10^5$ кв.м,
- угловое разрешение - 0.15
- энергетическое разрешение - 50%.

Сравнительная простота и дешевизна черенковской методики регистрации ШАЛ делают возможным рассмотреть в перспективе проект низкороговой установки с большей эффективной площадью (1 кв.км и более).

Литература

1. Установка для регистрации дискретных источников гамма квантов с использованием временных детекторов черенковского излучения. Антонов Р.А., Анохина А.М., Галкин В.И. и др. Известия Академии наук, серия физическая, т.57, N4, 1993, с.177.
2. Широкоугольный черенковский детектор ШАЛ на основе полусферических фотоприемников. Антонов Р.А., Галкин В.И., Иваненко И.П., Кузьмичев Л.А. и др. Известия Академии наук, серия физическая, т.57, N4, 1993, с.181.

ПОДВОДНАЯ ЭЛЕКТРОНИКА НЕЙТРИННОГО ДЕТЕКТОРА

Б.А.Борисовец, Л.А.Донских, А.М.Клабуков, А.И.Климов, Л.А.Кузьмичев,
Е.А.Мелешко, А.Г.Морозов, И.Е.Осташев,

Российский научный центр "Курчатовский институт", Москва, Россия

Т.Тон¹

¹ДЭЗИ ИФВЭ, Берлин, ФРГ

1. Нейтринный телескоп НТ-200

Детектор НТ-200 [1] разрабатывался как многофункциональная физическая установка для проведения исследований в области физики космических лучей и нейтринной астрофизики. Реализация этих задач накладывает определенные требования на измерительную электронику: для реконструкции событий необходима наносекундная точность временных измерений, для определения энергии - диапазон амплитудных измерений до 1000 фотоэлектронов (ф.э.). Стремление увеличить эффективный объем детектора за счет повышения чувствительности оптических модулей (ОМ) привело к необходимости регистрации и обработки однофотоэлектронных импульсов на выходе фотоприемников. ОМ создан на основе гибридного фотоприемника КВАЗАР-370 диаметром 37 см, помещенного в прочный корпус, состоящий из двух полусферических иллюминаторов.

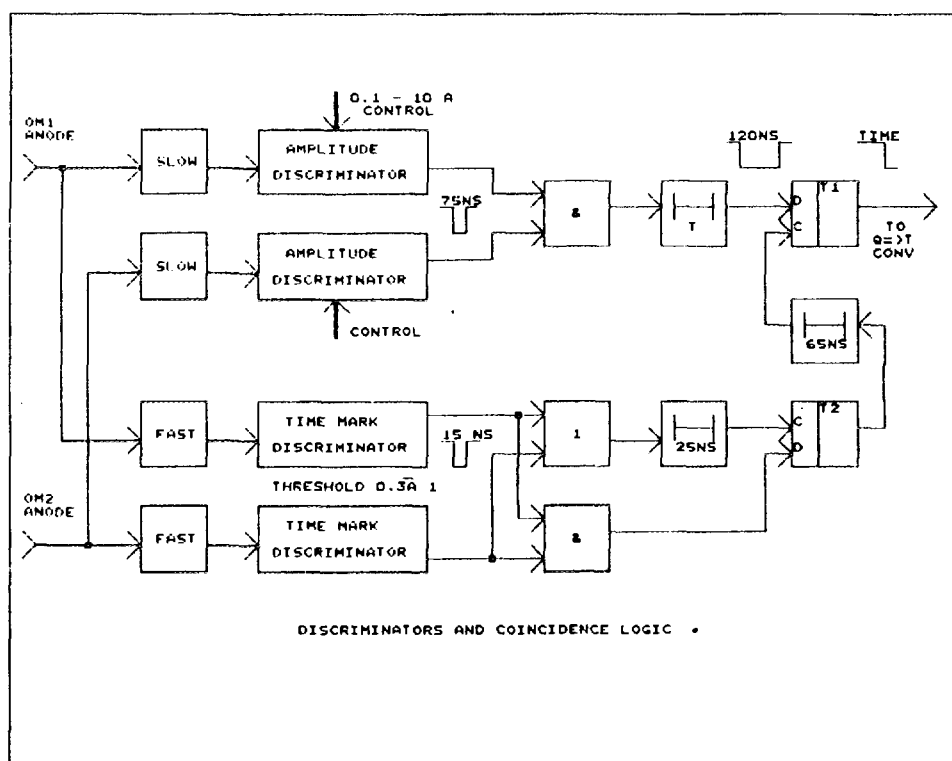


Рис.1. Блок-схема измерительной электроники связи

В ОМ расположены высоковольтные преобразователи напряжения для питания камеры электронно-оптического усилителя яркости фотоприемника и питания обычного ф.э.у., входящего в состав фотоприемника. Для съема сигналов в ОМ используются быстрый усилитель импульсов анодного тока фотоприемника (к.у.= 10), для временных измерений, усилитель-инвертор (к.у.= 3) импульсов с 11-го диода ф.э.у., для измерения амплитуды. При этом скорость счета фоновых импульсов, вызванных импульсами темнового тока фотоприемника и однофотонным свечением воды озера составила для каждого ОМ 50-100 КГц. Для эффективного подавления фона и выделения событий от релятивистских частиц в детекторе используется двухуровневая триггерная система. Для реализации нижнего уровня триггерной системы ОМ расположены вдоль каждой гирлянды попарно и ориентированы фотокатодами фотоприемников вниз или вверх (расстояние между парами ОМ, смотрящими друг на друга 7,5 м, между ОМ, смотрящими в разные стороны 5,5 м). Каждая пара ОМ включена в совпадения и образует информационный канал детектора, в окончательном варианте детектор НТ-200 будет состоять из 192 ОМ и 96 информационных каналов. Две пары ОМ имеют общий системный модуль (СМ) и образуют функциональную единицу детектора - связку. Каждый СМ связан с блоком электроники гирлянды (БЭГ), в свою очередь все БЭГ связаны с блоком электроники детектора (БЭД), где расположена триггерная система второго уровня - мастерная система. Электронные блоки СМ, БЭГ и БЭД размещаются в крейтах стандарта EUROCARD,

снабженных контроллером управления и преобразователями постоянного напряжения 300 В, подаваемого с берега, в +5 В, +12 В (и +24 В для крейта БЭГ). Все информационные связи внутри детектора осуществляются коаксиальными кабелями. Из БЭД информация передается в береговой центр по донной кабельной линии. Ниже приводится описание систем измерительной электроники НТ-200, прошедших испытания во время годичной эксплуатации первой стадии детектора - НТ-36 [2].

2. Измерительная электроника связи

Анодные импульсы пары ОМ поступают на вход соответствующего блока выработки локального триггера. Он состоит из двух двухуровневых дискриминаторов и схемы совпадений (рис.1).

Каждый двухуровневый дискриминатор включает в себя дискриминатор временной привязки (ДВП) с порогом дискриминации 0,25 а1, где а1 - средняя амплитуда однофотозлектронных импульсов ф.э.у. и дискриминатора управления (Д1У0) с программно управляемым порогом дискриминации 1. Данная схема позволяет реализовать высокое временное разрешение фотоприемника КВАЗАР-370 для однофотозлектронных импульсов (для лучших образцов джиттер $t_{FWHM} = 2$ нс). Для подавления вероятности опережающего срабатывания ДВП от фоновых импульсов перед ним введен селектор длительности, подавляющий все одиночные импульсы ф.э.у., не связанные со срабатыванием фотоприемника. С выхода ДВП импульсы длительностью 15 нс поступают на схему совпадений, выполненную таким образом, что фронт импульса совпадений определяется появлением первого из совпадающих импульсов, что позволяет подавить запаздывающие временные отсчеты. Динодные импульсы пары ОМ поступают на аналоговый сумматор блока преобразования амплитуды (БПА), выполненного на основе стробируемого преобразователя заряд-длительность 1101ПД1. Суммарный входной заряд преобразуется в случае появления импульса совпадений, который служит стробирующим сигналом для БПА. Максимальное время преобразования БПА 70 мкс, блок имеет два режима работы - основной с коэффициентом преобразования 1 ф.э. на канал и дополнительный для калибровочных измерений (0,05 ф.э. на канал). Предусмотрена возможность отключения от сумматора одного из пары ОМ. С выхода БПА сигнал стандартной амплитуды (локальный триггер), фронт которого совпадает с фронтом импульса совпадений, а длительность пропорциональна входному заряду, подается в БЭГ для последующей обработки.

3. Блок электроники гирлянды (БЭГ)

В состав БЭГ входит 6 измерительных каналов, контроллер передачи данных и блок запроса (последний относится к мастерной системе).

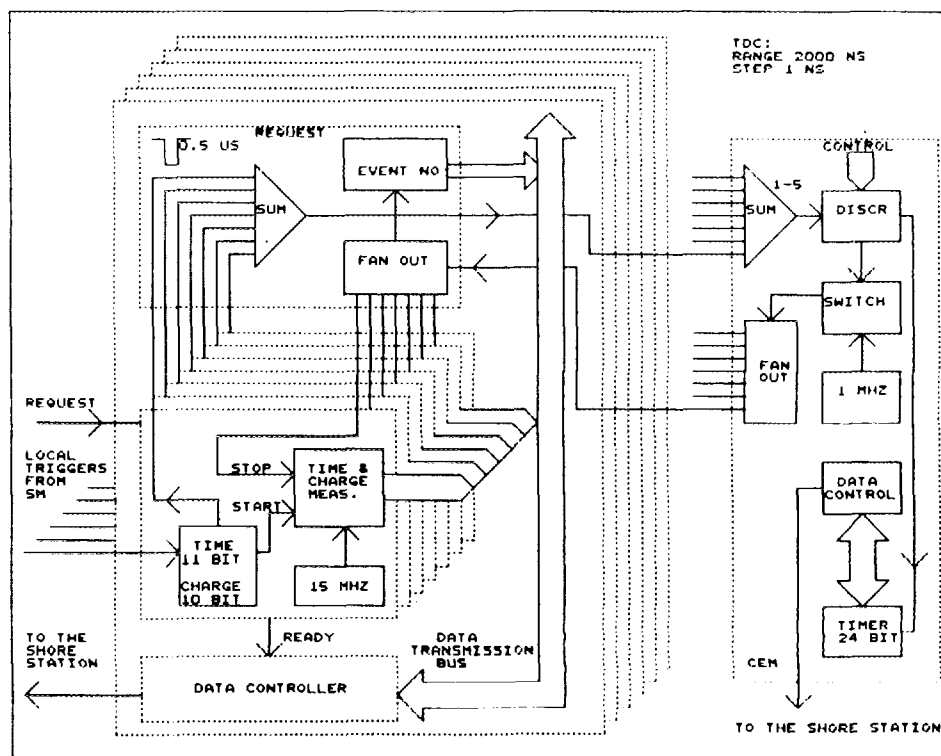


Рис. 2. Блок электроники гирлянды

Измерительный канал (Рис.2) содержит 11-разрядный преобразователь время-код (ПВК), 10-разрядный преобразователь заряд-код и схему записи номера события. Принцип работы ПВК основан на преобразовании временного интервала между стартом (локальный триггер) и стопом (мастерный сигнал), коэффициент преобразования равен 70. Преобразованный временной интервал заполняется частотой 15 МГц от

кварцевого генератора. Диапазон измерения ПВК - 2 мкс с шагом 1 нс, дифференциальная нелинейность $< 1\%$. Если данный локальный триггер не вызывает появления мастерного сигнала в течение 2 мкс, преобразование прекращается, разряжается накопительный конденсатор ПВК и через 3 мкс деблокируется входной компаратор. При среднем темпе счета локальных триггеров 200 Гц эффективность регистрации измерительного канала уменьшается из-за мертвого времени ПВК всего лишь на 0,1%. После окончания преобразования информация о времени и амплитуде переписывается во внутренний буферный регистр измерительного канала, освобождая счетчики временного и амплитудного преобразователей для обработки следующего локального триггера. Из буферных регистров информация считывается по магистрали крейта контроллером передачи данных. Для мастерной системы в измерительном канале формируется сигнал запроса длительностью 0,5 мкс, привязанный по времени к фронту локального триггера. Запросы со всех измерительных каналов гирлянды суммируются аналоговым образом в блоке запросов и поступают в БЭД. В блоке запросов имеется 6 разрядный счетчик номера события, изменяющий свое состояние с приходом очередного мастерного сигнала. Информация с этого счетчика переписывается в буферный регистр измерительного канала, и используется береговым компьютером для объединения данных с различных измерительных каналов в одно событие.

4. Блок электроники детектора. Мастерная система

Мастерная система использует метод аналогового сложения импульсов стандартной амплитуды с последующей амплитудной селекцией совпадений [3]. Сигналы запросов измерительных каналов всех гирлянд детектора объединяются в единый поток сумматором блока мастера (БМ) и подаются на вход дискриминатора с управляемым порогом. Диапазон дискриминации соответствует регистрации 1 - 5 кратных совпадений сигналов запросов. При срабатывании дискриминатора формируется мастерный сигнал, который передается во все БЭГ детектора и служит общим стоп-импульсом для измерительных каналов, инкрементирует счетчики номеров событий в блоках запросов и БМ и поступает в блок таймера. При появлении мастерного сигнала состояние счетчика времени таймера и счетчика номеров событий БМ переписываются во внутренние регистры, затем информация считывается контроллером передачи данных и передается в береговой компьютер. Для детектора НТ-200 первичный поток информации составляет $2 \cdot 10^7$ Гц. Используемая двухуровневая триггерная система обеспечивает подавление фоновых срабатываний до 0,02 Гц для мастерного условия 4, при этом темп счета мюонных событий составляет 100 Гц.

5. Калибровка детектора

Измерение и контроль усиления фотоприемников осуществляется при помощи известной процедуры калибровки, использующей параметры многофотозлектронного пика. Кроме того, при работе в тестовом режиме БПА имеется возможность непосредственного измерения порогов дискриминации БВЛТ и параметров однофотозлектронного распределения импульсов фотоприемника, что дополнительно служит способом измерения коэффициента усиления тракта. Одновременно с амплитудной калибровкой измеряется ширина канала ПВК с точностью 0,001 нс. При этом в качестве стоповых используются импульсы кварцевого генератора с частотой 1 МГц. Опыт эксплуатации НТ-36 показал, что ширина канала ПВК меняется не более, чем на 0,002 нс. Для определения индивидуальных (электронных и кабельных) временных задержек информационных каналов детектора используется азотный лазер (длительность светового импульса 0,3 нс). Световые импульсы разводятся от лазера при помощи пластиковых оптоволокон равной длины ко всем парам ОМ детектора. FWHM распределения разности времени срабатывания двух каналов от лазерных импульсов составляет 2 нс. Зная число импульсов лазера и число импульсов, зарегистрированных каждым каналом можно вычислить эффективность регистрации для всех каналов детектора. Для НТ-36 эффективность регистрации составляет 96-98%.

Литература

1. I.A.Belolaptikov, L.B.Bezrukov, B.A.Borisovets et al. Status of the Lake Baikal Neutrino Detector., The Proceedings of the 26 International Conference on High Energy Physics, Dallas, 1992.
2. I.A.Belolaptikov, L.B.Bezrukov, B.A.Borisovets et al. The Lake Baikal Telescope NT-36 — A First Deep Underwater Multistring Array. Preprint DESY 94-049, March 1994.
3. Л.Б.Безруков, Л.А.Донских, А.М.Клабуков и др. Электронная система предварительного отбора событий глубоководного нейтринного телескопа НТ-200, Препринт ИЯИ - 739/91.

ENHANCED TIMING CHANNEL FOR SPECTROSCOPY AMPLIFIERS

K. Ianakiev, T. Grigorov

Institute for Nuclear Research and Nuclear Energy, Sofia, Bulgaria

INTRODUCTION

Timing or fast channel in spectroscopy amplifiers is intended for recognizing detector pulses with the lowest noise threshold and resolving time attainable. In amplifiers with time invariant filtering [1] it has an auxiliary function as timing information for the pileup rejector is mostly required in measurements at elevated and high counting rates. State of the art amplifiers with time variant pulse processing [2] however, entirely rely on the timing channel in overall control of the filtering process.

Optimal pulse filtering is essential in the fast channel, as noise level at the input of the threshold discriminator depends on the duration and shape of the pulse to be detected. Resolving time is determined as the pulse duration above the noise level. Its choice is a trade-off between the acceptable noise level and resolving time.

Purpose of this work is to analyse noise and timing performance of some methods of filtering in the fast channel and suggest an alternative design concept.

DESIGN ASPECTS

Let's consider the typical case of pulse processing from the detector to the output of the fast pulse shaper. Typical peaking time of the preamplifier output pulse is between 100 ns and 500 ns depending on the duration of the detector current pulse. For practical reasons, gain stages in the spectroscopy amplifier are common to both its slow (energy) and fast (timing) channel. Their bandwidth is selected wide enough to retain preamplifier risetime up to the fast channel input. No specific low-pass filtering is commonly applied. High-pass filters implement either CR or delay line differentiation with time constant of about 100 ns in most cases, usually passive. Due to the mismatch of low- and high-pass filtering time constants, resulting pulse is asymmetrical. Its peaking time is defined by the limited frequency response of the preamplifier and the amplifier gain stages. It decreases exponentially to the baseline, thus degrading resolving time at low noise levels.

Symmetrical triangle represents the optimal pulse shape in the fast channel for the following reasons:

- it has finite duration at zero noise level;
- with respect to the noise, which is of series type in the fast channel, symmetrical triangle has the lowest delta noise index for a predefined pulse duration [3].

A filter producing pulse with a similar shape is described in [4]. Bipolar pulse is formed with two delay lines and then RC integrated. Unfortunately, implementation of this sophisticated design is difficult.

As an alternative, let us consider a quasi-Gaussian filter similar to that in the energy channel. Shape of the resulting pulse is symmetrical, but with an exponential decay to the baseline, hence with poor resolving time. Introducing complex poles, however, can fix its duration. Thus the quasi-Gaussian filter can provide noise performance similar to that of the symmetrical triangle at the cost of additional low-pass filter with time constant equal to the differentiation one. On the other hand, this function could

be performed within the existing amplifier gain stages. Their frequency band could be limited to the actual filtering requirements in the fast channel. Complex poles can easily be introduced by a damped LC loop connected in series to the differentiation network.

This design concept offers the following advantages:

- no additional IC's are needed for the low-pass filter;
- due to the limited frequency band after the amplifier input stage, frequency response requirements for IC's are reduced. This is of particular interest in the design of low-power spectrometers.

ANALYTICAL RESULTS

Model analysis

Model analysis of noise and timing performance has been accomplished for quantitative assessment of the filters discussed so far. Circuit diagram of the model is shown in Fig.1. RC integrators with time constant τ_i represent the equivalent signal bandwidth limitation set by the preamplifier and the amplifier gain stages. Time constant τ_d is defined by R_d and C_d , respectively. Components of the resonance loop are labelled L_o , C_o and R_o , respectively. Since the amplifier input differentiation does not influence fast channel transfer function, it is not included in the model.

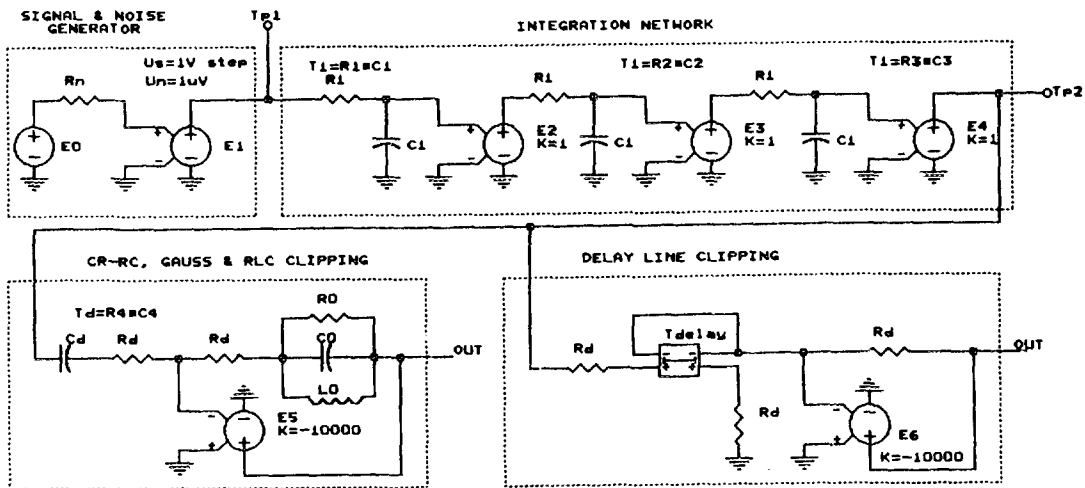


Fig.1. Circuit diagram of the models analyzed

Four filters were analyzed, the commonly used CR-RC and delay line (DL), both with mismatched time constants, quasi-Gaussian (G) and quasi-Gaussian with complex poles (RLC). Analysis was carried out with the PSPICE simulation package. Step voltage with 1V magnitude was generated at the input (TP1) for transient analysis. White noise with spectral noise density of $1V/\sqrt{Hz}$ was generated at TP1 for the noise analysis.

As noise performance depends on both pulse shape and duration, it is suitable to compare different shapes with equal durations. Resolving time of each shape is determined as the duration measured at relative threshold 0.5% of its maximum, which corresponds to the typical noise level of a spectrometer with coaxial Ge detector in the energy range of 2 MeV.

Shape of the output pulses

As a first step, time constants of each model were selected to match the real pulse shapes. Integration time constant τ_i was selected for CR-RC and DL to produce a pulse with peaking time of 200 ns at TP2 as a response to an exponentially decaying pulse at TP1 ($\tau_{\text{rise}}=0$, $\tau_{\text{decay}}=5\mu\text{s}$). Differentiation time constant τ_d and delay dt were 100ns, respectively. $\tau_i = \tau_d = 100$ ns for G and RLC. $R_o=500$ ohm, $L_o=82$ μH and $C_o=27\text{pF}$ were selected to produce nearly symmetrical pulse and undershoot with minimal amplitude.

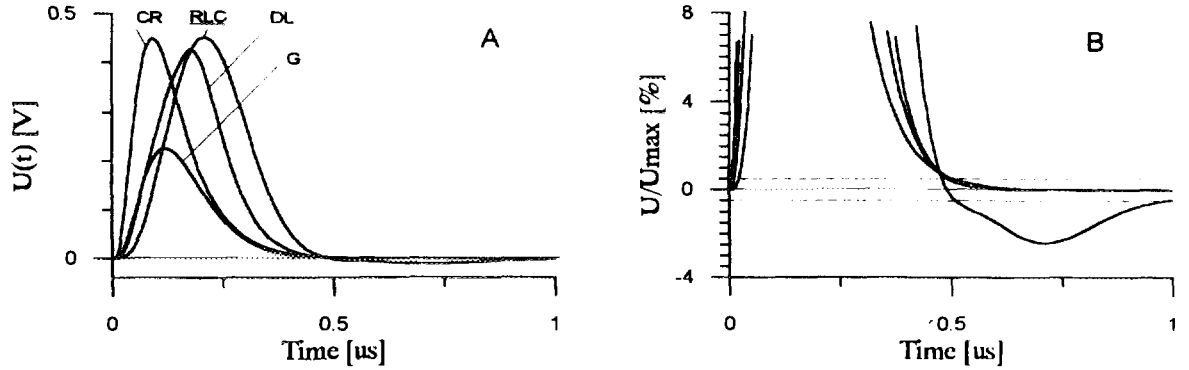


Fig.2.Shapes of models analyzed

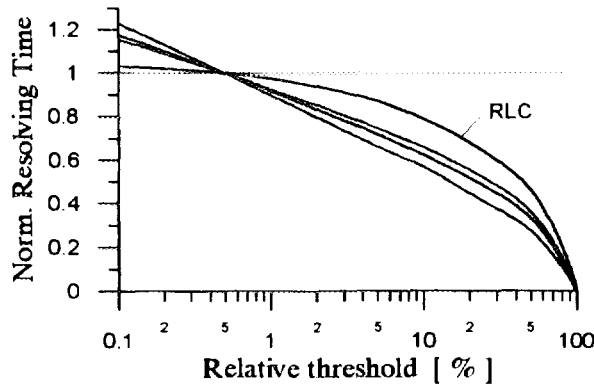


Fig.3

Resolving time of each shape was calculated and then τ_i and τ_d scaled to form 500 ns normalised resolving time. Resulting timing values are given in Table 1 and shapes shown in Fig.2A. Detailed view of close to zero behaviour of normalised pulses is shown in Fig.2B. Pulse duration dependence upon relative threshold is based on this data and shown in Fig.3.

Table 1

	U_{max}	U_{noise}	S/N	T_{max}	T_{max}/T_d	τ_d	τ_i
	mV	mV	-	ns	-	ns	ns
CR-RC	447	1.37	326	101	0.198	69	23
DL	426	1.04	410	179	0.358	158	36
G	227	0.63	360	131	0.262	40	40
RLC	433	1.01	429	232	0.464	90	90

As seen in Fig.2B, complex poles of quasi-Gaussian filter provide finite pulse duration at zero level, similar to [3].

A possible drawback of the undershoot introduced by complex poles is the probability of not recognizing small pulses arrived during its period. That probability is proportional to the product of the interval probability of a second pulse to arrive

and the probability of its height to be less than the undershoot. It can be estimated for the following worst-case approximations:

- pulse heights have uniform distribution, U_{max} being the maximum amplitude in the range;
- each undershoot is flat, its height corresponding to U_{max} .

The probability is then: $P_{lost}(N_i) = 1/2 * [exp(-N_i * T1) - exp(-N_i * T2)] * a$, where

N_i is the average counting rate;

$T1$ and $T2$ are the instants of beginning and end of the undershoot at a threshold level $a * U_{max}$ ($a = 2.5\%$ for the pulse in Fig.2B).

This probability has been calculated for a set of counting rates and shown in Table 2.

Table 2

N_i [cps]	10k	30k	100k	300k	1000k
P_{lost} [%]	0.006	0.017	0.054	0.141	0.28

Noise performance

Noise performance is compared as the signal to noise ratio: $S/N = U_{max}/U_{noise}$

where: U_{max} is the pulse amplitude of each model, as shown in Fig.2A.

U_{noise} is the total RMS output noise, calculated as the integral of the spectral noise distribution function.

Results of noise and transient performance analysis are summarized in Table 1.

Comments on the results of the model analysis

1. Signal-to-noise ratio. RLC shaping ensures the best S/N ratio, similar to that of the DL and up to 30% better than the popular CR-RC.
2. Pulse duration at low threshold levels. RLC shape is significantly less dependent than the others. This is mainly in consequence of the undershoot at its end.

EXPERIMENTAL RESULTS

RLC shaper implementing the model described here was designed and built into a semi-Gaussian amplifier along with automatic threshold control and a pulse-width discriminator [5]. Its resolving time was 420 ns. Performance of the fast channel was

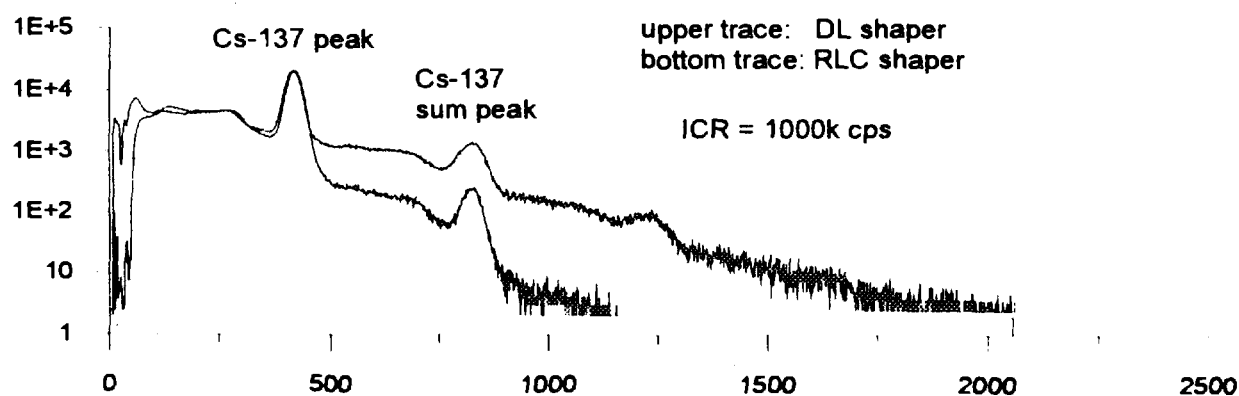


Fig.4. High counting rate NaI(Tl) spectra

tested versus that of a commercial amplifier TENNELEC TC-244 with 100 ns delay line shaper. Both amplifiers were connected to a NaI(Tl) spectrometer and operated with 0.5 μ s shaping time constant. ^{137}Cs source was used in the test which produced input counting rates up to 700 000 cps as measured at the fast channel output of TC-244. With its 350 ns resolving time, this number corresponded to about one million counts per second actual detector rate. Spectrum shown in Fig.4 illustrates operation of each amplifier in these extreme conditions.

Results of similar tests with Ge detector up to 60 000 cps counting rate are reported elsewhere [5].

References:

1. An Introduction to Spectroscopy Amplifiers, Silena Application Note, Milano, 1982.
2. K. Kandiah, in Radiation measurements in nuclear power, p.420, London, 1966.
3. F.S.Goulding, Pulse-shaping in spectroscopy amplifiers, NIM 100 (1972), p.493.
4. F.S.Goulding et al., Design Philosophy for High-Resolution Rate and Throughput Spectroscopy Systems, IEEE Trans.Nucl.Sci., Vol. NS-30, No.1, 1983.
5. J.Halbig, K.Ianakiev et al., Recent Miniature MCA Technology Developments at Los Alamos, ESARDA 15th Symposium of Safeguards and Nuclear Material Management.

Large Area Silicon Avalanche MRS-Photodiodes for Nuclear Spectrometry

Ermalitski F.A., Vetokhin S.S., Zalesski V.B.

Belorussian State University,

Institute of Electronics of the Belorussian Academy of Sciences

E-mail ermal%hep.belpak.minsk.by@demossu

In many fields of physics and optoelectronics there is a necessity to replace traditionally used photomultipliers to compact and cheaper semiconductor photodetectors with large sensitive area. First of all these are high energy particle physics, nuclear physics, radiation monitoring applications, etc. As a replacement avalanche photodiodes (APD) or pin-photodiodes can be used but APD's are more preferable because of reduced pickup due to direct coupling with readout electronics. But not far ago APD's had relatively small sensitive area diameter ($D=0,1..0,2$ mm) and multiplication coefficient ($M=10..20$). The main obstacle for area enlarging was technological difficulties for creating very homogenous $p-n$ -junction because the electric field in it is very big.

In the last 4 years some firms announced creating of APD's with a large sensitive area ($D=1..5$ mm) and a big multiplication-coefficient ($M=200..1000$). These devices are manufactured by different technologies. EG&G Optoelectronics Division uses so-called "reach through" geometry [1]. Advanced Photonics bases on beveled-edge structures [2]. But these detectors are rather expensive because of their relatively complex technology and using of high resistivity silicon.

A few years ago Belorussian researchers together with their colleagues from Moscow suggested a new MRS-construction of avalanche photodiodes. The main idea of this device consists in an accessibility of very small homogenous $p-n$ -junction created on the base of relative simple technological basis.

Therefore it was suggested to implement a lot of separate microdiodes (2..5 mkm diameter) which are disposed one near another. At front side these $p-n$ -junctions represent a mosaic surface with individual elements in form of circles.

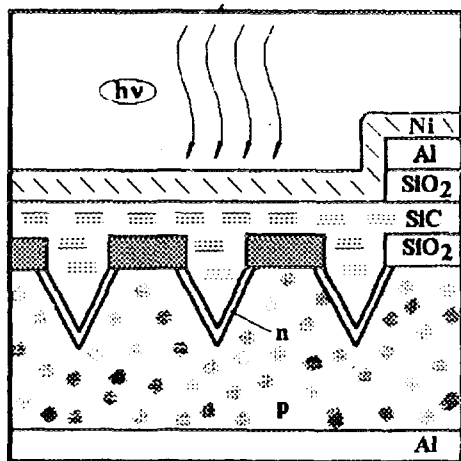


Fig 1. Geometrical structure of the Metal-Resistor-Semiconductor avalanche photodiodes

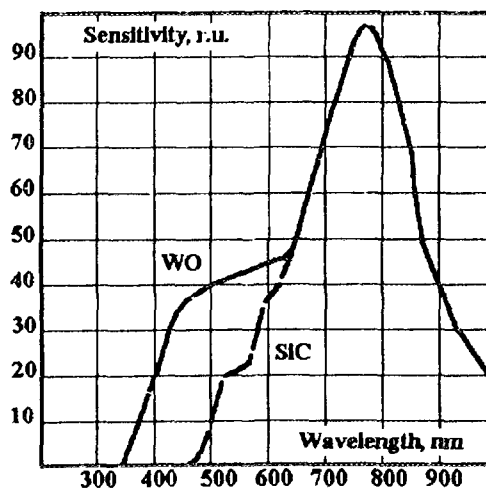


Fig. 2. Spectral response of silicon APDs

The deposition of resistance layer over the all mosaic surface give the possibility for separate electrical power of individual microdiodes. Surface metall layer provides with parallel

electrical switching on of all elements. The break-down of separate diodes doesn't lead in this construction to common detector breakdown. Such a combination of metall, resistor and semiconductor layers was called MRS-structure [3,4].

When implementing this idea it was founded that the most preferable material for large sensitive area avalanche MRS-photodiodes is low resistance silicon. Such a material determined a low bias voltage (30..40 V), high radiation hardness of detectors and low price. As a resistance layer is usually used SiC and the common material structure is Ni-SiC-Si-Al. Base silicon wafer has p -type with 1 Om.sm resistivity. An avalanche multiplication region depth is about 250 nm and a full depletion region depth is 2000 nm.

These MRS-APDs represent devices with the self-stabilized avalanche processes because after photon or particle passage through the $p - n$ -junction a multiplication process occurs and an electric field decreases due a redistribution. As a result the avalanche process stops and we have usual negative feedback.

The sensitive area diameter of existed MRS-APDs achieves 10 mm and in principle can be increased to 20 mm; That is to be as real dimensions modern photomultiplier photocatodes. The multiplication coefficient M of such devices at room temperature exceeds 200. As cooling M strongly grows and by 233 K increases to 20000 - 100000. In this case APD can work in the single photon counting mode [5]. MRS-APDs with diameter 5,5 mm dark current is 0,02..0,2mA at room temperature and with $M=1000$. Theirs measured output signals dynamic range is 3000.

Low resistive base silicon defines relatively high MRS-photodiodes capacitance. For 5,5 mm diameter APD capacitance is 300 pF and its rise time is 14 ns and for 1 mm APD are 40pF and 2 ns accordingly.

Heterogenity of base material and high APD capacitance determines rather big transit time jitter. It achieves 0,4 ns for 1 mm APD and 0,6 ns for 5 mm APD. These data were measured at time-correlated spectrometer (it's analog in high energy physics is time-of-flight system).

Insensitivity of APD's to magnetic fields defines their application in special type of hadron calorimeters in particle physics. In this equipment MRS-APDs can replace traditional photomultipliers. The special design APDs with unmagnetic bag were tested in the prototype of hadron calorimeter for CMS project at CERN. The real beam test was performed on the SPS accelerator with π -meson (150 GeV) and electron (150 GeV) beams. For this case a new detector with WO-resistance layer which is sensitive in blue spectral region was designed (fig 2).

These APD's were succesfully used by registration of α - and γ - radiation. By registration of α - particles their energy resolution achieves 10 %. By measuring of γ - radiation (construction with CsJ(Tl) - scintillator) at temperature 231 K energy resolution was 60 and 80 % accordingly for γ - quants with energy 59 and 662 keV [6].

References

1. Petrillo G.A., McIntyre R.J.; JEEE Trans. Nucl. Sc., 31, 417 (1984).
2. Farell R., Vanderpuye K. e.a.; JEEE Trans. Nucl. Sc., 38, 144 (1991).
3. Vetokhin S.S., Golovin V.M., Zalessky V.B. e.a.; Pribory i tekhnika eksperimenta: 1, 186 (1991).
4. Gasanov A.G., Golovin V.M. e.a. Sov.J. Tech.Physics Letters; 16, 16 (1990).
5. Voropai E.S., Dmitriev S.M., Ermalitski F.A. e.a.; In book "Impulse Photometry", Leningrad, 87 (1986).
6. Vetokhin S.S., Evtushenko V.P., Zalessky V.B. e.a.; Pribory i tekhnika eksperimenta, 1, 186 (1991).

POLE-ZERO ADJUSTMENT OF SPECTROSCOPY AMPLIFIERS USING MCA

K. Ianakiev, T. Grigorov

Institute for Nuclear Research and Nuclear Energy, Sofia, Bulgaria

INTRODUCTION

Output signal of most preamplifiers for ionizing radiation detectors is a voltage step followed by a decaying exponential with a typical value of 50 μ s. Spectroscopy amplifier differentiates the preamplifier pulse introducing additional poles at relatively short time constants. The use of high-pass filter with an exponentially decaying signal produces an undesirable undershoot in the resultant signal. A technique to eliminate the undershoot is used in spectroscopy amplifiers, which is commonly called pole-zero cancellation [1]. It enables proper adjustment for a given combination of preamplifier and shaping time constant in the spectroscopy amplifier. Adjustment is usually performed manually and monitored with an oscilloscope.

Two methods are known which eliminate the need of the oscilloscope and reduce the skill required in the pole-zero adjustment. The first of them [2] involves sampling of the amplifier output baseline a few microseconds after the end of the detector pulse. A boxcar integrator produces the mean average of the sampled voltage which is the error-signal. Two LED's indicate under- and over- compensation, respectively. Adjustment is manual, until both LED's turn off. The second method [3] goes further with this idea. It is automatic, push button activated. A multiplying DAC is included in the feedback of the pole-zero cancelling circuitry and the appropriate control circuitry perform the adjustment.

Sampling and analog averaging employed in methods cited have the following disadvantages:

- error-signal is derived from the absolute value of the output baseline. Thus the baseline shift and offsets in the measuring circuitry set a limit of sensitivity and accuracy of the adjustment.
- output signal of the analog integration is proportional to the arithmetic mean of the samples distribution. Thus even moderately elevated counting rates impede correct adjustment.

Object of this work is to set forth an alternative approach and the relevant circuit that provide higher accuracy of pole-zero adjustment. Additional objects and advantages will be explained in the description that follows.

DESIGN ASPECTS

Method consists in sampling the amplifier output at two instants, immediately after the end of the pulse (check sample) and after a time sufficient for the baseline to return to its quiescent level. Difference between the mean average of reference and that of the check samples is a measure of the adjustment accuracy. Thus the essence of the method is the utilization of internal reference.

Most reasonable way to obtain the mean average of samples and compare the check versus reference distribution is the multichannel analyzer (MCA) of the spectroscopy system. MCA offers digital histogram of distributions with high accuracy as well as means of calculation and comparison of their characteristics. For this purpose, a pulse is formed of each sampling and collected in the MCA.

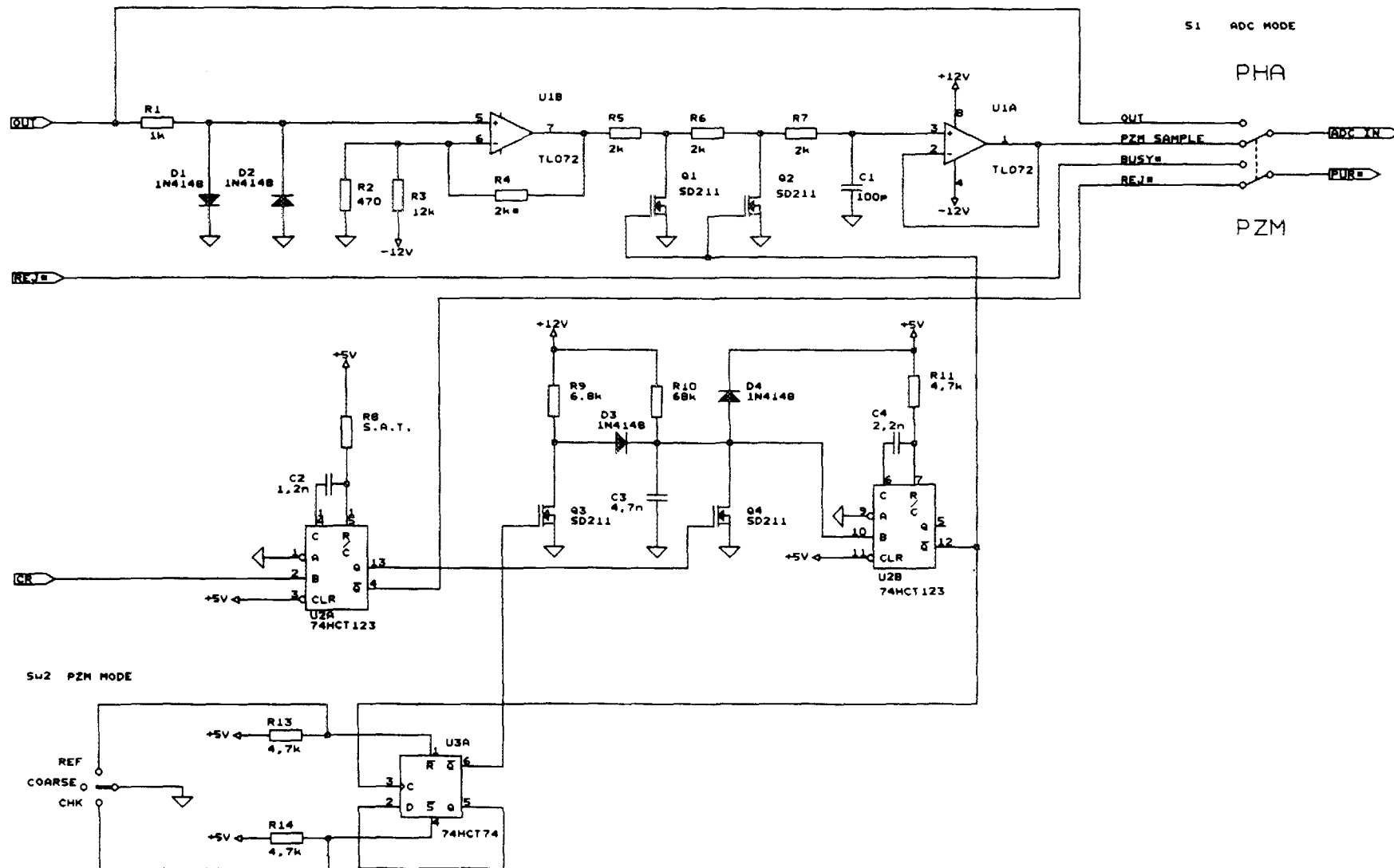


Fig.1.Circuit diagram of pole-zero monitoring device

INRNE		
Size	Document Number	REV
B	Pole-Zero MONITOR	01
Date:	September 10, 1994	Sheet 1 of 1

Pulse-height distribution of the reference samples is Gaussian, resembling peaks in normal spectrum. Location of peak maximum corresponds to the quiescent baseline at the amplifier output. FWHM of this 'peak' reflects the electronic noise in the spectrometer. Shape and location of the check samples distribution obviously depend

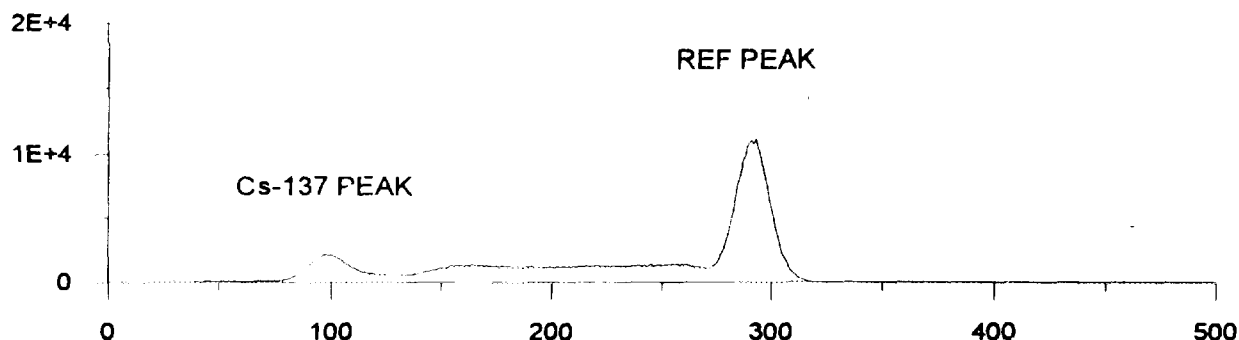


Fig.2. Pulse-height distribution, undercompensated pole

on the degree of compensation. At the extremes of under- and over-compensation that 'peak' is highly asymmetrical and its maximum is correspondingly far below and above the reference one (Fig.2). After proper adjustment both reference and check 'peaks' become completely identical in their shape and location as illustrated in Fig.3 for two input counting rates.

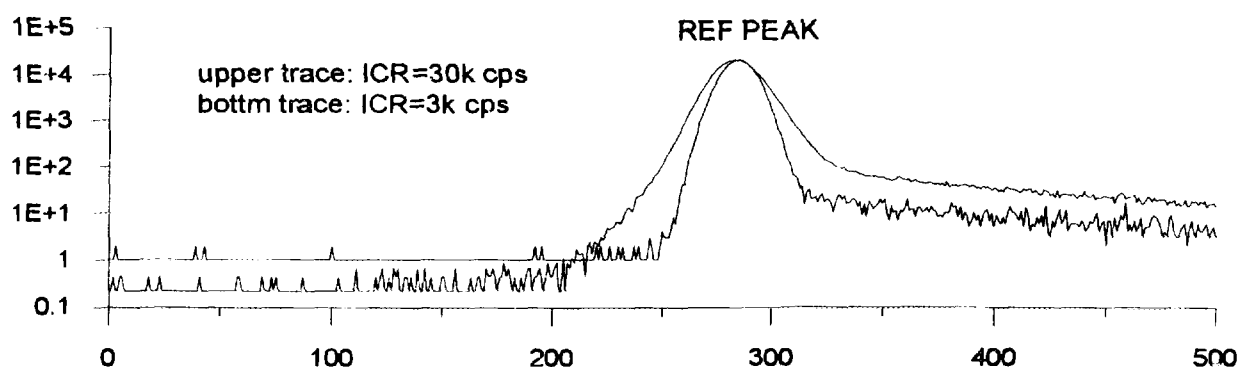


Fig.3. Pulse-height distribution, pole adjusted

Circuit diagram of pole-zero monitoring (PZM) device which implements the method described is shown in Fig. 1. The amplifier output OUT is clamped, biased and amplified by U1b, strobed by the transistor switch Q1,Q2 and fed to MCA through the buffer follower U1a. Strobe timing is initiated by CR, the output of amplifier's fast channel. Retriggerable univibrator U2a produces a pulse with a duration equal to the real amplifier output. Strobe delay after the end of that pulse is defined by time of charging C3 up to the input threshold of the univibrator U2b. Q3 controls the charge. When it is off, R9 and R10 are in parallel and U2b generates strobe pulse for the check sample. When Q3 is on, delay is defined by R10 only, U10 producing strobe of the reference sample. With the values shown in Fig. 1, check sample is taken after delay of about $5\mu\text{s}$ and reference sample follows after about $50\mu\text{s}$. Switch SW2 controls the state of Q3 according to the operating mode as described below.

PRACTICAL POLE-ZERO ADJUSTMENT

Coarse adjustment.

Switch SW2 is set to its COARSE position. In this mode, U3a toggles its state after each strobe, thereby alternating the delay. Reference and check samples are collected simultaneously and both distributions are superimposed on the MCA display. When adjusting toward the cancelled pole check sample 'peak' approaches the reference one and vice versa. Repeatedly clearing and acquiring new 'spectra' one obtains overlapped 'peaks' of the check and reference samples. Precision of the coarse adjustment is sufficient for most applications.

Fine adjustment.

This is the fine tuning for high counting rate measurements and must be performed after the coarse adjustment.

- a) Switch SW2 is set to its REF position. MCA collects the distribution of reference samples. Location of its maximum is then determined and recorded. No adjustment is needed at this step.
- b) Switch SW2 is set to its CHK position. MCA collects the distribution of check samples. Location of its maximum is then determined. If it differs from the reference, fine adjustment is performed and step b) repeated. Proper adjustment is attained when the maximum of the 'peak' coincides with that obtained in a).

CONCLUSION

The advantage of digital storage of sample distributions is more evident at high counting rates (Fig.3). Even with a tail due to the pileup, location of its maximum remains unaffected.

FWHM of either the reference or the adjusted check distribution is proportional to the electronic noise in the spectrometer by a factor of G , where G is gain of U1b (refer to Fig.1). Energy equivalent of the noise is readily obtainable in an energy-calibrated spectrometer.

The method implemented in pole-zero monitor allows its use in other applications as well. These are, for example:

1. Pole-zero adjustment in preamplifiers for ionizing radiation detectors.
2. Precise monitoring of the baseline behaviour, using variable delay after pulses with equal amplitudes.
3. Tests of HPGe coaxial detectors for trapping effects. Ballistic deficit extends duration of pulses and gives rise to a tail on the high-energy side of the distribution 'peak' at low counting rates.

Pole-zero monitor described in this work is built into upgraded portable MCA for MAAE Safeguards applications.

References:

1. Nowlin et al., Elimination of Undesirable Undershoot in the Operation and Testing of Nuclear Pulse Amplifiers, Rev.Sci.Instr.,Instr., vol.36,No.12,1965, p.1830
2. Cova et al., Automated Regulation of Critical Parameters and Related Design Aspects of Spectroscopy Amplifiers with Time Invariant Filters, IEEE Trans. on Nucl. Sci. NS-29(1), 1982, p.609
3. Automatic P/Z Adjustment Circuit for an Ionizing Radiation 'Spectroscopy System, U.S. Patent 4,866400, Sept.1982

B. DATA ACQUISITION AND PROCESSING

Building Blocks for Modular Data Acquisition Systems

Bert Hoffmann

Creative Electronic Systems
Route du Pont Butin, 70 - CH 1213 Petit-Lancy 1
Geneva - Switzerland

Tel: +41-22-792 57 45 / Fax: +41-22-792 57 48
Email: ces@lancy.ces.ch

ABSTRACT

In physics experiments a wide range of bus standards may be found for housing digitizing electronics, CAMAC, FERA, FASTBUS, VME and VXI being among the most popular choices. However, as an environment for high performance real-time processors, VME has been by far the most successful of these bus systems. This paper will show how modular, maintainable data acquisition systems can be constructed using the VICbus (ISO/IEC 26.11458) as an integrating backbone bus in a scalable architecture. It may be used to integrate powerful VME processors both with digitizing electronics for data acquisition and with popular graphic workstations (SUN-SPARC, Macintosh, PC ...) for data analysis, monitoring and display. On the VME processors standard real-time operating systems (OS-9/9000, Lynx-OS, VxWorks, pSOS, ...) provide a convenient environment for program development, drastically reducing the time needed to develop a working system.

INTRODUCTION

CES offers a set of hardware tools which give the possibility to build up systems for data acquisition, test and control using existing modules of different standards. These hardware tools are well supported by software.

The most important elements of this architecture are:

- VME bus for local communication
- High speed bus for intercrate communication
- Intelligent I/O boards
- Data and data analysis processors

This paper will cover two of these elements as they are the central parts building the backbone of the concept:

- the VIC bus
- the VME processors

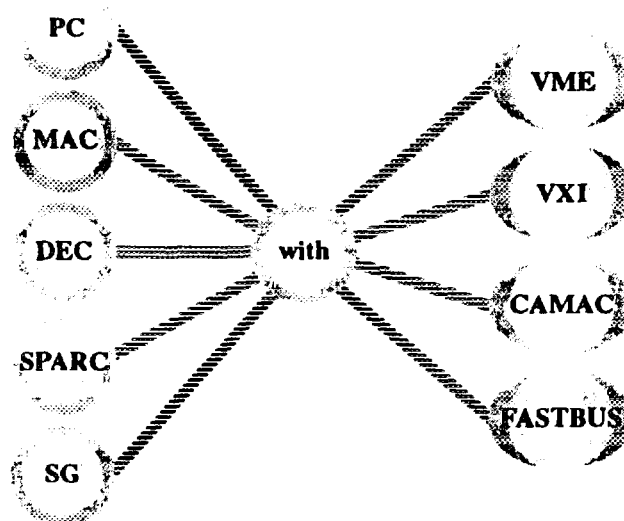
THE VICBUS

The need for a standard bus interconnecting different backplane bus systems has been strongly felt in the field of complex on-line control systems like those existing in high energy physics experiments, in aerospace or in industrial control.

This fact led CES to develop an inter-crate cable bus (the VIC bus) to connect existing diverse bus systems (VME, CAMAC, FASTBUS, VXI, ...) in an efficient way to realise an easy to use, robust and nevertheless fast interconnection. The key elements are:

- Multidrop multimaster connection
- Speed range up to 10 Mbytes/s
- Interconnects instantly:

Fig. 1. Computer and standards linked with VIC bus



- Comprehensive software support for all popular test and acquisition software environments: OS-9, Lynx-OS, LabVIEW, VxWorks, pSOS, ...
- Robust system approach: automatic re-rooting, hot disconnection, crate by-pass, ...

This concept proved sufficiently general to guide ISO toward a standardisation of the bus in 1992 under the norm ISO/IEC 26.11458.

VICbus as VME to VME Connection

CES provides two major one-6U-slot interfaces to interconnect several VME Crates through the VICbus. Their common features are:

- All VME cycles support including 32-bit address / data block transfers
- Transparent connection of the VME crates
- MMU routing allowing multi-tasking and multi-processing
- Broadcast and Broadcast over all the VME crates
- Interrupt Structure between the VME crates (including Mailboxes mechanism)
- VME Master / Slave Interface
- Complete VME crate monitoring, including RESET, ACFAIL, SYSFAIL
- Connection on distances up to 100 meters
- VSB Slave Interface
- VME Slot 1
- Crate By-Pass capacity

While the VIC 8251 has been designed according to the ISO/IEC 26.11458 specification, the VIC 8250 supports a subset of the VIC bus protocol termed VMV bus. VIC bus provides "rotating arbitration" and "non-compelled" transfers that are not supported by VMV bus. However, the simplicity of the VMV architecture makes it still a good choice for small scale applications.

VIC 8250

This board can be considered as the basic VMV Master / Slave to VME interface and conciliates high performance, moderate price and complete functionality, such as:

- High-Speed transactions (8 Mbytes/s)
- Up to 512 Kbytes of triple port (VME, VSB, VMV) buffer memory

VIC 8251F

The VIC 8251 is equipped with a global reflective memory and interfaces the VICbus. It features:

- High-Speed transactions (10 Mbytes/s)
- Up to 16 Mbytes of triple port (VME, VSB, VIC) mirrored memory
- Write Posting capability
- Rotating Arbitration on the VICbus

The notion of reflective memory is used in a multiprocessor environment where a global data area must be shared between different VME crates. Every time a memory location is written from a local interface, the same location is updated on each Mirrored Memory present on the VICbus in a single broadcast cycle. To increase the write bandwidth to 10 Mbytes/s over 100 meter and the read-bandwidth to 20 Mbytes/s, the reflective memory is coupled to a synchronous transfer mode.

The write posting is a feature that allows the VIC 8251 to store locally the data and the address of the destination device. The cycle is acknowledged before it is written in the final destination. The interface logic will then complete the cycle, eventually getting the bus mastership to the final destination (local or remote RAM, VME...). This implementation of write posting cycles on VICbus offers the following advantages:

- It hides the overhead needed to get the VICbus mastership when used in single cycle
- It enhances the bandwidth of the system in block transfer mode.

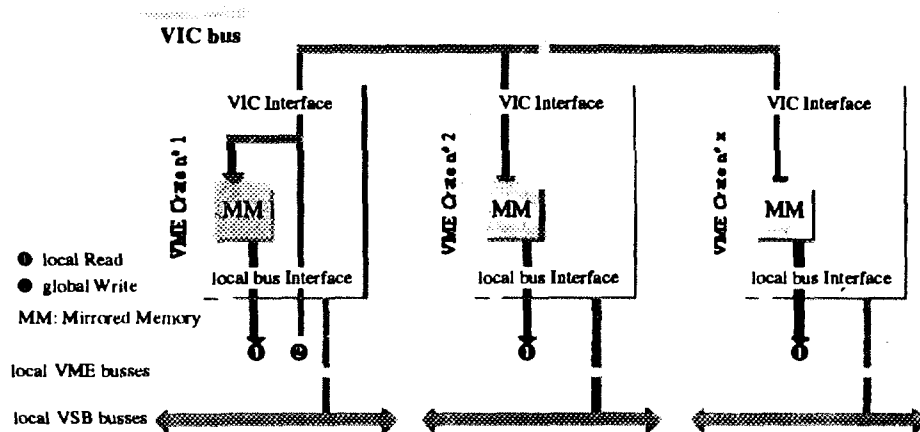


Fig. 2. VIC 8251F Block diagram

VIC system Support

CES supplies VIC libraries for turn-key systems using MC 68040 and R3000 under OS-9, Lynx-OS and VxWorks.

VIC to CAMAC connection

VCC 2117

The VCC 2117 extends the VICbus family directly to CAMAC and makes it accessible to VME front-end processors and to workstations. CAMAC resources are simply memory mapped in the VICbus addressing area. The transfer speed reaches 5 Mbytes/s over the VICbus with CAMAC DMA and Block modes. The VCC 2117 acts as CCA2 or ACC in the CAMAC Crate and can be provided in four versions depending on the customer's application:

- VCC 2117A VIC to CCA2 / ACC interface
- VCC 2117C Intelligent VIC to CCA2 / ACC I/F
- VCC 2117D Intelligent Ethernet to CCA2 / ACC I/F
- VCC 2117E Intelligent Ethernet / VIC to CCA2 / ACC I/F

The three intelligent versions are built around a MC 68030 CPU kernel running at 25 MHz and can be equipped with 4 up to 32 Mbytes of Dual Port SRAM.

LAM interrupts are handled from the VICbus.

VCC system Support

The VCC 2117 can be controlled from any CES turn-key system under OS-9 and Lynx. It is also able to run embedded OS-9 or Lynx in a stand-alone environment with VIC or Ethernet connection to other systems.

The VCC 2117 is equipped with MIOMON, an on-board allowing access to CAMAC:

- in a List Processor mode. The purpose of this program is to execute CAMAC cycles or transactions according to the ESONE library and to store the result of those calls in the dual port SRAM. The use of the List Processor reduces in a significant manner the time needed to access CAMAC from a remote resource and frees its associated backplane for other activity.
- in a CAMAC Monitor mode. This monitor provides access to the CAMAC dataway in a very easy way, allowing the user to directly enter commands such as N10F16A1.

VIC to FASTBUS Connection

VFI 9214 and FVSBI 9210

FASTBUS crate from a VIC master device through the VSB slave D32 interface of the CES FVSBI 9210 (FASTBUS / VSB Interface). It features:

- Dip switch for VIC Crate n° selection
- Full VIC/VMV slave compatibility
- VIC/VMV slave access in single D32 and in Block BLT-D32
- VIC slave BLT-D32 read Data pre-fetch
- VSB-like master logic for D32 and BLT-D32 in all VSB Spaces
- VSB-like IHP interrupt handler

FASTBUS Support

The VFI 9214 / FVSBI 9210 are supported by a FASTBUS library running on CES OS-9 turn-key systems 68040 based.

Other VIC Connections

VIC gives also the possibility to connect workstations and personal computers to the bus system. Following other modules are available:

- SVIC 7213 VIC to SBus (SUN) connection
- MAC 7212 VIC to NuBus (Macintosh) connection
- VBAT 8212 VIC to ATBus (PC) connection
- TVIC 7214 VIC to TurboChannel (DEC) connection

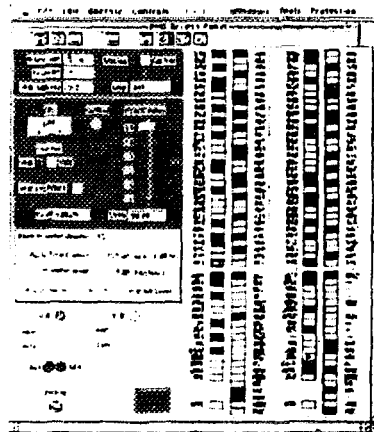
VIC System under LabVIEW

A complete set of VIs is available from CES to control a VME, CAMAC or FASTBUS crate from a Macintosh running LabVIEW for slow control. LabVIEW can also be used as graphical interface in a fast data acquisition system based on CES CISC or RISC workstations.

VME Access

This library of VIs includes VIC interface initialization, Page Descriptor generation, VDREG, VME Read, VME Write, Block transfers, VME Test, File to VME, VME to File, VME Dump, File Dump, ...

Fig. 3. VME / VSB Monitor
VMDIS 8004 as seen under
LabVIEW



CAMAC Access

This library of VIs includes VCC-Init, CDREG, 16- or 24-bit CSSA commands, QRepeat, AutoScan, LAMsync, ...

FASTBUS Access

This library consists of a set of VIs implementing standard FASTBUS routines in a LabVIEW style (FBOPEN, FRC, FRDB, ...).

VME PROCESSORS

The VME processors are divided in two groups:

- CISC based boards (used for data recording)
- RISC based boards (used for data recording and as number crunching processors)

Processor Board Architecture

Both families of processor boards share a common architecture which has been designed to facilitate their use in scalable parallel multiprocessor systems.

- a highly efficient VME Master / Slave interface optimized for block transfers
- FIFO, mailbox and VME interrupt support for interprocessor communication
- I/O coprocessors that relieve the main CPU from the task of moving data
- in addition to VME, the processor has access to a "private bus" (VSB or PCI)

This "private bus" allows several processors in one VME crate to access their "front end" hardware (ADCs, TDCs,...) at full speed without blocking the common VME bus which remains free for interprocessor communication or may be used to transfer pre-processed data to the next level of the data acquisition system. Figure 4 shows how multilevel Read-Out systems can be constructing based on this "dual bus architecture".

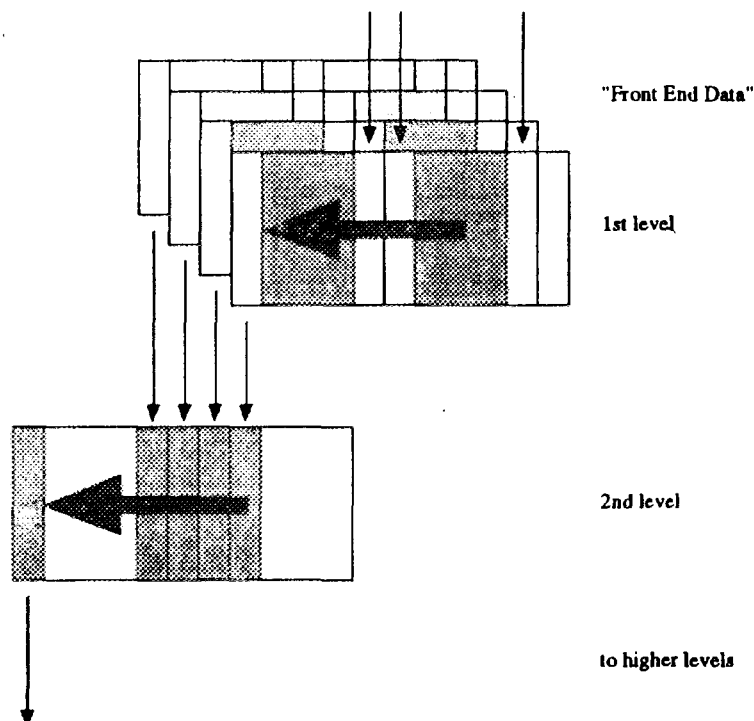


Fig. 4 Dual bus architecture

The CISCs based FIC Boards (FIC 8234 / FIC 8243)

Built around two MC 68040s running in parallel at 25 MHz (33 MHz), this module provides very high performance for both processing (20 MIPS (26 MIPS) for the integer unit and 3.5 Mflops (4 Mflops) for the floating point unit per processor) and data transfers (80 Mbytes/s transfer rate in VME D64 BLT).

This architecture allows each CPU to be dedicated to a specific task, increasing the global performance of the board. It is thus possible to use one CPU for controlling the I/O data flow on the VME / VSB busses while using the other for mathematical data processing and as the server for local data storage via SCSI or Ethernet. The two 68040s are implemented on the same bus to ensure cache coherency between the two internal caches and the system memory.

The FIC is both Master and Slave on the VME bus (supports D64 BLT, VME retry) and on the VSB bus (VSB Arbiter, requester, VSB BLT).

The board is well suited for distributed control systems and in general for high-speed data acquisition systems.

The RISC based RAID Boards (RAID 8235 / RAID 8239)

This boards are equipped with similar facilities (VME / VSB interfaces e.g.) as the FIC boards, but uses RISC based architecture and large global memories in order to deliver exceptional number crunching power, especially for floating point format when running mathematical programs. The RAID 8235 / 8239 is based on the MIPS R3000 / R3010 chipset clocked at 24 MHz (40 MHz).

The board is ideally suited for both real-time and UNIX-based applications like servers, workstations, graphics systems, high-energy physics experiments and process controllers and non real-time applications requiring high CPU performance and good I/O bandwidth.

The RAID 8240 and RTPC 8067 Boards

These two modules are creating a new milestone in VME real-time processor boards. They are combining four unique features which cannot be found on any other single board processor:

- full VME D64 BLT Master / Slave interface
- full VSB Master / Slave interface
- PCI extension slot (for FDDI, ATM, Fast Link, ...)
- independent VME / VSB / PCI List Processor (I/O server)

The RAID 8240 is based on the MIPS R4600 ORION chip clocked internally at 133 MHz and is designed to provide super-minicomputer performance in a single-slot VMEbus 6U form factor.

The RTPC 8067 is based on the IBM Power-PC 603 chip clocked at 66 MHz and can also be equipped with the IBM Power-PC 604 chip clocked at 99 MHz delivering state of the art performance and guaranteed power escalation path in a single-slot VMEbus 6U form factor.

A complete set of I/O functions, including VME, VSB, Ethernet and SCSI, are also provided, making the RAID 8240 and RTPC 8067 truly single-board computers. These two boards use the industry standard PCI as a backbone bus. They also provides a PCI mezzanine for add-on off-the-shelf PCI interfaces. The RAID 8240 and the RTPC 8067 are consisting of several subsystems, each of which provides a specific function. These subsystems are interconnected on one PCI bus.

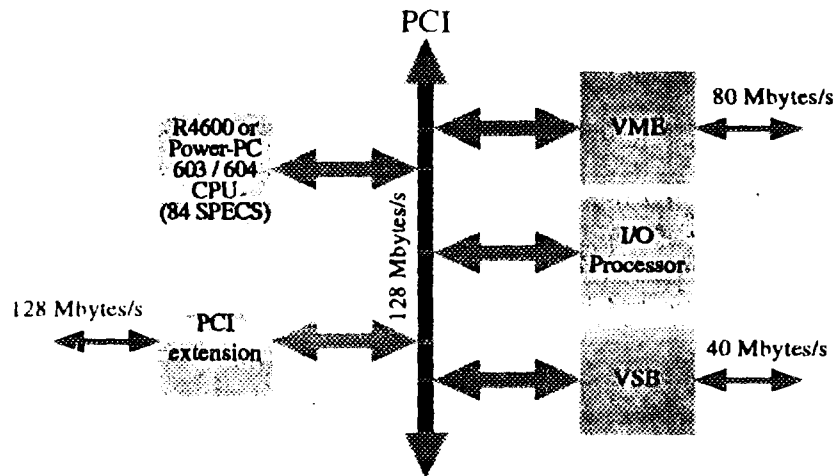


Fig. 5. RAID 8240 / RTPC 8067 Busses Data Bandwidths

CONCLUSION

Building quickly and at reduced cost "reusable" systems where software and hardware elements can be integrated "as is" in extensions with a minimum integration risk is a key element to quick certification of systems. VIC bus and VME processor boards running real-time operating systems have proved to be fundamental elements of this concept and have been used with success as the backbone for many real-time systems.

Организация систем сбора данных на основе аппаратуры, выполненной в разных стандартах

В.А.Смирнов

Объединенный институт ядерных исследований, Дубна

1. Введение

В настоящее время электронная аппаратура систем сбора данных, используемая в экспериментальных установках Лаборатории высоких энергий, выполнена в нескольких различных стандартах: КАМАК, VME и FASTBUS. В большинстве случаев эта аппаратура размещается в нескольких крейтах, и необходимо объединять эти крейты в рамках единой системы сбора данных. Кроме того традиционный способ архитектурного построения системы сбора данных, основанный на использовании центральной ЭВМ, как правило не удовлетворяет требованиям современного эксперимента. Во-первых, по быстродействию, так как вносит большой вклад в мертвое время установки при считывании данных о событии. Во-вторых, по отсутствию возможности организации в реальном масштабе времени параллельного анализа данных от отдельных детекторов установки, что делает практически невозможным проведение быстрого анализа принятой информации и выработку решения о сигнале запуска 2-го уровня.

Эти обстоятельства предъявляют новые требования к организации систем сбора данных. Во многих случаях построение современных систем сбора данных основывается на использовании центрального крейта VME, магистраль которого предназначена для объединения нескольких процессорных устройств. Так как стандарт VME определяет принципы построения многопроцессорной магистрально - модульной системы, то становится возможным одновременный сбор информации с нескольких детекторов установки. Одному из процессоров системы отводится роль центрального. Он синхронизирует работу всех элементов системы по сбору данных о событии и составляет образ полного события на основе информации из отдельных подсистем. В систему могут входить процессоры как для проведения экспресс - анализа данных непосредственно в ходе эксперимента, так и для графического представления принятой информации, что обеспечивает оперативный контроль за ходом эксперимента. Кроме того шина VME является основой для объединения электронных модулей, выполненных в различных стандартах.

Существуют различные способы организации систем сбора данных на основе центрального крейта VME и объединения различных стандартов.

2. Использование межкрейтной магистрали VME - VICbus

Необходимость в выработке стандартного подхода к организации взаимодействия между модулями, принадлежащими к различным магистральным системам, в особой степени проявляется при построении сложных систем сбора данных для экспериментов, проводимых в физике высоких энергий. Работы в этой области привели к разработке стандарта межкрейтной навесной (кабельной) магистрали, получившей название VICbus. Магистраль VICbus является высокопроизводительным и быстродействующим средством по организации межкрейтной связи электроники в различных стандартах, таких как КАМАК, VME, FASTBUS и др. [4].

VICbus является мультиплексной магистралью, которая объединяет несколько (до 31) управляющих и управляемых модулей. Взаимодействие между модулями осуществляется либо при помощи передачи транзакций данных, либо блоков данных (10 Мбайт/с) на расстоянии до 100 м. Транзакция является процессом, который предполагает совмещение

процедуры выделения ресурса магистрали и передачи данных. Сигналы VICbus распространяются по двум кабелям, каждый из которых состоит из 32 скрученных пар. Возможна работа в режимах общей передачи данных и общего вызова.

Большинство модулей для VICbus разрабатывается фирмой Creative Electronic Systems (CES) из Швейцарии. Фирмой создан также набор специализированных модулей, связывающих вертикальную межкрейтную VME магистраль с другими стандартными многопроцессорными магистралями и с рядом широко используемых для сбора данных ЭВМ [1]. Фирма CES производит набор устройств, обеспечивающий высокоскоростное соединение магистрали VME с магистралями крейта КАМАК, стандартной ветви КАМАК, FASTBUS, вертикальной ветви VME VICbus, других крейтов VME и с локальной магистралью VSB.

Для организации магистрали VIC используется модуль VME, тип VIC 8251, который связывает между собой шины VME, VSB и VIC. Передачи данных между этими шинами осуществляются в двух режимах: асинхронном (с подтверждением) и синхронном (без подтверждения для обеспечения высокой скорости передаваемых данных и для работы с отображающими ЗУ). Специализированное отображающее ЗУ (mirrored memory) является трехпортовым ЗУ, объединяющим магистрали VME, VSB и VIC, и обеспечивает совместное использование данных несколькими крейтами VME.

Для организации связи со стандартной ветвью КАМАК предназначены модули в стандарте VME: CBD 8110 и CBD 8210. Первый модуль (см. рис. 1) управляется только по VSB магистрали и поддерживает передачу 32-разрядных данных, а второй (см. рис. 2) только по VME и поддерживает передачу как 16-, так и 24-разрядных данных. Скорость передачи определяется быстродействием контроллера крейта типа А и не превышает величины 3 Мбайт/с.

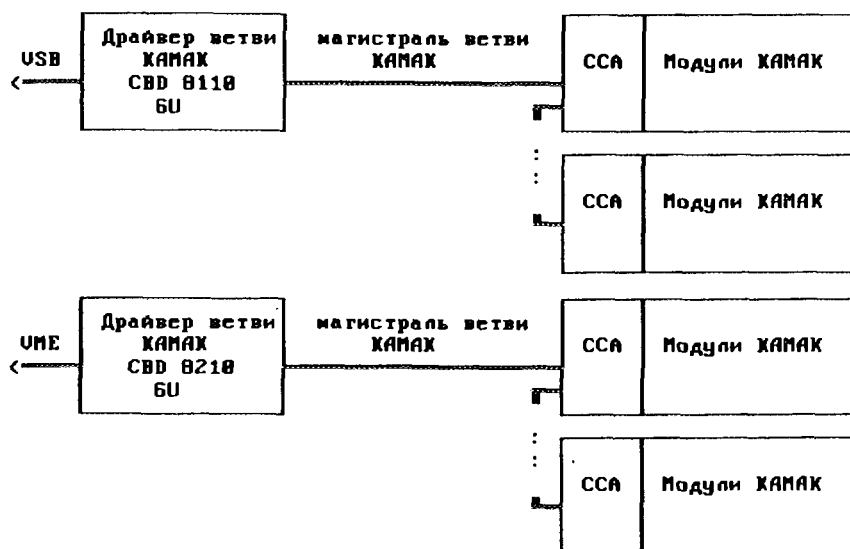


Рис. 1,2. Схема организации стандартной ветви КАМАК с управлением по шине VSB и с управлением по шине VME.

Для организации связи с магистралью FASTBUS используется модуль, выполненный в стандарте FASTBUS, тип FVSBI 9210, и имеющий выход на модернизированную для работы на расстояния до 30 м локальную магистраль VSB (см. рис. 3). Модуль не имеет внутреннего процессора и может осуществлять либо прямые, либо буферизованные передачи данных между магистралью FASTBUS и VSB. Скорость передачи данных по

VSB составляет до 6 Мбайт/с, а по магистрали FASTBUS - до 20 Мбайт/с. В FVSB1 9210 может быть установлена буферная память емкостью в 0,5, 1 или 4 Мбайта. Управление по VSB может выполнять любой одноплатный процессор в стандарте VME, например один из модулей серии FIC 823х. Усилители и приемники сигналов VSB, необходимые для удлинения VSB шины, находятся в модуле FADAP 9211.

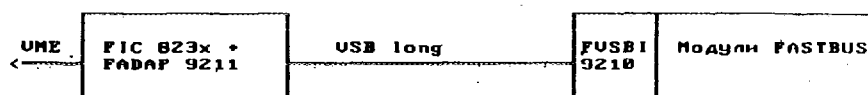


Рис. 3. Подключение крейтов FASTBUS к шине VSB

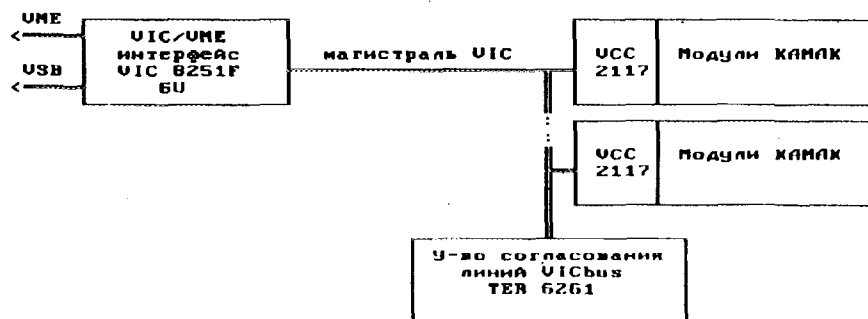


Рис. 4. Подключение крейтов САМАК к шине VIC

Подключение отдельных крейтов КАМАК осуществляется при помощи контроллера крейта КАМАК тип VCC 2117, который является пассивным устройством на магистрали VICbus (см. рис. 4). Он выпускается фирмой в двух модификациях без процессора и с процессором MC68030. Дополнительно к процессору в модуль встраивается ППЗУ емкостью до 1 Мбайта, быстрое ОЗУ - 0,5 Мбайт и двухпортовое ОЗУ - до 2 Мбайт. Кроме того дополнительно может быть установлена сетевая плата Ethernet.

Фирма CES выпускает также устройство сопряжения VICbus с SUN SPARC Sbus, тип SVIC 7213. Устройство выполнено в виде двух плат и обеспечивает скорость передачи до 12 Мбайт/с.

Связь с ПЭВМ типа IBM PC выполнена только для VMV разновидности межкрейтовой магистрали на основе модуля в стандарте IBM PC тип VBAT 8218, который является модулем управления для VMVbus. Для подключения ПЭВМ к VICbus необходимо обеспечить переход с VMVbus на VMEbus при помощи модуля VIC 8250 с последующим переходом с VMEbus на VICbus (см. рис. 5).

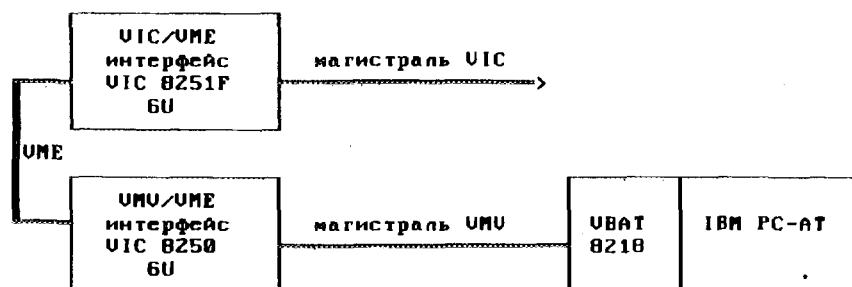


Рис. 5. Схема подключения PC к шине VICbus

На рис. 6 показан пример организации системы, основанной на использовании VICbus, в которую входят аппаратура сбора данных в различных стандартах электроники и различные рабочие станции.

Использование модифицированной магистрали VSB

Этот способ был предложен и разработан в GSI (Дармштадт, Германия) на основе стандарта VSB, являющегося дополнением и расширением стандарта VME, за счет организации передачи сигналов VSB по дифференциальным линиям связи [2].

Аппаратура позволяет объединять в рамках одной системы устройства, выполненные в стандартах VME, FASTBUS и КАМАК. В качестве магистрали объединения используется модифицированная для работы на расстояния до 50 м стандартная магистраль VSB. Модификация не обеспечивает полной функциональной совместимости со стандартом VSB, так как запрещает операции с несколькими модулями управления и осуществляет передачу только длинного слова. Специализированный адаптер магистрали VSB производится в настоящее время фирмой Dr. Struck в виде платы, устанавливаемой со стороны разъемов VSB магистрали VME, и имеет наименование STR 723 [3]. Адаптер обеспечивает передачу сигналов VSB в виде дифференциальных сигналов. Модифицированная магистраль VSB получила название VDB магистрали. Она обеспечивает передачу 32-разрядных данных со скоростью 2 Мбайта/с на расстояния до 5 м и со скоростью 1,2 Мбайта/с на расстояния 50 м.

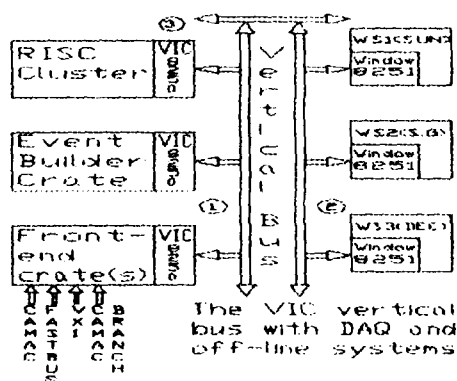


Рис. 6. Организация системы на основе VICbus

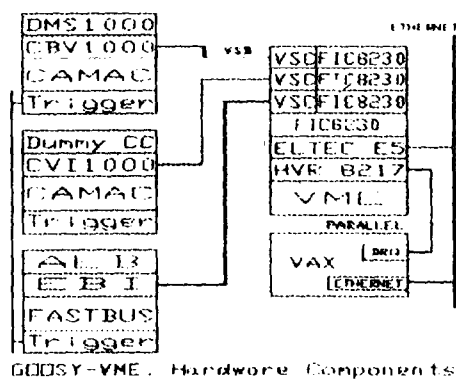


Рис. 7. Система сбора данных на основе VDB магистрали

На рис. 7 показан пример организации системы сбора данных на основе VDB магистрали. В качестве управляющего модуля магистрали VDB может быть выбран одноплатный процессор в стандарте VME, имеющий выход на VSBbus. В данном примере таким модулем является FIC8230 (CES). К одной линии VDB может быть подключено до 15 крейтов.

Для подключения крейта КАМАК к VDB используются два типа контроллеров крейта КАМАК, производимые фирмой Dr. Struck. Каждый из них выполнен в виде одноплатного модуля КАМАК и устанавливается в 24-ую позицию крейта КАМАК. Необходимая связь с 25-ой позицией крейта осуществляется через модуль типа STR611/DMS, являющийся индикатором магистрали КАМАК. Первый тип КК - модуль STR610/CBV - не содержит внутри себя процессора и обеспечивает связь с VDB. КК STR610/CBV не поддерживает режимов блочных передач. В конструкцию второго типа КК - модуля STR612/CVI - включены процессор MC68030, работающий на тактовой частоте 20 МГц, ПИЗУ емкостью 128 Кбайт и ОЗУ, расширяемое до емкости 1 Мбайта. Этот КК обеспечивает выполнение 600 нс цикла КАМАК и поддерживает блочные передачи. Это важное обстоятельство, так как скорость обмена по линии VME - КАМАК в основном регулируется длительностью

цикла КАМАК. Данные запоминаются в ЗУ контроллера. Может быть организовано подавление нулевой информации и выработка сигнала запуска 2-го уровня.

Для подключения к VDB крейтов FASTBUS используется процессорный модуль STR330/CPU (Dr. Struck), который является модулем FASTBUS, разработанным в ЦЕРНе и известным под названием CERN Host Interface and Processor System (CHIPS). Дополнительная для него плата STR330/VSB обеспечивает непосредственную связь с магистралью VDB. До 8 таких модулей FASTBUS может быть на одной линии VDB.

Следует отметить, что в крейте FASTBUS необходимо иметь процессорный модуль, который позволит реализовать преимущество высокой скорости обмена на магистрали FASTBUS при формировании сигнала запуска 2-го уровня. Модуль FVSBI 9210 (CES) не имеет процессора.

Заключение

Возможности, предоставляемые аппаратурой вышеприведенных двух вариантов, очень близки по техническим характеристикам. Вариант GSI обеспечивает создание более дешевой системы, но не ясна перспектива его будущего развития. Вариант CES является более перспективным, так как, во-первых, основан на использовании магистрали VIC, принятой в качестве международного стандарта, во-вторых, в фирме предусматривается разработка новых модулей, работающих с магистралью VIC.

Литература

1. CES Creative Electronic Systems 1993 Catalogue. CES S.A., Geneva, 1993.
2. Essel H.G. et al. GOOSY - VME Hardware Components and Trigger System. In: IEEE Seventh Conference REAL TIME'91 on Computer Applications in Nuclear, Particle and Plasma Physics Conference Record, June 24-28, 1991, Julich, Fed. Rep. of Germany. - IEEE Inc, New York, 1991, pp. 383 - 386.
3. STRUCK PRODUCT SUMMARY 1990. D-2000 Tangstedt/ Hamburg, Germany, p.39.
4. Parkman C. VICbus: VME inter-Crate Bus A Versatile Cable Bus. In: IEEE Seventh Conference REAL TIME'91 on Computer Applications in Nuclear, Particle and Plasma Physics Conference Record, June 24-28, 1991, Julich, Fed. Rep. of Germany. - IEEE Inc, New York, 1991, pp. 424 - 431.

НЕКОТОРЫЕ КОНЦЕПЦИИ РАЗВИТИЯ МНОГОМЕРНЫХ ИЗМЕРИТЕЛЬНЫХ СИСТЕМ НА ФИЗИЧЕСКИХ УСТАНОВКАХ ЛНФ ОИЯИ

В.Г.Тишин

Объединенный институт ядерных исследований, Дубна

Особенности развития современных экспериментальных установок для исследований в области физики ядра и физики конденсированных сред в значительной мере определяют перспективные направления развития систем автоматизации и характер задач, которые при этом приходится решать разработчикам этих систем. Отметим два наиболее важных на современном этапе развития систем автоматизации спектрометрических экспериментов направления и, соответственно, класса задач.

Первое направление и соответствующий класс задач связаны с применением современных детекторных систем, которые позволяют увеличить число одновременно регистрируемых в эксперименте физических параметров. Такая особенность детекторных систем увеличивает общий поток регистрируемых и сохраняемых экспериментальных данных, требует улучшения временных характеристик регистрирующей аппаратуры, ставит в ряд актуальных проблему разработки новых методов регистрации, позволяющих сократить объем информации, записываемой для долговременного хранения.

Второе направление и другой класс задач связаны с требованием увеличения общей производительности экспериментальной установки за счет существенного повышения уровня автоматизации управления экспериментом, контроля накапливаемой информации, обработки и интерпретации получаемых данных, то есть в целом сокращения времени от момента получения первичной экспериментальной информации до получения собственно физических результатов измерений.

С учетом перспектив развития спектрометрических систем в Лаборатории нейтронной физики /ЛНФ/ ОИЯИ проводятся разработки аппаратуры и программ для автоматизации ядерно-физических экспериментов. Результатом работ, проводимых в ЛНФ в течение ряда лет в этом направлении, являются технические решения, которые в настоящее время используются во вновь разрабатываемых системах как стандартные. К числу наиболее важных можно отнести следующие технические решения.

1.Накопление спектрометрической информации в интегрированном виде в автономных запоминающих устройствах /ЗУ/, выполненных в виде блоков КАМАК, имеющих обращение как по каналу прямого доступа /КПД/ через разъемы на передней панели, так и через магистраль КАМАК/1/. Современное состояние элементной базы интегральных схем и опыт создания в ЛНФ автономных ЗУ показывают, что уже сейчас существуют возможности создания таких ЗУ объемом в 1М 24-разрядных слов и более.

2.Цифровая фильтрация поступающей от кодирующих устройств спектрометрической информации с помощью программируемых

устройств цифрового отбора/2/, имеющих каналы ввода и вывода информации через внешние разъемы, управление через магистраль КАМАК и осуществляющих цифровую фильтрацию по нескольким параметрам, ее сжатие и передачу информации в ЗУ с учетом его адресного пространства.

3.Использование автономного спецконтроллера крейта КАМАК/3/, выполняющего функции последовательного съема информации с нескольких кодирующих устройств с простым алгоритмом обращения к управляемым им блокам, а именно: только режим считывания кодов зарегистрированных импульсов от спектрометрических устройств и передачу этих кодов с дополнительными признаками номера кодирующего устройства либо непосредственно в ЗУ по КПД, либо в ЗУ через устройство цифрового отбора, также по КПД, либо через плату интерфейса в персональном компьютере в память ПК.

В качестве примеров реализации отмеченных выше технических решений дается описание ряда измерительных систем, построенных на базе аппаратуры в стандарте КАМАК для многопараметровых измерений с аппаратной сортировкой данных.

1. Измерительная система для корреляционных измерений.

Созданная система используется в ИЯФ ЧСАН в экспериментах по изучению механизма ядерных реакций с передачей нескольких нуклонов и для исследования разных каналов распада их продуктов. Пучок ускоренных заряженных частиц из циклотрона У-120-М попадает на мишень, и продукты реакции необходимо анализировать по их заряду и массе, а также измерять энергетические и угловые распределения этих частиц. Для идентификации частиц обычно используется хорошо известный метод измерения ионизационных потерь (dE) и полной энергии (E). В корреляционных измерениях, когда изучается, например, распад одного из продуктов реакций, возникает необходимость идентифицировать частицы, попадающие одновременно в два телескопа. В экспериментах такого рода сигналы от dE- и E-детекторов поступают через спектрометрические цепи и многопараметровую измерительную систему в ЭВМ.

В описываемой ниже системе/4/ используются устройства, которые осуществляют аппаратную цифровую фильтрацию на входе регистрирующих и накапливающих устройств, что позволяет существенно уменьшить количество ненужной информации, записываемой на магнитную ленту в несортированном виде, а также реализовать возможности ЭВМ по формированию одно- и двухмерных спектров для контроля за ходом эксперимента. Измерительная аппаратура создана на основе модулей в стандарте КАМАК, состоит из трех крейтов КАМАК. Ее программное обеспечение предназначено для ЭВМ типа СМ-3.

Измерительная система работает следующим образом. Аналоговая информация, полученная из спектрометрических цепей экспериментальной установки, поступает на восемь амплитудных кодировщиков АЦП, размещенных в первом крейте КАМАК, не связанном с ЭВМ (рис.1).Этим крейтом управляет спецконтроллер КОМА,который связан по каналу прямого доступа с запоминающими устройствами ЗУ и организует режим накопления многомерных спектров автономно, без участия ЭВМ. Выходные коды, с трех внешних разъемов контроллера на ЗУ, состоят из кодов адреса кодировщиков, с 1 по 12(13) разряды, и кодов номера позиции, занимаемой кодирующими устройствами в крейте (служебные коды), с 13(14) по 15(16) разряды.

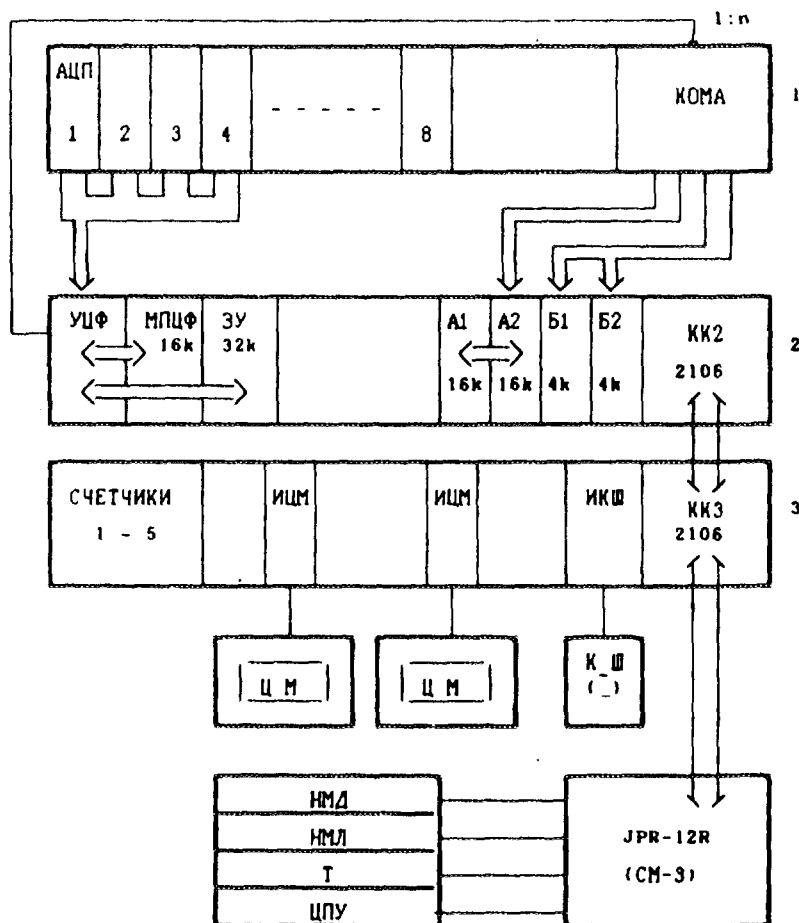


Рис.1. Блок-схема измерительной системы.

16-разрядные слова, соответствующие выбранным кодировщикам, поступают из контроллера по внешней шине в два буферных накопителя Б1,Б2, помещенных во втором крейте КАМАК, которым управляет контроллер, подсоединенный к ЭВМ. Буферные накопители, каждый емкостью 4К 16-разрядных слов, работают в режиме flip-flop, что заметно сокращает мертвое время при наборе данных.

Накапливаемые коды программа проверяет по служебным битам кодировщиков и по числу параметров и сортирует в любые двухмерные или одномерные спектры, которые высвечиваются на двух цветных дисплеях(ЦМ). Одновременно все коды записываются на магнитный диск или ленту для последовательной обработки в режиме off-line.

Для сокращения времени сортировки кодов в ЭВМ существует возможность передовать из контроллера КОМА по внешней шине коды, соответствующие определенным АЦП, также прямо в два анализаторных накопителя А1 и А2. Таким образом, в каждом ЗУ емкостью 16К накапливаются четыре одномерных спектра по 4К от четырех кодировщиков. Эти спектры программа также позволяет высвечивать на цветном дисплее.

Используемые в системе устройства цифрового отбора выполняют функции предварительного отбора полезной информации, который уменьшает поток данных в ЭВМ, а также проводят предварительное разделение энергетических спектров измеряемых частиц, попадающих в зависимости от массы в матрице $E \times dE$ в разные локусы, и таким образом при наборе сортировать данные параметра $E1$ по локусам в матрице параметров $E1 \times dE1$. Эта задача решается с помощью трех

модулей цифровых фильтров: 1) блока управления (УЦФ), который подсоединен к двум парам АЦП (Е и dЕ) и формирует два 14-разрядных слова ($E1+dE1$) и ($E2+dE2$). Эти слова поступают в матричную память ЦФ или прямо в ЗУ. Блок одновременно запоминает полные коды Е1 и Е2. 2) Блока матричной памяти ЦФ (МПЦФ), в который можно записать разные локусы для разных масс обеих частиц. Память разбивается в матрицу 128x128x1 байт, где в нижние биты записываются локусы от первой системы детекторов, в верхние - от второй системы детекторов. Блок вырабатывает статусное слово локусов, которое содержит информацию, в какие локусы частицы попали. 3) Запоминающего устройства (ЗУ), в которое можно записать восемь одномерных спектров 4К или две двумерные матрицы 128x128. В качестве блока МПЦФ используется стандартное ЗУ 16К.

Измерительная система, аналогичная описываемой выше, создана в ЛНФ ОИЯИ для работы с плоской двухсекционной ионизационной камерой на реакторе ИБР-30 при исследовании реакции (n,p) для идентификации протонов на фоне альфа-частиц для радиоактивных ядер-мишеней/5/. Существенным отличием от описанной выше системы является использование вместо ЭВМ СМ-3 персонального компьютера IBM PC-AT 286. Для работы с персональным компьютером разработано соответствующее программное обеспечение, которое позволяет выполнять все функции при работе с блоками системы, производит визуализацию одно- и двумерных спектров с локусами на экране ПК. Накопление и запоминание спектрометрической информации производится на твердом диске, может сбрасываться на стриммер. Программа также позволяет проводить обработку накопленной информации в режиме off-line.

II. Измерительная система для экспериментов в ядерной физике.

Дальнейшим развитием концепций по созданию измерительных систем многопараметрического анализа на физических установках ЛНФ являются разработка и внедрение измерительной системы на основе PC-AT, крейта КАМАК со спецконтроллером КОМА, размещенных в крейте кодирующих устройств, интерфейсной платы связи крейта с персональным компьютером и соответствующего программного обеспечения/6/. Максимальное число регистрируемых параметров - 8. Размерность одного параметра до 13 бит. Система позволяет осуществлять накопление данных в многомерном, одномерном и смешанном режимах. Входные данные от кодирующих устройств поочередно заполняют два буфера в памяти ПК в режиме DMA. После заполнения одного из буферов происходит прерывание, аппаратно включается второй канал DMA и продолжается накопление во второй буфер. Информация в первом буфере сортируется по номеру АЦП и происходит накопление интегральных спектров по каждому параметру. После заполнения выходного буфера многомерная информация записывается на диск, стриммерную ленту или передается в локальную сеть для дальнейшей обработки.

III. Спектрометрическая система для многопараметровых измерений на установке "Ромашка".

Одним из направлений работ в экспериментальной ядерной физике является спектрометрия множественности излучений, позволяющая исследовать процессы множественности рождения частиц или гамма-квантов на один акт ядерного взаимодействия. В ЛНФ ОИЯИ для проведения физических исследований по данному направлению создана физическая установка, включающая в себя 16-секционный

детектор гамма-лучей типа "Ромашка" и измерительную систему для регистрации и накопления физической информации/7/. Конфигурация установки представлена на рисунке - рис.2. Сигналы с выходов ФЭУ через эмиттерные повторители поступают на интегральные дискриминаторы БД и на сумматор. Выходной сигнал с сумматора дискриминируется двумя дискриминаторами ДД и поступает как стробирующий сигнал на кодировщик кратности совпадений ККС, на соответствующие входы которого одновременно поступают сигналы от интегральных дискриминаторов. ККС вырабатывает пятиразрядный код кратности и сигнал для формирования временного кода на временном кодировщике ВК. Код кратности несет информацию о кратности излучений зарегистрированного события, а в случае однократных совпадений - информацию о номере секции детектора, в которой произошла регистрация. Измерительная часть системы состоит из блоков КАМАК, размещенных в двух крейтах, которые управляются: первый - от стандартного крейт-контроллера КК; второй - от спецконтроллера СК, осуществляющего съем информации от кодирующих устройств: ВК, входного регистра ВР, принимающего номер детектора, кратность совпадений и дополнительные признаки: АЦП для амплитудного кодирования аналогового сигнала суммы от всех 16 ФЭУ. Общая разрядность многопараметрового события ($A+B+K$) составляет 27 бит ($10+12+5$). Иметь буферное ЗУ такой емкости практически нереально. В данном эксперименте с целью устранения избыточности накапливаемой информации используется аппаратная цифровая фильтрация регистрируемой информации перед записью ее в ЗУ. Спецконтроллер организует последовательное считывание информации от кодирующих устройств через магистраль КАМАК. В блоке интерфейса БИ они преобразуются в параллельный код, состоящий из трех параметров, и подаются для цифрового отбора на БЦО. После фильтрации многопараметровые события накапливаются в виде спектров в буферном ЗУ 64К. Общее управление аппаратурой КАМАК осуществляется персональным компьютером "Правец-16" через крейт-контроллер и плату интерфейса, размещенную в самом компьютере.

При дальнейшем развитии спектрометра "Ромашка" возникла необходимость накапливать не только кратности в амплитудных окнах, но и единичные кратности для непрерывного контроля за идентичностью, эффективностью и надежностью работы детекторов с записью результатов контроля вместе с измеряемой физической информацией. Для этого емкость буферного ЗУ была увеличена до 256К и разработан новый блок цифровых окон БЦО-24. По сравнению с первоначальным вариантом системы функции спецконтроллера передаются БЦО-24. В данном варианте многопараметровый код $A+B+K$ поступает на соответствующие входы блоков БЦО-24, где из них формируется 18-разрядный адрес, по которому добавляется 1 в соответствующий спектр кратности. Это позволяет накапливать как временные спектры в амплитудных окнах, так и амплитудные спектры во временных окнах без изменения коммутации входных сигналов, что существенно повышает гибкость системы и возможности контроля системы во время проведения эксперимента.

Данную систему можно рассматривать как один из результатов на пути разработок унифицированных аппаратно-программных решений в рамках разработанных в ЛНФ концепций по созданию измерительных систем многопараметрового анализа.

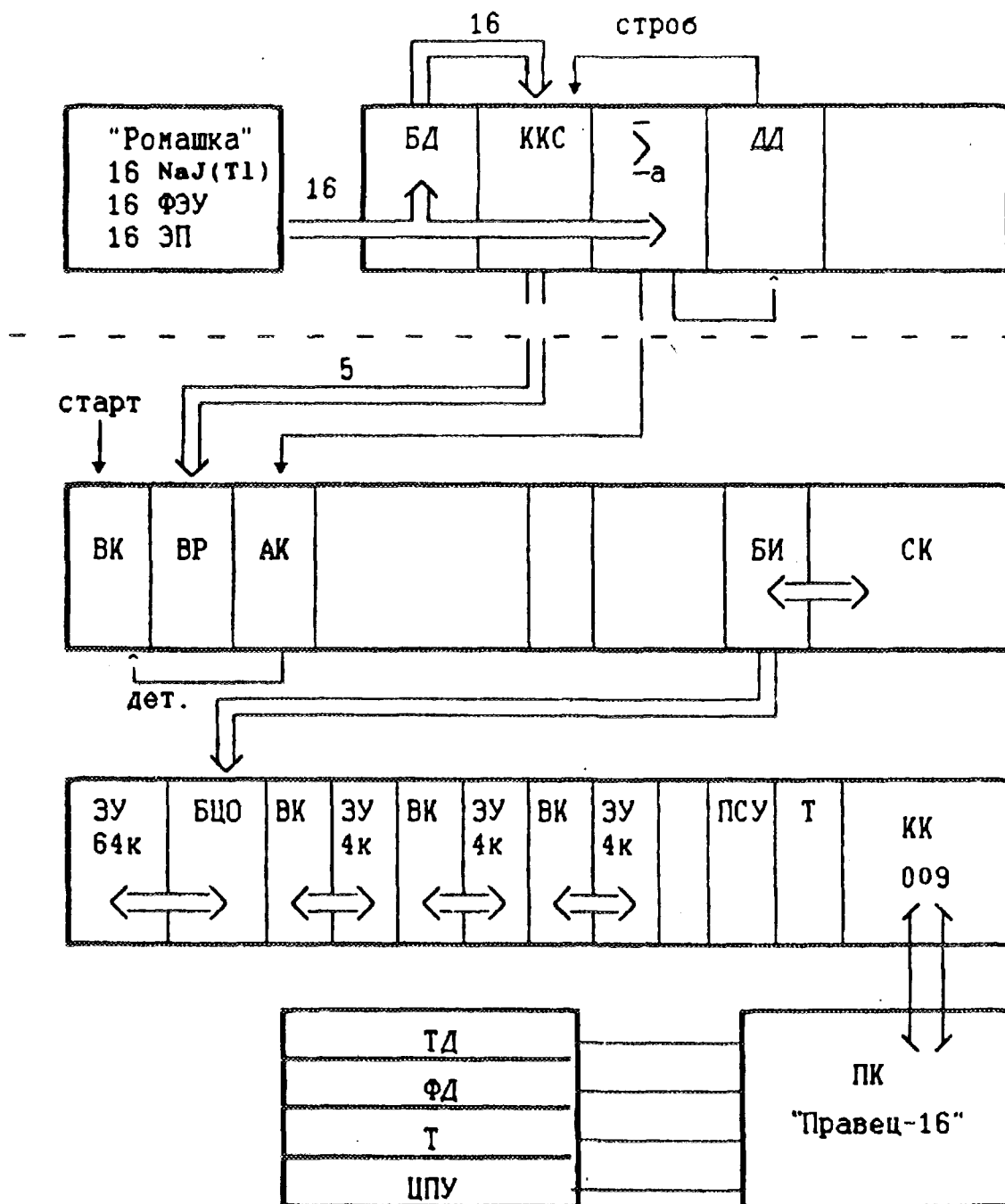


Рис.2. Измерительная система установки "Ромашка".

Литература

1. Вагов В.А. и др. ОИЯИ, 13-89-131, Дубна, 1989.
2. Вагов В.А. и др. ОИЯИ, Р10-86-562, Дубна, 1986.
3. Богдзель А.А. и др. ОИЯИ, 13-84-386, Дубна, 1984.
4. Богдзель А.А. и др. ОИЯИ, 13-89-164, Дубна, 1989.
5. Гледенов Ю.М. и др. ОИЯИ, 13-87-150, Дубна, 1987.
6. Богдзель А.А., Нгуен Чунг Туан, XV Международный симпозиум по ядерной электронике. ОИЯИ, Д13-92-581, Дубна, 1992, с.248.
7. Журавлева Т.Б. и др. ОИЯИ, 13-89-712, Дубна, 1989.



RU9710259

**Решение сложных измерительных проблем при автоматизации
научного эксперимента и технологических процессов**

А.А. Грибов, В.А. Жуков, С.И. Сдобнов, Г.В. Яковлев

Российский научный центр "Курчатовский институт", Москва

В основном, изложенный ниже материал имеет отношение к проблемам автоматизации "реакторных" измерений, т.е. измерений (в определенной степени специфических), связанных с исследованием, определением и контролем параметров реакторных установок (РУ) и критсборок; тем не менее в его рамках рассматриваются вопросы достаточно общего характера, касающиеся автоматизации как научного эксперимента, так и технологических процессов.

В качестве примера, поясняющего подходы к решению задач указанной направленности, опишем конкретную автоматизированную систему, предназначенную для проведения нейтронно-физических экспериментов, сопряженных, в том числе, с измерениями постоянных/медленноменяющихся токов ионизационных камер в широком динамическом диапазоне, превышающем 8 порядков – с условными "текущими" шкалами (пределами измерений) от $1\text{E}-10$ А до $1\text{E}-3$ А – при достаточно высокой чувствительности ($1\text{E}-12$ А) и хорошей точности (погрешность – десятые доли процента для токов более $1\text{E}-10$ А). Под чувствительностью понимается минимальный уровень значений входных токов, при котором результаты измерений остаются представительными для определения динамических характеристик РУ. Система рассчитана для применения в условиях наличия значительных помех, характерных для энергонасыщенных объектов, при протяженных (до ста метров) входных кабельных линиях.

Измеренные и предварительно обработанные данные пересылаются по линии последовательной передачи в ЭВМ типа IBM PC, с помощью которой осуществляются накопление, дальнейшая обработка и представление информации. Для каждого канала время обновления информации, поступающей в ЭВМ, – 20 мс (синхронизация с сетевым напряжением). При необходимости информация может быть передана в ЭВМ более высокого уровня, т.е. в общем случае систему следует рассматривать как элемент структуры некоторого комплекса автоматизации, относящийся к самому нижнему уровню. Этот уровень обеспечивает выполнение функций измерения, сбора и предварительной (сравнительно простой) обработки входной информации, а также функции взаимодействия с ЭВМ.

Система строится по магистрально-модульному принципу с применением специализированной магистрали, отличающейся простотой и надежностью и ориентированной на то, чтобы не создавать внутренних помех, воздействующих нежелательным образом на прецизионные и чувствительные измерительные каналы, и при этом обеспечивать приемлемую для проведения физических измерений на РУ скорость информационного обмена. Эта магистраль предназначена для формирования именно преци-

зионных, чувствительных систем именно *нижнего уровня*. Несколько обобщающих замечаний по поводу подобных магистралей сделано ниже.

Один из вариантов системы, рассчитанный на работу с тремя токовыми измерительными трактами, был скомпонован по заказу АЭС "Козлодуй" (Болгария) и поставлен на эту станцию в начале 1994 г. Система используется персоналом станции, выполняющим физические исследования. В ближайшее время будет поставлен на эту АЭС еще один экземпляр системы. Собственно система размещается в одном крейте (Евроконструктив).

Важной особенностью токовых каналов является то, что они имеют гладкую (непрерывную) измерительную характеристику, отображающую зависимость между входной величиной и результатами измерений (в виде чисел-кодов) во всем диапазоне изменения входных сигналов (от дискретности оцифровки отвлекаемся). Это качество имеет существенное значение при проведении исследований по динамике РУ, оно особенно необходимо в случае определения такого параметра, как реактивность. Предусмотрен ряд специальных технических решений, обеспечивающих указанную непрерывность. Основная их суть заключается в том, что в интервалы времени, в течение которых непосредственно происходит собственно измерение (оцифровка) входных сигналов, полностью отсутствуют какие-либо коммутации аналоговых измерительных цепей и соответственно не сказывается влияние переходных процессов, связанных с коммутациями. При этом надо иметь в виду, что реализация трактов с действительно широким динамическим диапазоном именно невозможна без использования процедур переключения.

Входные токи трансформируются в нормализованные сигналы напряжения. Это осуществляется в каждом тракте с помощью двух усилительных каскадов. Первый из них представляет собой преобразователь ток-напряжение, выполненный на базе специального (разработка "Курчатовского института") малошумящего стабильного усилителя с МДМ-узлом, содержащим варикапный параметрический модулятор. Параметры этого усилителя, в основном, определяют качество токового канала в целом. Для обеспечения широкого диапазона изменения входных сигналов в первом каскаде реализована нелинейная отрицательная обратная связь - с получением "кусочно-ломаной" амплитудной характеристики, состоящей из трех участков, благодаря наличию в каскаде трех параллельных цепочек отрицательной обратной связи, две из которых содержат диоды со смещенными характеристиками (поданы запирающие напряжения). С помощью диодных цепочек организованы два дополнительных (по отношению к обычному - "основному") выхода первого усилительного каскада.

Второй каскад - это прецизионный усилитель-нормализатор напряжения, имеющий структуру, реализующую попеременное автоматическое задействование двух ветвей с коэффициентами передачи, отличающимися в десять раз. Эти коэффициенты передачи определяют текущий предел измерения токового тракта; коэффициенты передачи выбираются и задаются автоматически микропроцессорным устройством системы. В опреде-

ленном диапазоне изменения входного сигнала работают обе ветви. Выходное напряжение каждой ветви подвергается оцифровке, но используется в качестве рабочей информация, соответствующая только одной ветви.

Для достижения высоких метрологических параметров токовых трактов в них и в системе в целом используется ряд ухищрений (базирующихся на достаточно простых технических решениях), о которых в рамках данного сообщения нет возможности сказать. Отметим только, в частности, что использование аналогового резисторного сумматора, включенного между первым и вторым усилительными каскадами, позволяет усилителю в целом обладать гладкой, близкой к идеальной (с точностью до соотношения прецизионных пассивных элементов-резисторов и с поправкой на детерминированное изменение коэффициента передачи второго каскада), амплитудной характеристикой (на входы сумматора подаются сигналы с основного и двух дополнительных выходов первого каскада).

Хорошие метрологические свойства системы в условиях непростой помеховой обстановки могут быть реализованы только при полной независимости (с точки зрения влияния гальванических связей) измерительных токовых трактов. Соответственно в системе предусмотрена гальваническая развязка измерительных трактов - от детекторов с источниками питания для них (последние размещаются в крайте системы) до АЦП; это дает возможность оптимизировать схему заземления для измерительных трактов и системы в целом.

Конфигурация системы, являющейся магистрально-модульной по принципу построения, может гибко меняться - с расширением и изменением функций измерения и обработки входной информации. В частности, в состав системы могут быть включены модули и узлы обеспечения импульсных методик измерений, применяемых при реакторных исследованиях, можно предусмотреть более сложную обработку информации и т.д. На Рис. 1 в качестве примера-иллюстрации приведен вариант структуры системы, ориентированной на выполнение как токовых, так и импульсных измерений (по трем каналам для каждого случая). На Рис. 2 также в качестве примера представлен вид экрана ЭВМ, сопряженной с измерительной системой, на который выведены результаты тестовых измерений.

Упомянутая выше магистраль, примененная в системе, - 16-рядная (данные), с географической адресацией модулей. В организации функционирования магистрали присутствуют некоторые элементы, характерные для САМАС. Узлы интерфейса магистрали выполнены на элементах КМОП. Время цикла записи или чтения - 3 мкс.

Объем полной информации для одного токового канала - 5 байт.

Системы, подобные описанной, успешно используются физическими подразделениями "Курчатовского института", занимающимися реакторными экспериментальными исследованиями.

Давая пример конкретной измерительной системы, мы хотели показать сложность измерительных проблем, которые приходится решать в

рамках обеспечения физических исследований, и соответственно необходимость поиска и реализации надлежащих технических решений, а также подчеркнуть то, что распространенные стандартные (САМАС, VME, Multibus, ...) магистрально-модульные системы (ММС) не всегда оптимальны для конкретных применений.

Многие существующие ММС не позволяют корректно решить задачу обеспечения особо прецизионных и чувствительных измерений малых токов и напряжений – быстродействующие узлы ММС создают такие электромагнитные и прочие помехи, борьба с которыми не дает желаемых результатов даже при использовании специальных средств (экранирование, гальваническая развязка и т.д.). Можно сказать, что средства защиты становятся слишком дорогими. Следует при этом отметить, что исследование многих физических процессов не требует высокого быстродействия. К таким исследованиям, если касаться, скажем, реакторных задач, относятся теплофизические эксперименты с использованием термомпар и термометров сопротивления. Даже при проведении нейтронно-физических исследований существует большой класс методик, не требующих высокого быстродействия; часто здесь речь идет о миллисекундных и более значительных временах.

Можно назвать высококачественные интегрирующие АЦП двух известных фирм HP и PER, выпускающих аппаратуру в стандартах VME и VXI – HP E1410A (VXI), VADI-3 (VME). Несоответствие производительности ММС VME (слишком высока и дорога) для ряда приложений было замечено давно. Фирма PER разработала свою специализированную магистраль СХС. Не вдаваясь в детальный анализ этой магистрали, отметим два ее достоинства: малое потребление и возможность работы без принудительной вентиляции; небольшая стоимость (простота) по сравнению с VME.

Распространенные ММС не допускают замену функциональных модулей без выключения крейта. Такая возможность замены целесообразна и просто необходима для многих технологических систем контроля (управления), когда выключение крейта (в котором часто сосредоточено большое количество измерительных каналов) невозможно или крайне нежелательно.

Наш опыт говорит о том, что необходима стандартная магистраль, которая бы удовлетворяла, в том числе, следующим требованиям:

- позволяла строить прецизионные измерительные системы нижнего уровня;

- позволяла производить замену функциональных модулей без выключения крейта;

- позволяла выносить (непосредственно к датчикам) некоторые функциональные узлы (модули);

- обеспечивала производительность на уровне систем в стандартах IEEE488, САМАС;

- обеспечивала высокую надежность систем.

Некоторые соображения по поводу такой магистрали: магистраль должна быть последовательной; достаточной будет скорость передачи

информации порядка нескольких десятков мегабит в секунду; желательная среда передачи информации - оптоволоконный кабель (но должна существовать возможность применения коаксиального кабеля или витой пары); по-видимому, должен использоваться режим обмена сообщениями.

Современные системы автоматизации научного эксперимента имеют, как правило, иерархическую структуру, состоящую из нескольких уровней. В сложных системах автоматизации можно условно выделить три основных уровня:

- уровень детального анализа экспериментальных данных (постобработка);

- уровень экспресс-обработки;

- уровень измерения параметров исследуемого объекта (и подачи управляющих воздействий) - нижний уровень.

Для систем автоматизации характерно наличие требований по обеспечению режима реального времени, разных для каждого уровня.

На верхнем уровне (пост-обработка) время отклика системы, т.е. длительность вычислений может составлять часы, а вычислительные средства, обслуживающие этот уровень, могут работать под управлением операционных систем общего назначения в режиме Time Sharing.

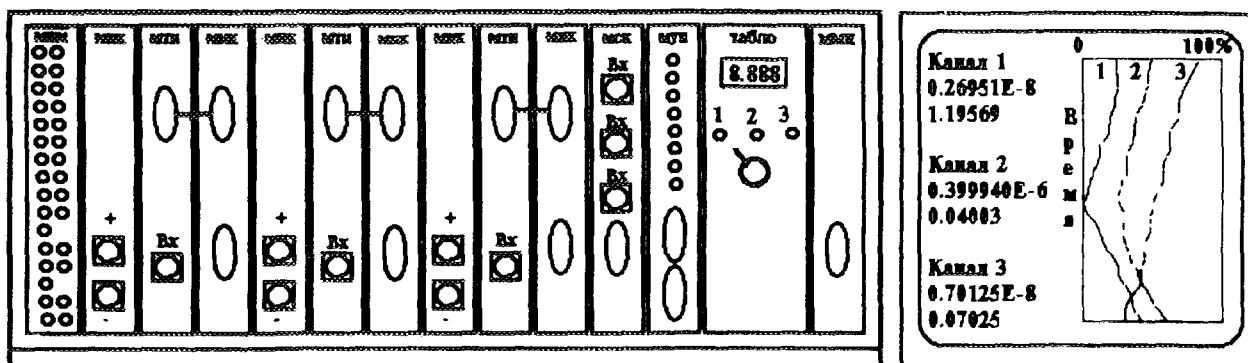
На среднем уровне (экспресс-обработка) время отклика системы определяется временем реакции человека (доли секунды), а вычислительные средства, обслуживающие этот уровень, могут работать под управлением операционных систем общего назначения в режиме Real Time.

На нижнем уровне время реакции системы определяется динамикой исследуемых процессов и диапазон времен отклика очень широк. Соответственно широк и диапазон применяемых программных средств - от операционных систем реального времени общего назначения до встроенных прикладных систем реального времени, разработанных на базе языков типа ADA и иногда на основе специализированных процессоров (процессоров обработки сигналов).

В целом для комплексного оснащения физического эксперимента целесообразно использование различных типов ММС. Уровни верхний и средний целесообразно строить на основе стандартных аппаратно-программных технических решений, применяемых для серийных вычислительных средств. На нижнем уровне в ряде случаев могут применяться специализированные ММС (с пропускной способностью, учитывающей потоки входной информации), позволяющие строить или особо прецизионные и чувствительные системы, или системы повышенного быстродействия, или системы, ориентированные на обслуживание большого количества детекторов, и т.д.

В заключение хотелось бы подчеркнуть важность проблем развития и внедрения программных средств для построения сложных систем автоматизации. Особого внимания требуют языки реального времени.

Авторы отмечают огромный вклад Воронина А.А. в развитие аппаратно-программных средств, предназначенных для решения проблем, о которых шла речь в сообщении.



МИМ-1 - модуль - индикатор магистрали
 МПК-1 - модуль питания канала (ВВ питание камеры, НВ питание МТН)
 МТН-2 - модуль преобразования ток-напряжение
 МНК-1 - модуль преобразования напряжения-код
 МСК-1 - модуль импульсных каналов
 МУН-1 - модуль индикации с ЦАП
 ТАБЛО - встроенное табло контроля измеренных сигналов
 ММП-2 - модуль микропроцессорного контроллера магистрали

Рис. 1

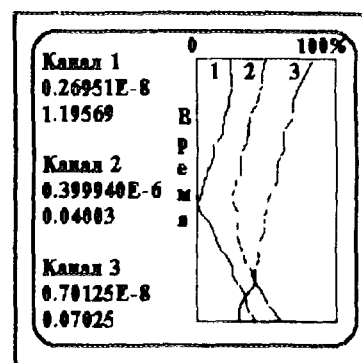


Рис. 2

Литература

1. The VMEbus Specification. Conforms to: ANSI/IEEE STD1014-1987IEC 821 and 297.
2. IEC 822 VSB. Parallel Sub-system Bus of the IEC 821 VMEbus.
3. Wade D.Peterson. The VMEbus Handbook Expanded. Third Edition.A User's Guide to the IEEE 1014 and IEC 821 Microcomputer Bus VFEA International Trade Association.
4. Стивен Дж. Янг. Алгоритмические языки реального времени: конструирование и разработка. Пер. с англ.- М.:Мир1985.

Архитектура системы массовой обработки
экспериментальных данных с установки EXCHARM
на базе кластера виртуальных машин

И.М.Иванченко, З.И.Коженкова, В.В.Кореньков, Ю.А.Кретов, А.Г.Скрипничук
Объединенный институт ядерных исследований, Дубна.

Стремление рационально использовать возможности ускорителей, повышение интенсивности информационных потоков, усложнение структуры регистрируемых событий, жесткие экономические требования предопределяют совершенствование программно-аппаратных компьютерных платформ и прикладного программного обеспечения. Разработка методов эффективной организации процессов анализа физической информации должна прямо учитывать циклопические объемы первичных экспериментальных данных, требующих огромного количества вычислений. Например, в проводимых ОИЯИ экспериментах (установка EXCHARM) по исследованию очарованных частиц на ускорителе ИФВЭ (Протвино, Россия) для обработки одного файла (150Мб) экспериментальной информации, накапливаемой в течении 18-20 минут реального времени, требуется не менее 15 часов процессорного времени ЭВМ ЕС-1066 только для первичной обработки - распознавание и геометрическая реконструкция событий. Работа с значительными объемами данных стала возможной благодаря внедрению (разработке интерфейсов и программного обеспечения) новых средств накопления информации типа - EXABYTE [1] (EXB-8500, скорость обмена около 500 Кб/с, емкость кассеты - 5Гб).

Под машинным комплексом - кластером виртуальных машин (ВМ) - мы понимаем множество ВМ в операционной среде СВМ ЕС ЭВМ [2]. На одну из этих ВМ возлагаются функции управления системой обработки. Такую ВМ будем называть управляющей, а остальные ВМ, на которых ведется счет, назовем рабочими. В частности, машинный комплекс может состоять всего из одной рабочей ВМ и управляющей ВМ, работая на которой менеджер системы обработки будет осуществлять подготовку входной информации для непрерывного ведения обработки, мониторинг основных функциональных процессов и архивизацию результирующих данных.

В качестве программы обработки данных используется модифицированный вариант программы BISON [3], на вход которой подается RAW-файл с исходной информацией, а на выходе получается результирующий DST-файл. Для обеспечения настройки программа обработки BISON использует файл директив пакета FFREAD [4].

Будем называть программой-монитором системы обработки данных набор взаимосвязанных макроопределений, написанных на языке управления заданиями (пока не важно для какой конкретной ОС), при помощи которых осуществляется управление очередями входных RAW- и выходных DST-файлов, настройка и запуск программы обработки.

Важным требованием, предъявляемым к системе обработки данных, является то, что порядок следования DST-файлов на выходной ленте EXATAPE должен отвечать порядку соответствующих RAW-файлов на входной ленте. Учитывая, что устройство накопления данных EXB-8500 - неразделяемый ресурс последовательного доступа, для обеспечения одновременной работы нескольких рабочих ВМ используют дисковую память (ресурс с параллельным доступом), где хранятся как RAW- так и DST-файлы. В общем случае для организации дискового хранилища необходимо использовать несколько отдельных дисков, так как размер одного диска ограничен, а емкость дискового хранилища должна быть достаточно большой для обеспечения непрерывной работы комплекса в течение продолжи-

тельного времени без вмешательства оператора. Назовем группу дисков, выделенных для записи RAW-информации, дисковым хранилищем RAW-файлов, а группу дисков, выделенных для записи DST-информации, - дисковым хранилищем DST-файлов. Схема потока информации в системе обработки представлена на рис.1.

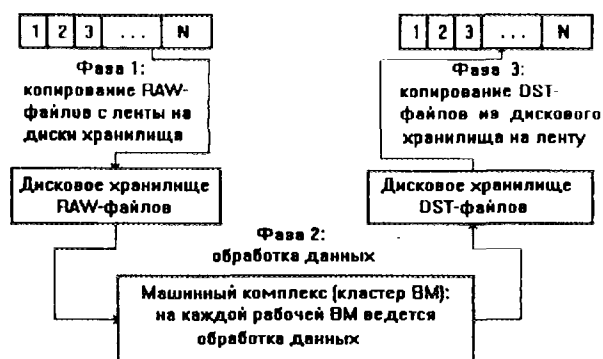


Рис.1. Использование дисковой памяти в процессе обработки данных.

Более подробно рассмотрим фазу обработки данных.

Отметим некоторые недостатки традиционной схемы обработки на одной или нескольких независимых ВМ:

- информация, имеющаяся на дополнительных дисках, недоступна программе обработки (программа обработки настроена на использование одного фиксированного диска).
- во время копирования DST-файлов с диска на ленту должна происходить синхронизация работы всех ВМ. Таким образом, не полностью используются вычислительные ресурсы.
- каждая ВМ настроена на обработку конкретного списка RAW-файлов, поэтому невозможно организовать непрерывный счет.
- каждая рабочая ВМ имеет на локальном диске А копию программы обработки.

Следующая схема организации обработки данных будет лишена описанных выше и ряда других недостатков (рис. 2).

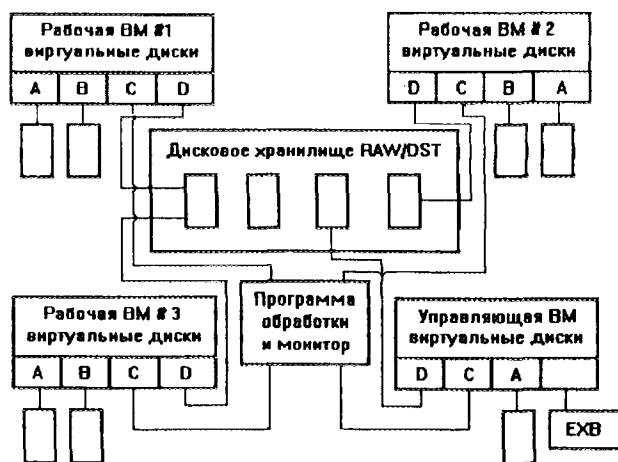


Рис.2. Организация обработки данных на базе кластера ВМ

Программа-монитор и программа обработки размещаются на одном виртуальном диске управляющей ВМ, и этот диск декларируется доступным по чтению всем рабочим ВМ. На этом управляющем диске целесообразно хранить списки всех трех очередей данных, так как каждая ВМ комплекса должна иметь к ним доступ. В качестве языка управления заданиями, на котором написаны макроопределения команд управления системой обработки, был выбран язык системного интерпретатора REXX. Операционная система позволяет подсоединять виртуальный диск какой-либо ВМ любой другой ВМ в качестве

своего виртуального диска. Эта возможность помогает оптимально использовать дисковое пространство: дисковые хранилища RAW- и DST-файлов построены на одних и тех же виртуальных дисках (после обработки какого-либо RAW-файла его можно удалить и на его место поместить соответствующий DST-файл с результатами).

Таким образом, мы можем задействовать все доступные диски для создания RAW/DST хранилища, общий объем которого может достигать нескольких десятков RAW- (DST-) файлов.

Для устранения простоев ВМ, связанных с синхронизацией процессов, достаточно иметь список RAW-файлов входной очереди, который будет доступен всем рабочим ВМ. Каждая ВМ будет выбирать и обрабатывать по одному RAW-файлу из этого списка. Если обработка завершилась успешно, то можно удалить RAW-файл из общего дискового хранилища, а на его место поместить полученный DST-файл с локального диска. После этого рабочая ВМ снова обращается к входной очереди и выбирает следующий RAW-файл.

Удобно разделить фазу обработки на два этапа: этап настройки и этап выполнения программы обработки.

На этапе настройки необходимо произвести следующие действия:

- скопировать полученные после обработки файлы с дополнительной информацией с локального диска А на управляющий диск С;
- удалить обработанный RAW-файл из хранилища (диск D) и записать на его место результирующий DST-файл (с диска В);
- перенести свободный RAW-файл из входной очереди в очередь исполнения;
- откорректировать файл директив на локальном диске А (имена RAW- и DST-файлов и т.д.);
- запустить программу обработки.

После окончания обработки текущего RAW-файла система переходит к этапу подготовки счета. Можно изобразить связь между рабочими ВМ комплекса следующим образом.

Необходимо отметить, что особое внимание при разработке программного обеспечения (для ведения обработки данных на кластере ВМ) было направлено на минимизацию потерь информации при сбоях реальных ЭВМ. В связи с этим программа обработки периодически записывает на диск необходимую информацию о собственном состоянии (формирует контрольную точку). Таким образом, наличие на каждой ВМ автоматизированной системы продолжения счета после сбоя, а также, возможность автоматического запуска ВМ системными средствами сразу после включения реальной ЭВМ, обеспечивает высокую устойчивость системы обработки к сбоям операционного окружения.

Основной проблемой в этом случае становится своевременное копирование исходных данных (RAW) с входной ленты на диски хранилища и обработанных данных (DST) из дискового хранилища на выходную ленту. Так как более 95% времени система находится на этапе выполнения программы обработки фазы 2 (требуется около 5-х часов процессорного времени для обработки одного RAW-файла и 8 минут астрономического времени для копирования DST с локального диска на диск хранилища в фазе подготовки счета), то менеджер системы имеет значительное время для работы с дисковым хранилищем в режиме записи (для удаления скопированных DST- и записи новых RAW-файлов).

Еще одним достоинством описанной схемы ведения обработки является высокий уровень ее портатбельности.

Заключение

Потенциальные возможности систем массовой обработки физической информации, базирующихся на универсальных ЭВМ, к началу 90-х годов были практически полностью реализованы. Дальнейшее повышение производительности, эффективности и улучшение

других эксплуатационных характеристик систем массовой обработки связаны с распараллеливанием решения рассматриваемой задачи.

С точки зрения вычислительной платформы, главное отличие двух подходов к решению задачи массовой обработки информации состоит в переходе от одной или нескольких независимых ЭВМ к высокоинтегрированному кластеру вычислительных машин.

Разработанная и развиваемая в ЛВТА ОИЯИ система обработки ПАРИС (ПАраллельная Расширяемая Интегрированная Система) отличается высокими характеристиками, такими как производительность, надежность, экономичность и удобство эксплуатации. Работа с значительными объемами данных стала возможной благодаря внедрению (разработке интерфейсов и программного обеспечения) новых средств накопления информации типа EXABYTE.

Одним из важнейших факторов, учитываемых при развитии систем обработки в выбранном направлении, является индекс производительности элементов компьютерного кластера. Для широкого класса процессов обработки индекс производительности принимает следующие значения:

ЕС-1066	АТ-386	АТ-486	АТ-486	АТ-486
	33мГц	33мГц	50мГц	66мГц
1.0	0.5	1.8	2.3	2.8

Созданная система обработки ПАРИС/ВМ является самодостаточной, доведенной до практического использования в условиях компьютерной платформы, включающей комплекс виртуальных машин в операционной среде СВМ ЕС ЭВМ, терминальную IBM - совместимую ПЭВМ и накопитель EXABYTE. С другой стороны, она явилась прототипом, моделью системы обработки на базе кластера быстродействующих настольных компьютеров, соединенных локальной сетью ETHERNET, использующих в качестве промежуточной памяти SCSI-диски при доступе к информации на EXABYTE.

Литература

1. EXB-8500 8mm Cartridge Tape Subsystem, User's Manual. EXABYTE Corporation, 1685 38th Street, Boulder, Colorado 80301, (303)442-4333.
2. Коваль Г.И., Коротун Т.М., Лаврищева Е.М. Программирование в системе виртуальных машин ЕС ЭВМ. Москва, "Финансы и статистика", 1990.
3. Иванченко И.М. и др. Математическое обеспечение для распознавания траекторий, регистрируемых многочастичным спектрометром БИС-2. ОИЯИ, Р10-89-436, Дубна. 1989.
4. Brun R. et al. Format Free Input Processing. CERN, DD/US/71, Geneva, 1987.



RU9710261

Multiparameter nuclear data acquisition and processing system

M. Morháč, I. Turzo, J. Krištiak,
V. Matoušek

Institute of Physics,
Slovak Academy of Sciences,
Dúbravská cesta 9, 842 28 Bratislava,
Slovakia

August 25, 1994

Abstract

A modular system to determine correlations among many detectors in radiation measurement is described. The system is based on CAMAC standard and IBM PC computer. The software has been written in C language. It performs the following tasks: data acquisition, disk data storage (in list mode), event sorting using different criteria, construction of (1-3) dimensional spectra and their display. These tasks can be carried out in on-line or off-line mode.

The capabilities of the system are illustrated in measurement of correlation between positron annihilation life-time and the momentum of electron-positron pairs using four detectors.

1 Introduction

The great progress in detectors of nuclear radiation, particle sources and the availability of relatively cheap powerful personal computers opens new experimental possibilities in nuclear physics and its applications. It arises from the possibility to study correlations between the different properties of nuclear radiation and/or the product of nuclear reactions.

So far, such studies have been performed only in a limited number of laboratories, which had available mainframe computers, VME or Fastbus system [1,2,3,4]. However such technical equipment is usually not available in small laboratories. Some acquisition systems are built around the dedicated hardware, which is not commercially available [5].

The aim of the work was to build up acquisition system suitable for:

- coincident and non-coincident multiparameter measurements in nuclear physics;
- recording of multiparameter data in list mode;
- data sorting based on definable conditions;
- amplitude analysis of data (1, 2, 3 parameter, also conditioned);
- on-line or off-line (from list file) working mode;
- data visualization (1, 2, 3 parameter spectra, scatter plots);
- spectra processing (peak position determination, fits, background subtraction, smoothing, ...).

These activities should be carried out in parallel. The system should be

- flexible, i.e., the configuration modifiable by user;
- modular;
- simple, fast, cheap;
- user friendly.

2 Description of system

The measuring and processing complex is composed of both hardware consisting of modules of the pulse and analog electronics and software. The software is written in C language except for acquisition routine that is, on account of speed, written in assembly language.

The configuration for a typical experiment is shown in the Fig. 1. Each measuring channel corresponding to one parameter contains one detector of ionization radiation (Det) with preamplifier and shaping amplifier (P.Amp), one delay unit (Delay) and one analog to digital converter (ADC).

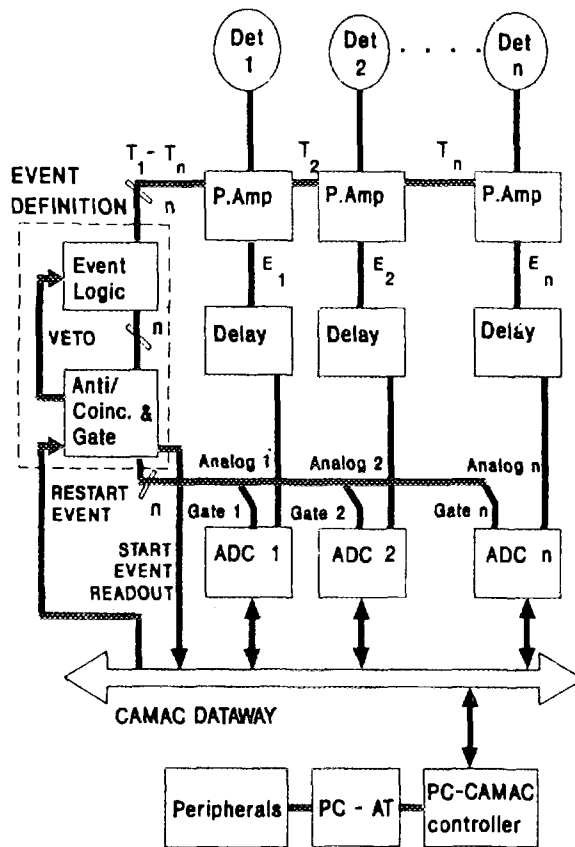


Fig. 1. Hardware configuration of multiparameter data acquisition system. Det-detector of radiation, P.Amp-preamplifier and shaping amplifier, ADC-analog-to-digital converter, PC-personal computer, T_i -time output, E_i -energy output

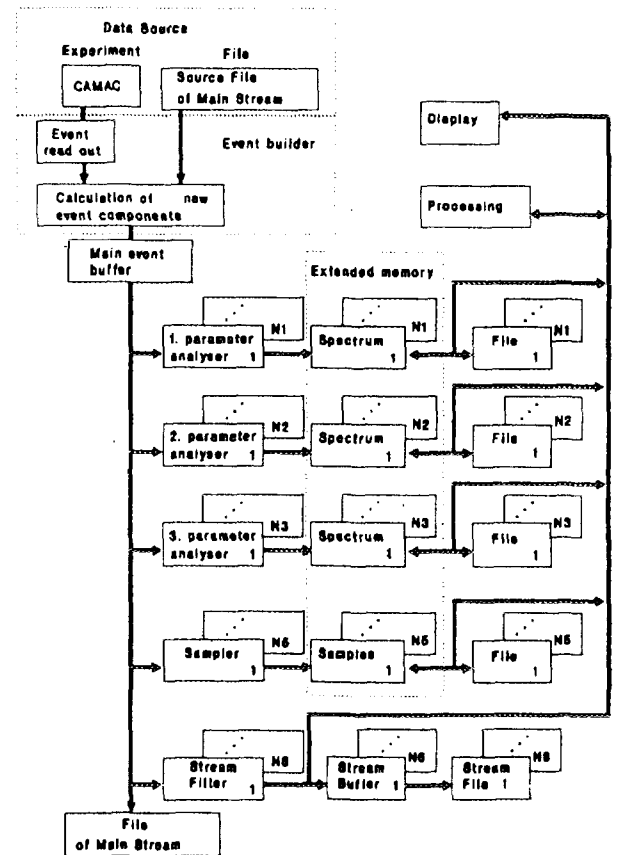


Fig. 2. Data flow chart of multiparameter system

Two signals, E_i - energy output and corresponding timing signal T_i are available in each measuring channel $i=(1,...,n)$. The delayed signals $E_1 - E_n$ are fed in parallel into the converters $ADC_1 - ADC_n$.

The EVENT DEFINITION subsystem evaluates the logical conditions that determine the format of an event. The evaluation of the logical conditions consists in processing the signals $T_1 - T_n$. This subsystem consists of the two parts:

1. The EVENT LOGIC box contains an experiment dependent set up of discriminators, anti/coincidence modules, level converters etc. The main task of these standard electronic modules (NIM, CAMAC), is to identify only those channels (1 - n) that take part in the event. The identification is based on the timing signals $T_1 - T_n$. These signals are modified according to the experiment conditions and fed into the ANTI/COINC & GATE block.
2. The ANTI/COINC & GATE block enables the experimenter to define anti/coincidence timing and combination criteria [6]. As a result of the evaluation the block sends the signal $GATE_1 - GATE_n$ to $ADC_1 - ADC_n$, which start conversions. The block also generates the VETO signal, which disables the EVENT LOGIC block during the event processing. After all ADCs participating in an event have finished conversion the START EVENT READOUT signal is generated.

Consequently, the START EVENT READOUT signal initiates a CAMAC LAM signal that is processed by the CAMAC crate controller. After detecting the LAM signal the data readout from CAMAC modules is initiated.

After this activity is finished the PC generates a RESTART EVENT signal that determines the end of data readout and resets the VETO signal. Then, converters, EVENT DEFINITION subsystem and computer are again ready to process the next event.

The process of the data readout starts at a time uniquely determined by the START EVENT READOUT signal and ends uniquely when the RESTART EVENT signal appears.

The software was written in C language. It runs under DOS operating system and supports both EGA and VGA graphic cards. The software component of the multiparameter system can be divided into several subsequent or partially overlapping parts:

- data readout, event creation;
- data sorting;
- data analysis, spectra creation;
- data or spectra visualization;
- spectra processing, determination of peak positions and intensities, fits, etc.

The data flow chart is shown in the Fig. 2. Either the hardware described above or a data list file can be used as data source. Hence the system can work in on-line or off-line mode, respectively. As for software, the event is represented by sequence of values, event parameters, read out from defined sequence of the CAMAC modules or from the source file.

The sequence of events is recorded in the buffer. After the buffer is full the events can be:

- stored in list mode in main stream file;
- tested, according to sorting criteria and subsequently written into appropriate files of sorted streams;
- analysed and collected one-, two- or three-parameter histograms.

The basic event element is the variable, read out from CAMAC address. In the software it is associated with a structure called detection line. It has a name and contains the CAMAC address and an initialization sequence of CAMAC functions.

If supplementing the event with calculated variables in the formulas the detection line names stand for operands. One can use the following operators:

$+$, $-$, $*$, $/$, $^$, $\sqrt{}$, \exp , \log , \sin , \cos .

Generally one can conclude that the event consists of the set of detection line names, and/or calculated variables.

If necessary, the main stream of events can be broken up to different streams. Sometimes it is also useful to have a possibility to decide whether the event is accepted for or rejected from subsequent analysis.

These decisions are based upon the set of conditions. To satisfy typical experimental needs we defined the following types of conditions:

- window;
- pattern;
- function;
- polygon.

The spectra can be subsequently processed using conventional operations like arithmetic operations, integral operations, peak or background evaluation, fit [7], etc.

The graphical software allows to display 1-, 2- and 3- parameter spectra in "live" mode, i.e., the pictures of spectra are continuously updated. The program also contains the possibility to display the projections of sorted streams. It provides the user with an idea about event distribution in the space of two independent variables (x, y).

In each display type one can select colour of the spectrum, limits of displayed part of spectrum, the screen region where the picture is positioned, window, marker etc. The pictures of 2-, 3-parameter spectra have their specific parameters and picture elements like x, y slices, view angles etc.

The described system has been used in an experiment looking for the influence of the electron momentum on the lifetime of the positron e^+ injected into the sample. For that purpose we measured the correlation between positron lifetime τ and the momentum of the electron - positron pair p_e .

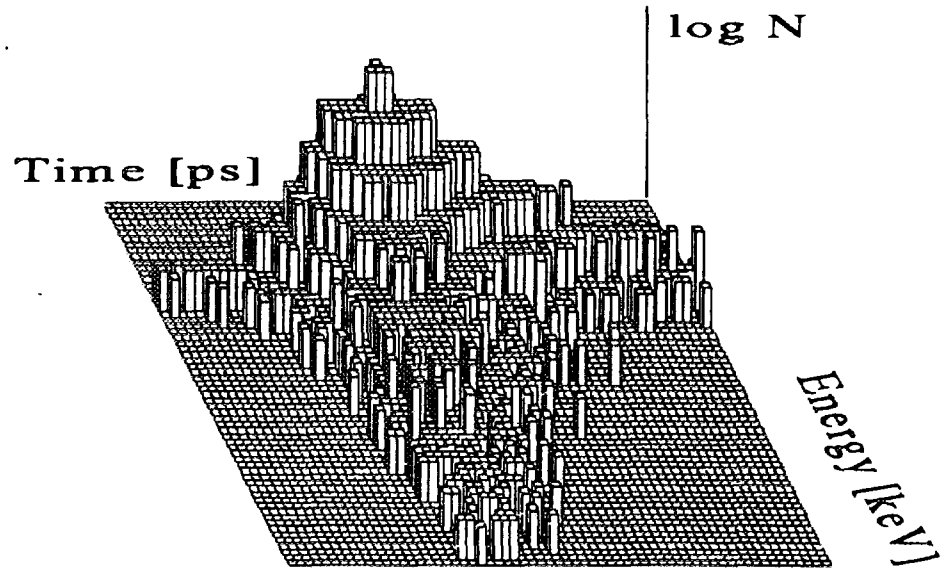


Fig. 3. Display of 2-parameter correlation spectrum $\tau \times E_\gamma$ for the polymer sample

The lifetime τ has been determined by conventional fast-fast technique with plastic scintillators. They have measured the time interval between the positronium birth (detection of γ -peak with energy of 1274 keV) and its death (detection of annihilation peak 511 keV).

The momentum of the $e^+ - e^-$ pair has been determined from Doppler broadening of the annihilation peak ΔE_γ measured by HPGe detector.

Hence the correlation $\tau \times \Delta E_\gamma$ has been measured using 4 detectors (start plastic (1 or 3) x stop plastic (2) x HPGe). The time resolution was 320ps and 680 ps, respectively. The energy resolution was 1.5keV at 570 keV.

To increase the statistic two such correlations has been measured simultaneously, where HPGe detector and stop plastic (2) was common for both parallel experiments.

Two parameter correlation spectrum $\tau \times E_\gamma$, illustrated in the Fig. 3, for annihilation of e^+ in the high temperature superconductor was obtained by off-line sorting of experimental data. Data were accumulated in several series for 6 days.

The description of the experiment and achieved results are presented in detail in [8].

3 Conclusion

The described organization of multiparameter data acquisition system provides a great flexibility of experimental configurations and thus also many ways and possibilities for their use.

To make the readout from detection lines as fast as possible the most critical part of the program was written in assembly language. The speed of the system depends on the chosen configuration of acquisition, sorting, analysis and display (see Fig. 2.). The software blocks increase the deadtime of the system if the event rate is high. Its variability, however, allows, e.g., to switch off all the blocks except data acquisition and data disk storing and to perform eventual more time consuming analysis and processing later in off-line mode. The dead time and average event rate depends on number of parameters and on type of the processor. For instance for 10 parameters and 50MHz PC the average event rate can be about 10kHz.

The described multiparameter system is well suited for medium sized experiments in the field of nuclear physics or where the nuclear radiation or particle beams are utilized.

This work was supported, in part, by Grant agency for science (grants No. 2/55/93 and 517).

References

- [1] Essel H.G., "GSI on-line off-line system - introduction," GSI Darmstadt, 1988.
- [2] Haywood S.E., et.al., "JIGSAW: A gamma ray data acquisition and analysis program," IEEE Trans. on Nucl. Sci., vol.39, No.4, 1992, pp.901-903.
- [3] Bassato G., et al., "A versatile compact multiparameter data acquisition system," Nucl. Instr. Meth. A275, 1989, pp.340-345.
- [4] Anderson J., et al., "Integrated FASTBUS, VME and CAMAC diagnostic software at Fermilab," presented at the IEEE Conference on Nucl. Sci., Orlando, Florida, oct.1992.
- [5] Baczynski J., "PC display system for real-time data graphical representation of spectroscopy measurement results," Nucl. Instr. Meth. A325, 1993, pp.523-528.
- [6] Malát V., Wilhelm I., "Coincidence control unit", University report UK-MFF, Praha, 1989.
- [7] Gmuca Š., Ribanský I., "GWENN - a Fortran program for analysis of complex gamma-ray spectra on small computers", Jaderna energie, vol. 29, No.2, 1983, pp.56-59.
- [8] Křištiaková K. et al., "The correlation between lifetime and momentum of $e^+ - e^-$ pair," presented at the 5th International Workshop on Slow-Positron Beam Techniques for Solids and Surface, Jackson Hole, USA, august 1992.



RU9710262

СИСТЕМА СЧИТЫВАНИЯ ИНФОРМАЦИИ С ПРОПОРЦИОНАЛЬНЫХ КАМЕР.

Н.И.Журавлев, В.Т.Сидоров

Объединенный институт ядерных исследований, Дубна

Разработанный набор блоков предназначен для вывода информации с систем пропорциональных камер с числом каналов до 10000.

В состав блоков входят (рис.1): 32- канальная задержка, контроллер крейта, генератор тактовых импульсов, буферная память, модуль управления порогами дискриминаторов.

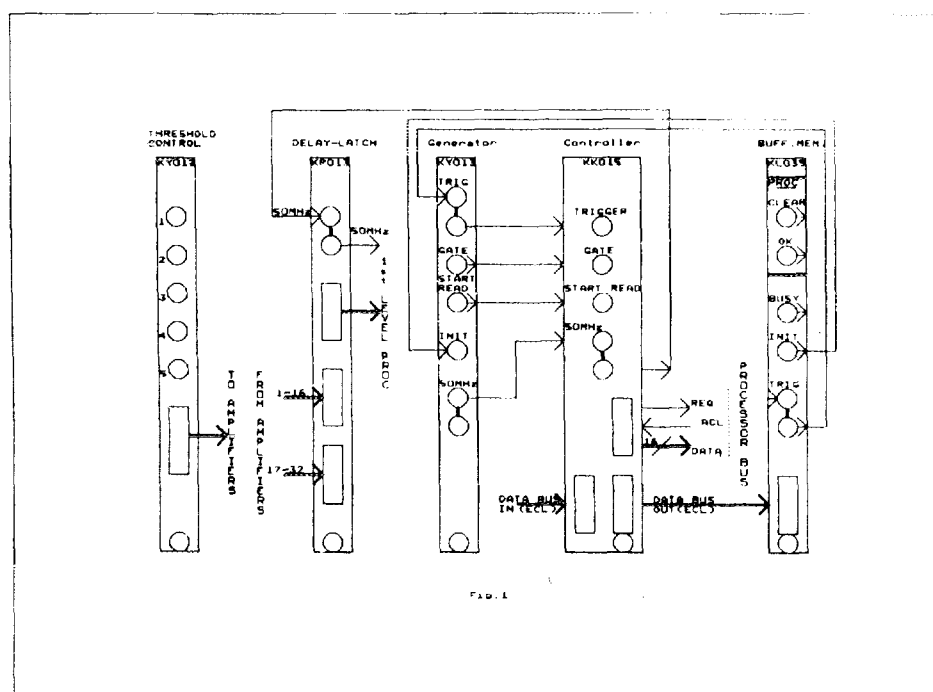


Рис. 1. Состав системы считывания

Блоки задержки и контроллер устанавливаются в обычном крейте КАМАК (рис.2), но линии магистрали используются нестандартным образом. Остальные блоки размещаются в системном крейте, соединенном с ЭВМ.

Блок задержки КР013

Блок принимает комплементарные ECL сигналы по скрученным парам с усилителей-дискриминаторов, размещаемых непосредственно у камер. Согласующие резисторы для ECL сигналов должны находиться на платах усилителей-дискриминаторов. Каждый модуль содержит задержку, достаточную для выработки решения триггерной логики установки. Для этой цели используется RAM с 10 нс временем доступа и емкостью 64x32 бита. Поступающие от усилителей сигналы стробируются тактовыми импульсами с частотой 50 МГц и записываются в эту память. Таким образом, устанавливаемая одновременно для всех каналов задержка может иметь величину до 1.2 мкс с шагом 20 пс. Тактовые импульсы вырабатываются в блоке генераторе импульсов. По сигналу от логики выработки триггера первого уровня из контроллеров крейтов в блоки задержки поступает сигнал, переводящий

их память из режима записи в режим чтения, и поступающими 50 МГц тактовыми импульсами содержимое адресного счетчика RAM уменьшается на величину, соответствующую задержке выработки триггерного сигнала от момента происшедшего события. После установления нужного адреса, в случае ненулевой информации в выбранной ячейке памяти, в магистраль крейта подаются через выходной регистр 32 бита данных из ячейки и сигнал LAM.

На передней панели блока имеются три 34-контактных разъема. Два из них используются для приема сигналов с усилителей-дискриминаторов, а на третий подаются сигналы для триггерного процессора 1-го уровня: 4 "ИЛИ" от входных сигналов блока памяти (0-7/8-15/16-24/25-31) и 8 "ИЛИ" после выходного регистра (0-3/4-7/.../24-27/28-31).

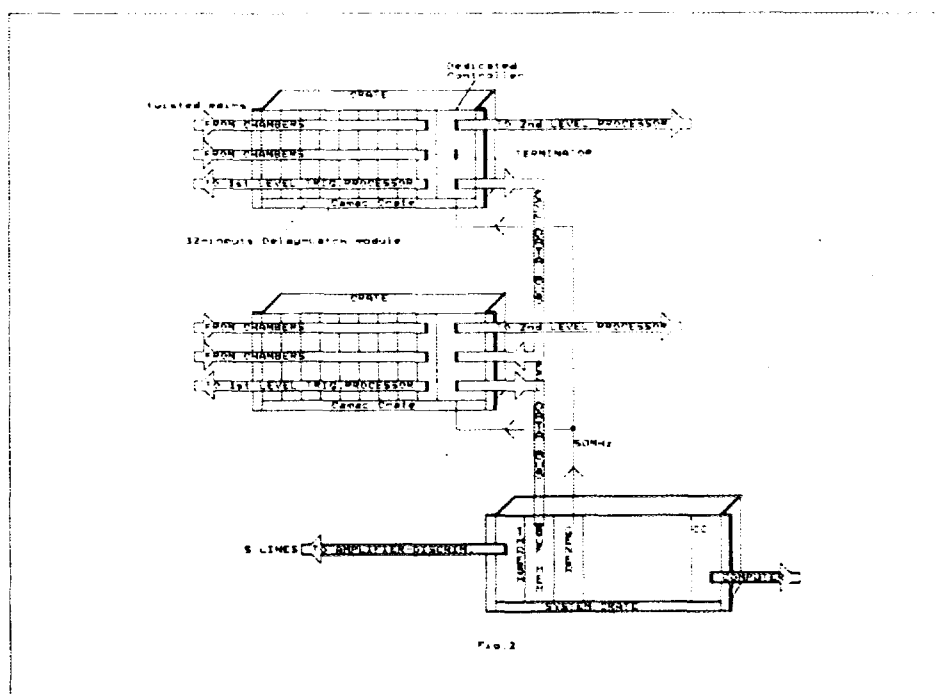


Рис. 2. Схема соединений системы считывания

Контроллер крейта КК015

Контроллер крейта осуществляет считывание данных из блоков задержки с ненулевой информацией, ее кодирование, запись в локальную память с последующей передачей в общую для системы буферную память.

Работа всех контроллеров в системе начинается одновременно по сигналу "Пуск" от триггерной логики. При этом в контроллере включается генератор тактовых импульсов, работающий с частотой 10 МГц, с помощью которых осуществляется поиск блоков задержки с ненулевой информацией, и ее кодирование. Для кодирования младшего бита, из числа бит содержащих "1" в 32-х разрядном слове данных требуется четыре тактовых импульса. Каждый последующий бит с единицей требует дополнительно только два тактовых импульса.

Биты слова данных после кодирования распределены следующим образом: 4-0 - номер канала в блоке, 9-5 - номер блока памяти в крейте, 13-10 - номер крейта. В контроллере предусмотрена возможность обработки соседних битов, в которых записаны единицы (кластеров). Режим обработки кластеров устанавливается с помощью тумблера на задней панели блока. Максимальное число бит в кластере - 16. В этом режиме информация о кластере передается двумя словами. В первом слове передается код младшего бита в

кластере, как это показано выше, во втором - число битов в кластере. Признаком второго слова является наличие единицы в 14-ом бите.

Закодированные таким образом биты с ненулевой информацией последовательно записываются в имеющуюся в контроллере локальную память емкостью $2K \times 16$ бит с циклом записи 250 нс. Одновременно с записью в память данные могут подаваться в триггерный процессор второго уровня через разъем на передней панели.

После окончания считывания данных с блоков задержки во всех крейтах, начинается поочередный вывод данных из памяти контроллеров в общую для системы буферную память через соединяющую все контроллеры шину. Сигналы в шине имеют уровни ECL.

На время работы контроллеров в шину подается сигнал "Busy".

Генератор тактовых импульсов КУ013

Блок генерирует тактовые импульсы с частотой 50 МГц, которые используются блоком задержки для изменения адресного счетчика памяти при записи сигналов от усилителей-дискриминаторов, а также его корректировки перед считыванием данных на величину задержки, связанной с временем работы триггерного процессора. Генератор импульсов блокируется с момента начала вывода данных из блоков задержки до окончания их передачи в буферную память, после чего начинается следующий цикл набора данных в блоки задержки.

Величина задержки хранится в регистре генератора импульсов и может меняться соответствующей командой КАМАК.

Буферная память КЛ039

Блок принимает по внешней шине 16-ти разрядные данные из контроллеров и заносит их в последовательные ячейки памяти. Все сигналы в шине имеют уровни ECL. Емкость памяти $2K \times 16$ бит, цикл записи - 250 нс. В режиме записи блок выдает в магистраль сигнал "Ready". Каждое слово данных из контроллера сопровождается сигналом "Request". Ответный сигнал о приеме слова данных блоком памяти не вырабатывается. После приема всего массива данных сигнал "Busy" в контроллерах снимается, блок памяти убирает сигнал "Ready", переходит в режим вывода данных в магистраль КАМАК подавая сигнал LAM, а также вырабатывает внешний сигнал "Init.", по которому начинается запись в блоки задержки нового события. Управление работой блока осуществляется через регистры управления и статуса по командам КАМАК.

Управление порогоми усилителей-дискриминаторов КУ012

Блок содержит пять независимых аналоговых каналов. Каждый из них включает восьми разрядный регистр для хранения уровня порога и ЦАП. Величина выходных сигналов может устанавливаться независимо в диапазоне 0-2.56 В с шагом 10 мВ посредством потенциометров на передней панели или по командам КАМАК.



RU9710263

Электронная система для измерений с многоцелевым нейтронным детектором

Ц.Пантелеев, В.Минкова, Н.Камбуров, А.Дражев, И.Кожухаров
*Институт ядерных исследований и ядерной энергетики
Болгарской академии наук, София, Болгария*

Аннотация

В работе описан набор электронных блоков, обслуживающих нейтронный многоцелевой детектор. Детектор предназначен для измерения актов множественного рождения нейтронов в различных ядерных реакциях и при спонтанном делении ^{252}Cf . Восемнадцать ^3He пропорциональных счетчиков обслуживается восемнадцатью предусилителями и формирователями. Сконструированный логический сумматор позволяет параллельное включение счетчиков. Физические эксперименты обслуживаются двумя цифровыми блоками: 256-канальный кодировщик временных интервалов, работающий в режиме одноканального поступления информации и 4-групповой 256-канальный кодировщик с разделенными "старт-стоп" входами. Цена каналов для обоих кодировщиков составляет $0.5 \div 64$ мсек. С помощью интерфейсного устройства кодировщики подключаются к персональному компьютеру.

Установка для регистрации нейтронов

Регистрация нейтронов с высокой эффективностью, как правило, требует их предварительного замедления до тепловых энергий. Только при этих условиях нейтронные детекторы (пропорциональные ^3He счетчики) имеют необходимую высокую эффективность [1]. С одной стороны, это усложняет обработку поступающей информации, так как события развиваются в широком временном интервале, что затрудняет регистрацию быстрых актов совпадений. С другой стороны, расширение временного интервала при сравнительно низкой интенсивности нейтронных событий позволяет эффективно регистрировать акты множественного рождения нейтронов через регистрацию спектров временных интервалов, разделяющих моменты их поступлений [2].

На рис.1 показана установка для высокоэффективной регистрации нейтронов. Детектор состоит из 18 ^3He пропорциональных счетчиков, расположенных в объеме полиэтиленового цилиндрического замедлителя с диаметром 415 и длиной 420 мм. В замедлителе сделан центральный канал с диаметром 76 мм. Каждый счетчик обслуживается предусилителем на базе ОУ LM357 с коэффициентом усиления 30 и последовательно включенным компаратором на базе ИС LM311. Пороги компаратора и уровень постоянной составляющей тока между обоими элементами управляются с помощью многооборотных сопротивлений.

Эффективность регистрации нейтронов в детекторе составляет 35.6%.

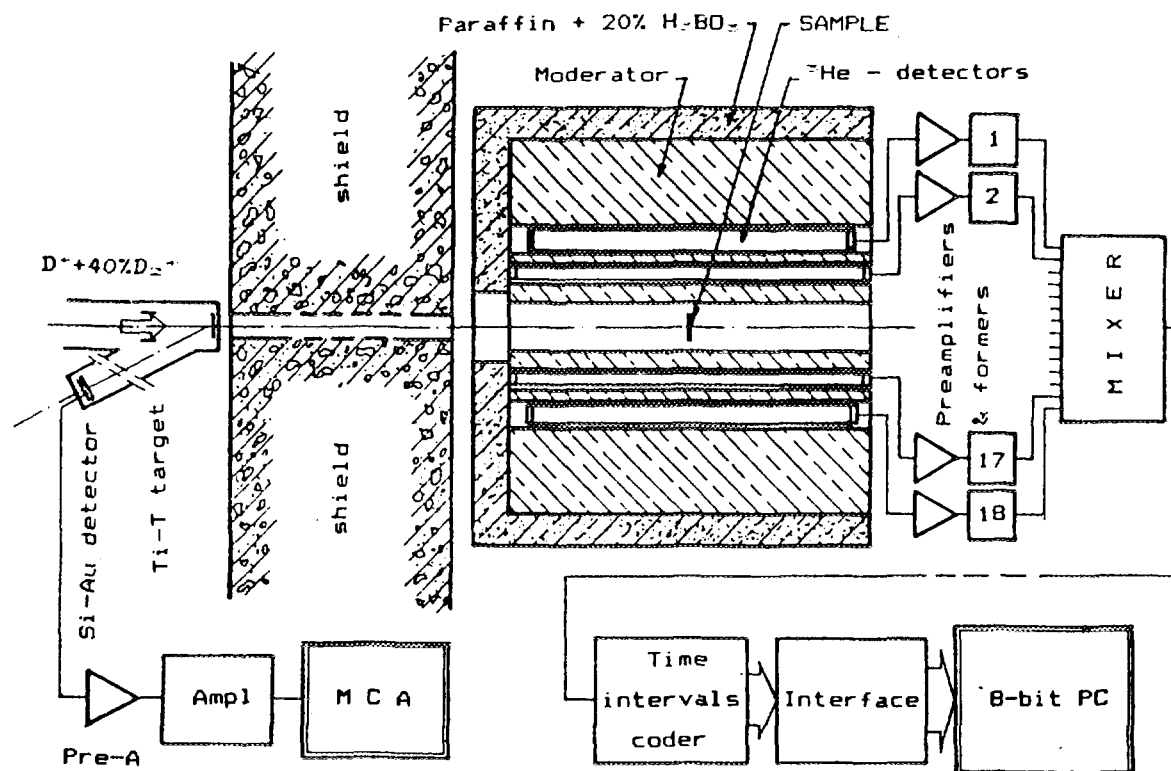


Рис.1 Блок-схема экспериментальной установки

Логический сумматор (ЛС)

Работа компараторов LM311 характерна тем, что поступающие от детекторов сигналы имеют разную длину. На входе ЛС установлены одновибраторы (ИС 74123) и таким образом импульсы от нейтронных счетчиков имеют стандартную длительность - 200 нсек. С помощью логической схемы - 18-входовой ИЛИ, собранной на интегральных схемах низкой степени интеграции, сигналы от детекторов объединяются в одну выходную линию. На выходе ЛС находится формирователь длительности импульса на базе ИС 74121. Плавное изменение длительности выходного сигнала от ЛС (0.2 ÷ 10 мсек) продиктовано условиями эксперимента.

Одновходовый кодировщик временных интервалов (КВИ)

Блок работает по следующему алгоритму. Каждый первый поступивший на его вход сигнал исполняет роль старта, а второй останавливает работу таймера, после чего на выходных шинах кодировщика появляется номер канала в бинарном коде. В случае, когда после кодирования 256 каналов не поступил сигнал "стоп", на выходных шинах появляется число "0", и кодировщик готов к новому циклу измерений. Кодировщик самостоятельно разделяет сигналы, поступающие по одной линии и распределяет их соответственно математической зависимости.

Если отсутствует корреляция между появлениями сигналов от нейтронов, распределение временных интервалов между ними подчиняется пуассоновскому распределению со степенью свободы 0 [3].

$$I(t) * dt = r * e^{-rt} * dt, \quad (1)$$

где r - интенсивность поступления сигналов.

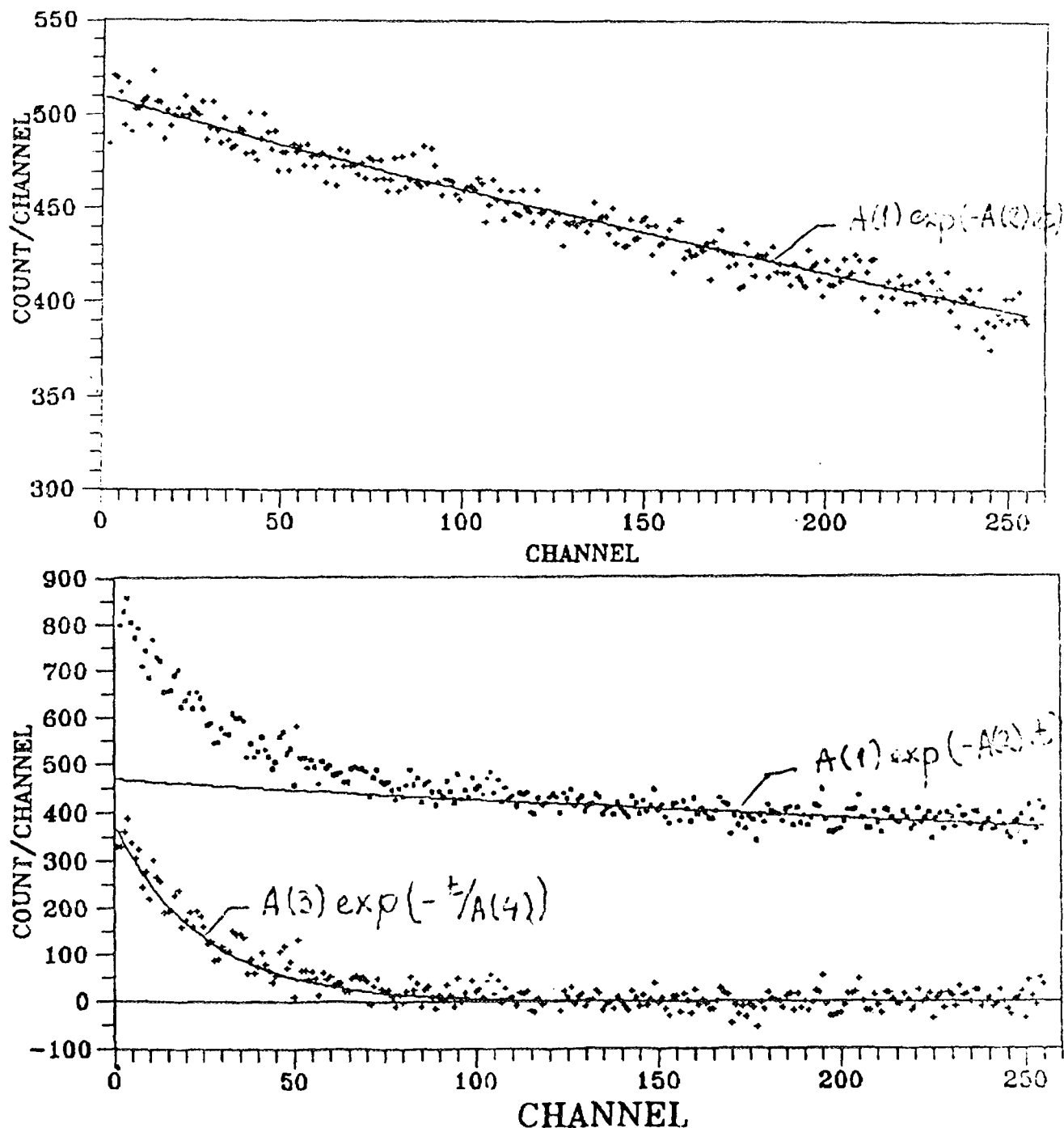


Рис.2. Спектры временных интервалов от некоррелированных (а) и коррелированных (б) нейтронных источников

В случае одновременного рождения двух или более нейтронов начинается их термализация и хаотическое движение в объеме замедлителя. Время, характеризующее процесс термализации, составляет нескольких мксек. Время жизни термализованного нейтронного газа в объеме замедлителя приблизительно подчиняется экспоненциальному закону.

$$I_c(t) * dt = A * e^{-t/\tau} * dt, \quad (2)$$

где I_c - интенсивность поступления коррелированных событий в момент t ;

A - ядерная характеристика реакции множественного рождения нейтронов;

Для нашего детектора время жизни нейтронов в объеме замедлителя τ составляет 55 мксек. На рис.2 представлены результаты измерений спектров временных интервалов для некоррелированных (источник $Pu - Be$) и коррелированных (источник ^{252}Cf) нейтронных импульсов.

Четырехгрупповой кодировщик временных интервалов

Кодировщик построен на принципе разделенных "старт-стоп" входов. Входное устройство гарантирует, чтобы в течение предшествующего динамического диапазона не было регистрируемых сигналов по каналу "старт".

Появление стартового сигнала разрешает поступление импульсов от кварцевого тактового генератора (с переменной временной константой) одновременно на вход 4-х 256-канальных счетчиков, составляющих промежуточный регистр памяти кодировщика. Появление первого сигнала "стоп" приводит к запоминанию в первом счетчике количества каналов, отсчитанных с начала работы. Поступление второго сигнала "стоп" приводит к запоминанию в промежуточном регистре номера второго канала и так до появления четвертого сигнала. Появление пятого и далее сигналов "стоп" не приводит к изменению состояния регистров кодировщика. Чтение записанной в четырехгрупповом промежуточном регистре информации осуществляется 4-тактовым циклом на 10 выходных шин. Таким

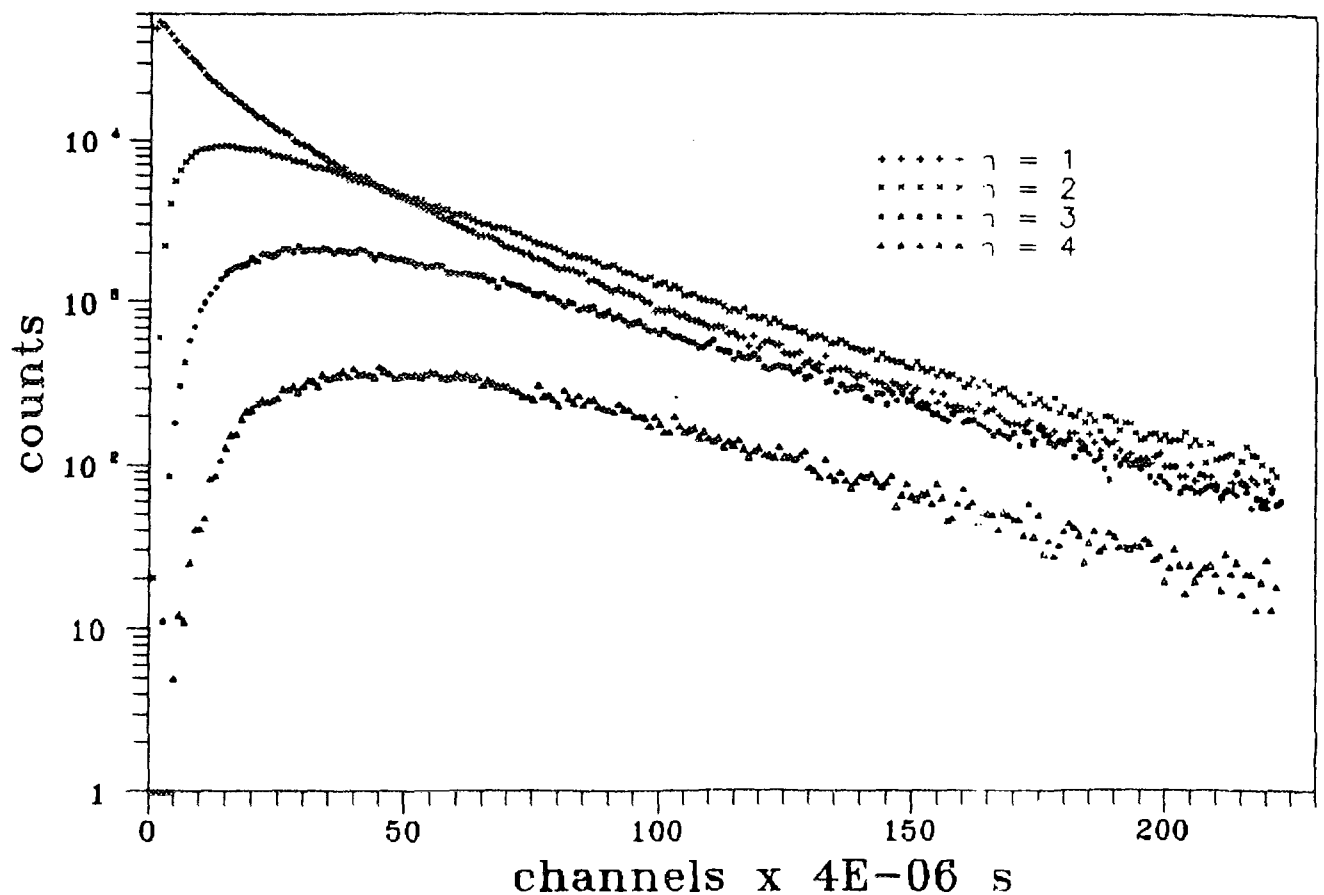


Рис.3. Распределение временных интервалов между актами спонтанного деления ^{252}Cf и моментами регистрации 1 ÷ 4 нейтронов. Малогабаритная импульсная ионизационная камера с ^{252}Cf помещалась в геометрическом центре детектора.

образом содержание информации записывается в персональный компьютер в виде 4x256 спектров временных интервалов.

На рис.3 представлены спектры временных интервалов, разделяющих акты спонтанного деления ^{252}Cf от момента захвата в детекторе первого, второго, третьего и четвертого нейтронов. Если в измеряемом временном интервале для соответствующих групп не поступил сигнал "стоп", то в нулевых каналах этих групп содержимое увеличивается на 1. Это условие продиктовано необходимостью контроля работы всей системы.

Цифровая линия задержки

Описанная методика измерения требует задержки логических сигналов. В нашем случае минимальная длина задержки составляет 30 мксек. Для этой цели мы изготовили линию задержки на базе 18 последовательно включенных 8-битовых регистров сдвига (ИС 74164). Импульсы от нейтронного детектора поступают на вход первой ИС, одновременно с тем, сигналы от специально изготовленного тактового генератора поступают на тактовые входы всех микросхем. Частота этого генератора выбрана так, чтобы удовлетворялось условие теоремы Котельникова - Шеннона.

Описанная система электронных блоков разработана и изготовлена в Институте ядерных исследований и ядерной энергетики БАН. Она опробована во время работы нейтронного генератора SAMES-150D с импульсной ионизационной камерой деления с газовым усилением, регистрирующей акты спонтанного деления ^{252}Cf .

В соответствии с договором Ф-48 с спонсором работы был Национальный фонд научных исследований.

Литература

1. L.V.East and R.B.Walton, Nuclear Instruments and Methods 72, (1969) pp 161-166.
2. M.Holmberg and J.Hansen, Nuclear Physics A, 129 (1969) pp. 305-326.
3. G.F.Knoll, Radiation Detection and Measurement, John Wiley and Sons, New York, 1979.
4. Ts.Panteleev, V.Semkova, N.Kamburov, submitted to Nuclear Instruments and Methods, 1994.

The DSP-Based RTOF-Correlator for High Resolution Fourier Diffractometers

*V.A. Butenko, V.A. Drozdov, A.S. Kirilov, V.E. Novozhilov, A.I. Ostrovnoj,
V.I. Prikhodko, V.E. Rezaev, Ja. Sudek*, D. Krushinskij**

Frank Laboratory of Neutron Physics

*The Institute for Problems of Measurements
of the Academy of Sciences of Slovakia, Bratislava

Abstract

To improve efficiency of the time-of-flight analysis, the correlation and the Fourier methods are used with a preliminary neutron flux modulation. In this case the elastically scattered neutron spectrum is calculated as a function of the cross-correlation of the detector signal and the neutron flux modulation. The solution of the problem in real time requires equipment with high processing power. The paper describes the DSP(TMS320C25)-based correlation analyzer for pulsed neutron sources and presents the results of the spectrum measurement performed with the High Resolution Fourier Diffractometer (HRFD) at the IBR-2 pulsed reactor.

1. Introduction

At the Frank Laboratory of Neutron Physics a new neutron High Resolution Fourier Diffractometer (HRFD) [1] has been in operation since 1992. Employment of the Fourier-chopper in the reverse time-of-flight (RTOF) correlation analysis mode allows a considerable improvement in resolution, as compared with the other IBR-2 spectrometers (approximately 15 times greater), with only an insignificant loss in luminosity. One of the most important and expensive electronic parts of the diffractometer is the parallel type RTOF-correlator for 8196 time channels designed at the Espoo Technical Research Center in Finland [2]. Further development of the setup requires an increase in the number of time channels for the existing analyzer.

2. Correlation spectrometry for neutron pulsed sources

The problem of measuring elastically scattered neutron spectra by modulating the neutron flux can be transformed into the problem of determining the transfer function of a linear system with the input signal corresponding to the modulation function of the neutron flux, and the output signal to the intensity of the neutrons registered by the detector. For the output signal in such a system to have the accuracy of the background noise which is not modulated by the chopper is determined by the convolution:

$$I(t) \sim \int C(t)h(t-\tau)d\tau, \quad (1)$$

where

$I(t)$ — output signal (registered intensity);

$C(t)$ — input signal (modulation function);

$h(t)$ — transfer function (neutron spectrum).

It is known that for linear systems with constant parameters the transfer function $h(t)$, defined as the system's response to the input signal $\delta(t)$ is related to the frequency

characteristics of the system via the Fourier transform and can be found using the function of cross-correlation between the input and output signals, if the auto-correlation function of the input signal behaves as a δ -function. At FLNP correlation method has been used since the early '70s. The equipment for two-dimensional correlation analysis using a pseudo-random chopper is described in [6],[7],[8]. The correlation methods of spectrum analysis are also used in the operating HRFD (Fig.1). The difference lies in the fact that the chosen Fourier-chopper operates in a special mode which permits varying the speed and phase of rotation and the spectrum is formed in real time.

According to the correlation method, the time spectra of elastically scattered neutrons can be calculated by the following formula:

$$h(t) \sim \int I(\tau) C(\tau-t) d\tau. \quad (2)$$

Taking into consideration the double modulation of the neutron flux, the contents of each time channel of the spectrum analyser, $S(n)$, can be determined by the relation:

$$S(n) = \int I(t) C(t-L_c / v_n) M(t-L_m / v_n) dt, \quad (3)$$

where

- C — function of neutron flux modulation by the Fourier-chopper;
- M — pulse of a reactor neutron burst;
- n — analyzer time channel number;
- L_m — neutron source -- detector distance;
- L_c — chopper -- detector distance;
- v_n — neutron velocity corresponding to the chosen analyzer channel.

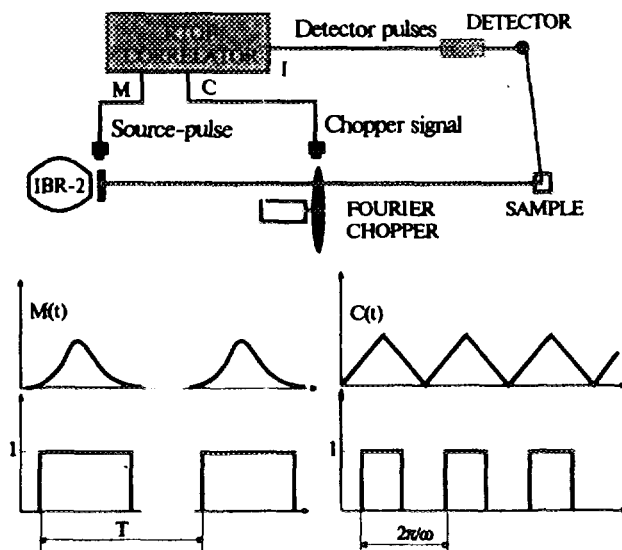


Fig.1. Experimental arrangement (top) and time behavior of the pulsed source (bottom left) and the chopper (bottom right) together with corresponding binary gate signals

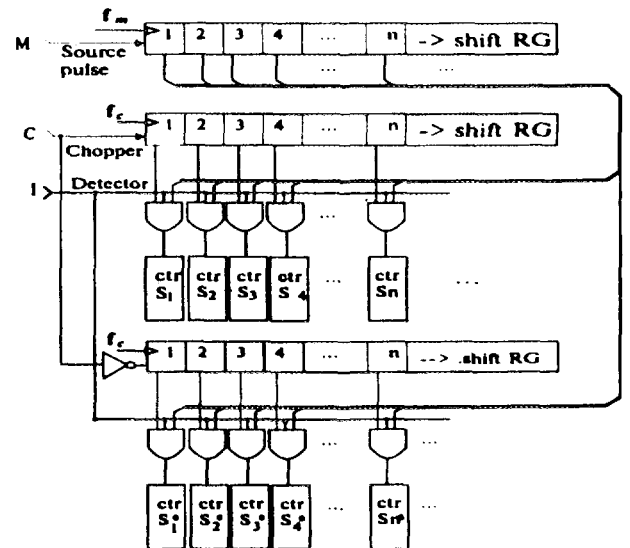


Fig.2. Schematic diagram of the parallel RTOF - correlator based on double delay line

To make the above formula applicable to the parallel RTOF-correlator [5], modulation functions need to be approximated by logic signals and delayed signals need to be formed by shift registers. The spectrum data are accumulated in parallel counter channels, for

which an enabling signal is determined by logical coincidence of the delayed modulation signals (Fig.2). To form the required signal delays for each counter channel, the relation between the shift register frequencies f_c/f_m is given by the distance ratio, L_m/L_c , and the frequency of the data shift in the modulation function register is determined by the analyzer time channel width. In order to suppress the background component of the detector signal, which is not modulated by the chopper, two spectra are measured simultaneously, where each of them corresponds to an opposite phase of the chopper modulation signal. The resulting high resolution spectrum is calculated by taking the difference of these two spectra.

3. DSP-based RTOF-correlator

The RTOF-correlator based on a double delay line is a parallel type analyzer that accumulates spectra in real time. It can be used at both steady-state and pulsed neutron sources. At a pulsed neutron source, however, there is the possibility to separate, in time, the processes of input data acquisition and calculation of the spectrum for each reactor cycle. This allows the use of computing units which sequentially process data for each analyzer channel in accordance with formula (3). Going to the sampled signals, the sum of counts accumulated in each analyzer channel during one neutron source pulse can be approximately represented as:

$$S(n) = \sum_{i=j}^{i=j+p} I_i C_{i-n}, \quad (4)$$

where

$$j = [n \times L_m / L_c],$$

p --- neutron pulse width in time interval steps,

I_i, C_i --- stepwise signal representation $I(t), C(t)$.

Hence, it follows that the computing system functioning as a RTOF-correlator must perform $N \times P$ multiplication and $N \times P$ addition operations over the pulse repetition period of the neutron source. For $N = 8000$, where N is the RTOF-correlator channel number, and the existing pulse parameters of the IBR-2 reactor: frequency --- 5 Hz, pulse width --- 320 μs , the required performance capacity of the computing system is 16MIPS. Taking into account the necessity of calculating the positive and negative components of the resulting spectrum, this value, in principle, should be doubled. Such performance can be achieved using modern digital signal processors. The distinctive property of these processors is that a set of their basic instructions includes operations intended to calculate the convolutions, correlations and the Fourier transforms. For instance, the TMS320C25 signal processor of Texas Instruments [9], which we chose for the RTOF-correlator, makes it possible to perform the multiplication of two 16-bit numbers and to take the sum of the result with a 32-bit accumulator during one cycle in 100 ns. A more recent TMS320C52 processor provides a performance capacity of up to 40 MIPS. To design the correlator's prototype, the DSP-module for the PC which was developed previously [10] was up-graded.

The first DSP-based HRFD-RTOF-correlator system consisting of two boards (an input board and a DSP board with an ISA bus) was tested in 1993. A schematic of the front-end board is given in Fig.3. Before the onset of measurements the delay time for the start of registration, the duration of data registration for one burst of the reactor, and the value of the chosen time channel width are entered by the PC controlling program into the corresponding registers of the front-end board. The programmable delay of the initial

chopper status signal determines the beginning of the registered spectrum. The time channel width can be chosen over the range from $1\ \mu s$ to $32\ \mu s$, and the maximum delay permits choosing a window in the registered time spectrum, shifted to 16000 time channels. Data transfer to the DSP board is initiated by the "Enable" signal. The $I(i)$ register which consists of two registers working alternately, records the number of detector signals coming during one time channel. At the end of each time channel the "Strob" signal is generated by which the number of registered detector signals in the given interval and the chopper status signals are transferred to the DSP board.

A schematic of the DSP -based analyzer for 8000 channels on the basis of a personal computer, comprising one front-end and three DSP boards, is presented in Fig.4.

In addition to the TMS320C25 processor with a clock frequency of 40 MHz, the DSP module contains a program memory (up to 64K of 16-bit words) and a data memory ($64K \times 16$), 4 communication registers, a PC bus controller, a selector for port and memory addresses, and some auxiliary circuits. One of the 16-bit communication registers is used for data input. Data comes to this port from the front-end board which registers the neutron intensity and the chopper state for each time channel. The RAM, placed on the board, serves mainly as the DSP working memory. Registered input data are recorded in RAM under the control of the DSP. The PC central processor can also refer to RAM as its working memory after setting DSP into the "HOLD" state. Before beginning the measurements the PC writes the DSP program to the program memory bank. While DSP is operating, the PC central processor can transfer data and other messages through one 16-bit and one 8-bit communication port. The PC can also reset DSP, put it into the "HOLD" mode and enable interruption and clearing of DSP. DSP, in its turn, is able to cause interruption of the PC and transfer data and messages through one 16-bit port. In addition, DSP can become a PC bus master and thus gain access to any part of the PC RAM.

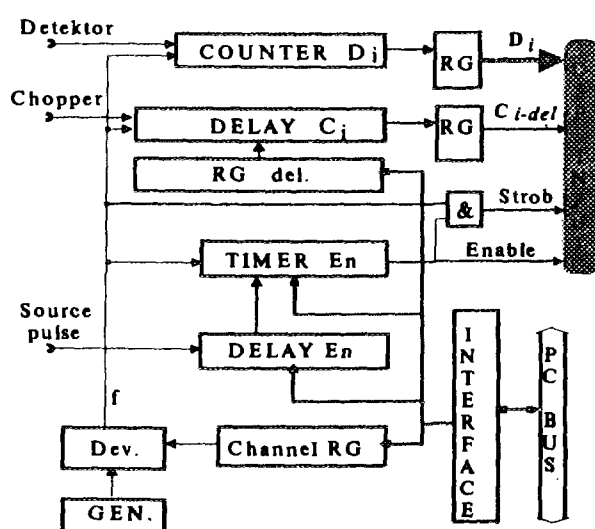


Fig.3. Schematic of the front-end board

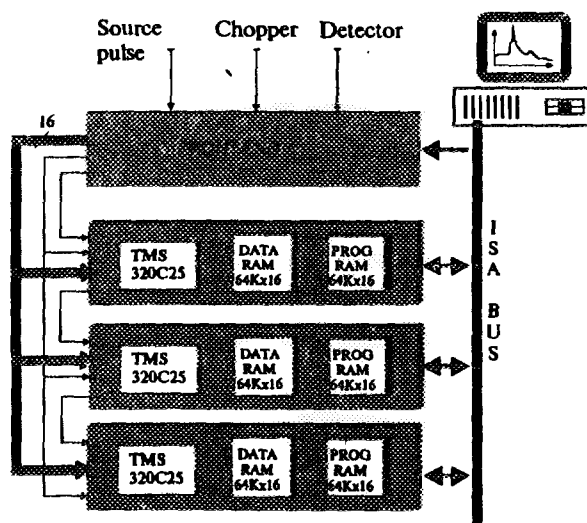


Fig.4. DSP-PC-Based RTOF-correlator for High Resolution Fourier Diffractometer

The software includes two parts: a PC-run control program and a DSP-run data receiving and processing program. The control program sets the parameters for an experiment, loads the program and constants to the DSP module, activates the entire system and reads out spectra after the completion of a cycle of measurements. The DSP program processes the

received data using the RTOF-correlator algorithm and accumulates the resulting low and high resolution spectra.

4. Test results

The tests conducted on the RTOF-correlator model resulted in obtaining spectra for 2700 channels with time channel widths of 2 ms at a reactor start-up strobe pulse width of 450

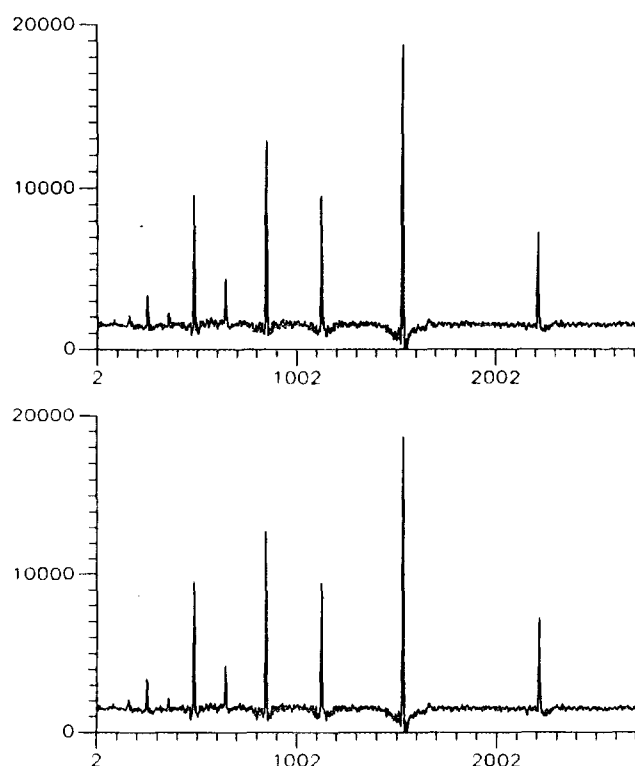


Fig.5. The comparison of diffraction patterns measured at HRFD with the parallel RTOF-correlator (upper) and DSP-based correlator (bottom)

ms (the number of channels is limited by the speed of the processor). The positive and negative spectrum components were simultaneously calculated by one DSP module. The comparison of analogous spectra obtained with the parallel RTOF-correlator under the same conditions and with similar approximations of the chopper modulating function and reactor pulse, shows complete correlation of the spectra within errors (Fig.5).

Among the merits of the proposed RTOF-correlator are its flexibility in programming the data processing algorithm, the possibility of performance capacity enhancement (i.e., the number of channels) by means of merely increasing number of DSP modules, and improvement in the resolution by taking into account the actual modulation function of the neutron flux intensity.

Further development of the system is connected with changing over to the TMS320C5X signal processors and using the VME standard.

The authors are thankful to V.L.Aksenov, A.M.Balagurov, V.A.Trunov, P.Hiismaki, A.Tiitta, V.A.Kudriashov, V.G.Muratov, V.V.Zhuravlev and V.G.Simkin for their interest in the work and their help.

References

- [1] V.L.Aksenov et al., JINR, E13-92-456, Dubna, 1992
- [2] P.Hiismaki, H.Poyry, A.Tiitta, -J. Appl.Cryst., 1988, 21, p.349-354
- [3] J.F.Colwell, S.R.Lehiman, P.H.Miller, NIM, 1969
- [4] V.L.Aksenov et al., JINR, P10-91-155, Dubna, 1991
- [5] V.A.Trunov et al., PINP, 1277, St.-Petersburg, 1987
- [6] I.Vizy, D.Zhigmond et al., JINR, P13-8711, Dubna, 1975
- [7] I.A.Gladkyh, N.Kroo et al., 14-9486, Dubna, 1976
- [8] D.Messing, JINR, P10-83-233, Dubna, 1983
- [9] TMS320C2X User's Guide
- [10] A.L.Menshikov et al., JINR, P10-92-182, Dubna, 1992



RU9710265

Спектрометрическое запоминающее устройство в стандарте VME

В.Е. Резаев

Объединенный институт ядерных исследований, Дубна

Введение

В Лаборатории нейтронной физики имени И.М.Франка Объединенного института ядерных исследований ведутся исследования в области физики твердого тела. В экспериментах используются точечные детекторы или системы из точечных детекторов, а также одно- и двухкоординатные позиционно-чувствительные детекторы (ПЧД). Детекторы регистрируют события - нейтроны, рассеянные на образце. Каждое такое событие характеризуется следующими параметрами: временем пролёта нейтрона от источника до регистрирующего детектора (номером временного канала, вырабатываемым генератором временного кода), кодом номера детектора или координат ПЧД (от кодировщика номера детектора или кода координат ПЧД). Таким образом кодирующие устройства формируют результирующий код, представляющий собой комбинацию номера временного канала и номера детектора (координат ПЧД) и являющийся адресом инкрементируемой ячейки памяти. В результате измерений в памяти компьютера формируется спектр распределения зарегистрированных нейтронов по времени пролёта и номеру детектора или позиционным группам на ПЧД. На рис.1 показана структура накопленного в таком режиме спектра.

Исходя из требований, предъявляемых развитием методики измерений, увеличением количества управляемых и контролируемых параметров, возрастанием количества и усложнением используемых в эксперименте детекторов в настоящий момент в ЛНФ ОИЯИ происходит переход от систем, построенных на базе персональных компьютеров типа IBM PC/AT-386 и аппаратуры САМАС, к системам автоматизации спектрометрических экспериментов, использующим аппаратуру в стандарте VME для накопления информации и управления спектрометрами, а также современные персональные компьютеры и рабочие станции, включенные в единую сеть ETHERNET /7/. В связи с этим возникла необходимость в разработке новой системы накопления спектрометрической информации.

Существует несколько способов организации систем накопления спектрометрической информации: по программному каналу или аппаратным способом с использованием специального модуля-инкрементатора/4/ или применяя инкрементную буферную память.

В основу организации системы накопления спектрометрической информации, применяемой в спектрометрах ЛНФ, положена аппаратная реализация процесса накопления спектрометрических данных в инкрементную буферную память. Привлекательность такого подхода, на наш взгляд, состоит в том, что в этом случае во время процесса накопления информации в инкрементную память шина VMEbus остаётся незанятой, что позволяет использовать её для управления ходом эксперимента, требования к организации системы существенно смягчаются (в частности, не требуется применения дополнительной шины VSBbus), процессор освобождён от рутинных операций, связанных с приёмом каждого кода события /7/.

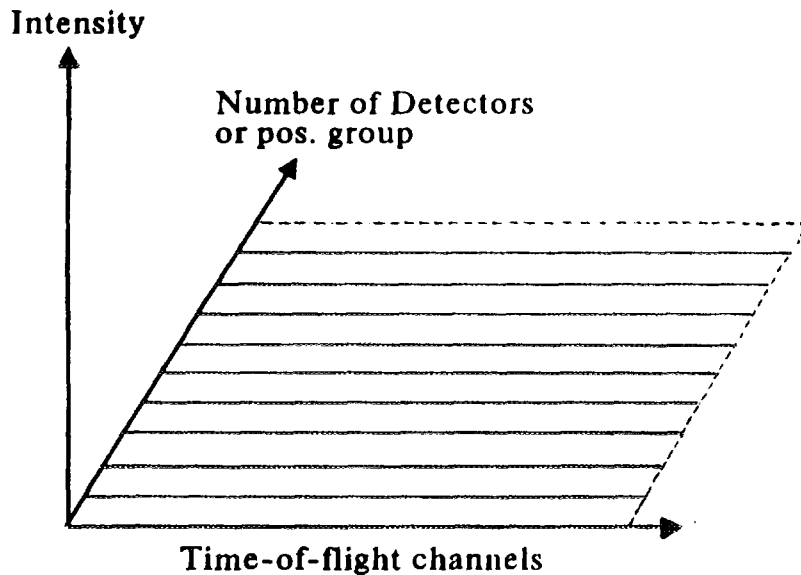


Рис.1. Структура информации в спектре.

Для реализации аппаратного накопления спектрометрической информации в спектрометрических системах, построенных на базе аппаратуры в стандарте VME, потребовалось разработать модуль инкрементной буферной памяти НММ (Histogram Memory Module), удовлетворяющий, в частности, следующим требованиям: частота регистрации событий - 1MHz, разрядность - 16бит, накопление спектрометрической информации.

информации, используя доступ к памяти через разъем на передней панели модуля, возможность доступа к памяти со стороны VMEbus одновременно с накоплением данных.

Описание модуля НММ

Модуль НММ представляет собой двухпортовое запоминающее устройство ёмкостью 2MB, выполненное в стандарте VME и позволяющее:

- принимать информацию (код события) через разъем на передней панели модуля, используя специально разработанный простой интерфейс Application Bus (APPbus), интерпретировать её как адрес ячейки массива памяти и выполнять по этому адресу операцию +1/+n, где $n \leq 255$;
- производить стандартные операции запись/чтение с содержимым ячейки памяти по адресу, получаемому по VMEbus.

Интерфейс APPbus, выходящий на разъем на передней панели модуля, включает в себя следующие сигналы:

- EA0-EA19: код события;
- ED0-ED7: используются в режиме накопления (+n);
- READY, DONE: управляющие сигналы.

Со стороны VMEbus модуль НММ представляет собой стандартное запоминающее устройство со следующими характеристиками:

- Ёмкость: 2MB ;
- DTB Slave A24; D16; D08(OE);
- AM codes: \$39, \$3D;
- Base Address selection;
- On board intelligent refresh method;
- VME cycle time (AS* --> DTACK*): < 300nsec;
- Double-Height Eurocard format (P1);
- Single-Width front panel.

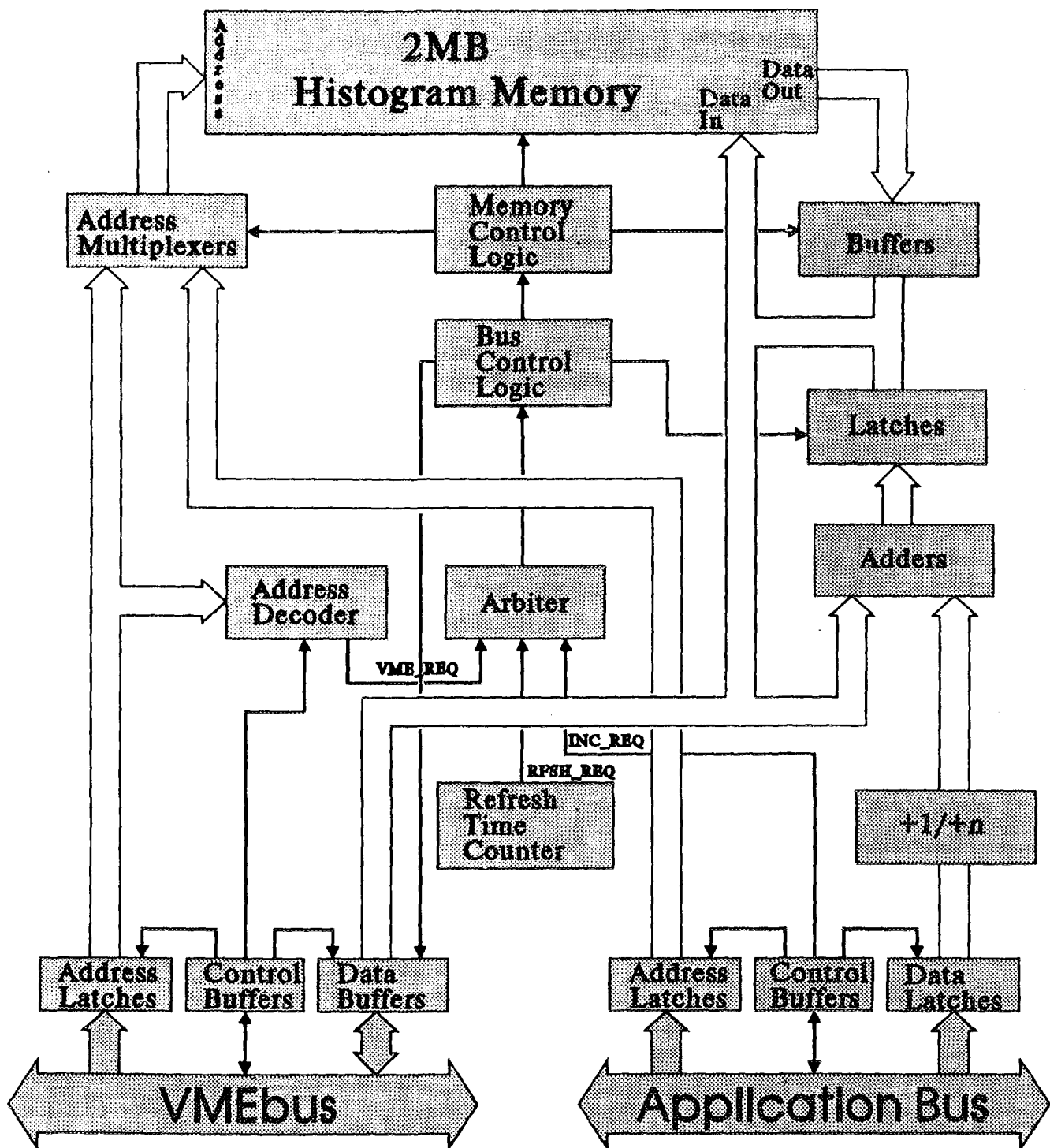


Рис.2.Блок-схема модуля НММ.

Блок-схема модуля НММ изображена на рис.2.

Функционирование модуля НММ

Операция +1/+n

Входная информация с переднего разъёма по APPbus принимается на микросхемы LS-типа с гистерезисом на входе (74LS240/244). Дополнительно все входные линии имеют возможность установки нагрузочных резисторов на +5В для обеспечения работы входных устройств с открытым коллектором.

Приём входной информации и обмен управляющими сигналами через передний разъём осуществляется следующим образом:

- внешнее устройство устанавливает данные и сообщает об этом, устанавливая сигнал READY;
- модуль НММ, используя сигнал READY, "защелкивает" данные и сообщает об окончании операции установкой сигнала DONE;
- внешнее устройство, обнаружив сигнал DONE, снимает сигнал READY;
- независимо от состояния сигнала READY, модуль НММ снимает сигнал DONE через ~40ns после его установки.

После получения сигнала READY с разъёма на передней панели, в модуле НММ вырабатывается сигнал INC_REQ, поступающий на арбитр. Предварительно модуль НММ путём установки переключателя внутри модуля "программируется" на выполнение операции (+1) или (+n, $n \leq 255$). 20-ти разрядный входной код (линии EA0-EA19) "защелкивается" в регистре и поступает в качестве адреса ячейки памяти на Address Multiplexer. После разрешения арбитром, с адресуемой ячейкой памяти осуществляется операция чтение-(+1/+n)-запись, все фазы которой тактируются частотой 25MHz. В случае операции (+n) 8-ми разрядный код данных (ED0-ED7) поступает на младшие 8 входов сумматора (микросхемы 74F283) и суммируется с содержимым ячейки памяти. Выходной сигнал APPbus DONE устанавливается после окончания операции. Время выполнения операции (+1/+n): APPbus cycle time (READY* --> DONE*): <350nsec;

Операции на шине VME

Со стороны шины VME модуль НММ представляет собой 16-разрядный VMEbus Slave Module, расположенный в Standard Address Space.

VMEbus интерфейсная логика модуля НММ дешифрует поступающий адрес A1-A23 (Address Decoder). Значение трёх старших адресных разрядов (A23, A22, A21) устанавливается с помощью микропереключателей внутри модуля, задавая базовый адрес в VME Memory Map. Модуль отвечает на AM-коды \$39- Standard Non-Privileged Data Access и \$3D - Standard Supervisory Data Access. При совпадении значений старших адресных разрядов и AM-кодов вырабатывается сигнал Board Select, адрес "защелкивается" (Address Latches), где и сохраняется до конца операции. В арбитр поступает сигнал VME_REQ и, если арбитр разрешает, то в соответствии со значением сигналов магистрали VMEbus WRITE, DS0, DS1 происходит операция чтение/запись.

Шина данных от массива памяти к VMEbus имеет ширину 16 разрядов, буферирована. В соответствии со значением сигналов VMEbus DS0*, DS1*, A01, LWORD* происходит выбор BYTE(0)-BYTE(1) внутри 4-байтной группы, адресуемой во время VMEbus операции. Используя эти четыре линии

VMEbus Master может получить доступ к BYTE(0), BYTE(1) или обоим байтам одновременно.

Адресная шина A01-A23 VMEbus внутри модуля НММ буферизируется (Address Latches) и используется как для дешифрации адреса, так и для генерации адреса массива памяти. Старшие адресные линии LA21-LA23 используются адресным дешифратором (Address Decoder) для определения: попадает ли VMEbus адрес в диапазон адресов, заданный дешифратором. Адресные линии LA01-LA20 направляются на адресный мультиплексор массива памяти (Address Multiplexer).

Управление памятью

В модуле НММ к массиву памяти могут поступить независимо друг от друга 3 вида обращений:

VME_REQ (операция чтения/записи по шине VMEbus),

INC_REQ (операция чтение-суммирование-запись по адресу с разъёма на передней панели),

RFSH_REQ (операция регенерации).

С помощью арбитра запросы на операцию с массивом памяти упорядочиваются, и возможные конфликты разрешаются.

Схема арбитра реализована на 3-х элементах 3И-ИЛИ-НЕ, два из которых соединены по схеме триггера. Запросы VME_REQ* и INC_REQ* - равноправны, запрос RFSH_REQ* имеет высший приоритет и обслуживается либо первым, либо сразу после окончания обслуживания запросов INC_REQ* или VME_REQ*. Управление памятью осуществляется с помощью Memory Control Logic, которая осуществляет выдачу управляющих сигналов массива памяти MRAS, MCAS0, MCAS1, MWRITE, MRFSH, а также сигналов окончания операции VME_RES и INC_RES.

В модуле НММ использованы микросхемы динамической памяти DRAM TMS4C1024-80N (HYB511000A-70), 18-pin, с внутренней организацией 1Mbit*1. DRAM устройства требуют для нормальной работы, чтобы операция регенерации осуществлялась над каждой из 512 строк по крайней мере один раз в 8 миллисекунд для сохранения информации. Поэтому каждые 15,6 микросекунды счетчик регенерации вырабатывает сигнал запроса RFSH_REQ. Микросхема TMS4C1024 позволяет осуществить несколько типов регенерации (подробнее в /1/). В модуле НММ реализован метод регенерации CAS-Before-RAS Refresh, заключающийся в опережающей установке в активное состояние сигнала CAS относительно сигнала RAS. Используя CAS-Before-RAS Refresh, Row-refresh адрес генерируется внутри микросхемы DRAM. Активный фронт сигнала CAS инкрементирует внутренний счетчик адреса регенерации. Сигнал RAS затем инициирует операцию регенерации.

Время, занятое регенерацией, составляет менее 1,5% полезного времени работы модуля НММ.

Заключение

Спектрометрическое запоминающее устройство НММ разработано для реализации аппаратного метода накопления спектрометрической информации в системах, построенных на базе аппаратуры в стандарте VME.

Модуль НММ представляет собой двухпортовое запоминающее устройство, позволяющее принимать информацию (код события) от кодирующих устройств через разъём на передней панели модуля, интерпретировать её как адрес ячейки памяти и выполнять по этому адресу операцию $+1/+n$, где $n \leq 255$. Одновременно память доступна по шине VMEbus для стандартных операций запись/чтение. Размер инкрементируемой ячейки памяти - 16 разрядов, ёмкость памяти - 2МВ.

Применение спектрометрического запоминающего устройства НММ позволяет увеличить пропускную способность системы накопления в целом, так в этом случае шина VMEbus незанята, процессор управляющей системы не отвлекается на приём каждого события и во время экспозиции одного спектра может заниматься предварительной обработкой данных, выводом её в графическом виде на графические устройства, передачу данных через сеть в архив и т.п.

Аппаратное накопление данных осуществляется в буферную память НММ, которая одновременно является частью обычной оперативной памяти для процессора системы VME. Таким образом для последующей обработки информации, передачи её по линии связи, записи на диск не требуется промежуточной передачи данных из буферной памяти в оперативную. Для считывания заполненных участков памяти не требуется приостанавливать процесс накопления информации (или переключаться на дополнительную буферную память) /5,6/.

Применение спектрометрического запоминающего устройства НММ также позволило:

- уменьшить "мёртвое" время аппаратуры накопления (по сравнению с существующими в лаборатории системами);
- получена возможность "просматривать" содержимое буферной памяти во время её заполнения (накопления спектра);
- по сравнению с предыдущими модулями памяти в стандарте CAMAC существенно увеличена ёмкость запоминающего устройства - до 2MByte;

Существующие альтернативные подходы [3,4] к процессу аппаратного накопления спектрометрической информации позволяют использовать стандартные блоки памяти в стандарте VME/VSB, что, однако, увеличивает стоимость тракта системы накопления.

Литература

1. MOS Memory Data Book, Texas Instruments, 1991.
2. The VMEbus Specifications, ANSI/IEEE STD1014-1987.
3. G.Herdam, H.Klessman, W.Wawer, J.Adebayo, G.David, F.Szatmari Time-of-Flight Data Acquisition Unit (DAU) for Neutron Scattering Experiments Specification of the Requirements and Design Concept. HMI-B, Berlin 1989.
4. VME-DHM Module CCD14, Technical Manual. Compcontrol Inc. 1992.
5. Вагов В.А. и др. - ОИЯИ, P13-89-131, Дубна, 1989.
6. Барабаш И.П. и др. - ОИЯИ, P10-90-88, Дубна, 1990.
7. Новожилов В.Е. и др. - ОИЯИ, P10-94-8, Дубна, 1994.



RU9710266

Multiparameter amplitude analysis with on-line compression using adaptive orthogonal transform

M. Morháč, V. Matoušek, I. Turzo

Institute of Physics,
Slovak Academy of Sciences,
Dúbravská cesta 9, 842 28 Bratislava,
Slovakia

August 25, 1994

Abstract

The algorithm of on - line multidimensional analysis with compression has been developed. The method has been tested to compress multiparameter experimental data.

1. Introduction

The experimental progress in the understanding of nuclear structure depends critically on the ability to analyse coincidence data in multidimensional space. The classical techniques developed to analyse 2-fold $\gamma - \gamma$ coincidences cannot be extended to higher-fold data. For example if we assume that the content of each channel is represented by one byte, the storage of a 5-dimensional histogram with 1024 channels per axis would require a total of 1024 terrabytes of memory, while the capacity of the commercially available hard disks is of the order of few gigabytes [1].

The classical method to reduce the memory requirements, which is frequently employed, is to store data in the form of lists of events [2]. In list mode, the memory needed to save complete data from an experiment is proportional to the total number of events and also number of bytes used to store each individual event. However to have a sufficient statistic in multidimensional space, the amount of data to be collected in one experiment can be well over 10^{10} events, which is about 10 gigaevents. This is also usually not available storage capacity.

The method proposed in the paper considerably decreases the memory needed to store multidimensional histograms. It is based on fast orthogonal adaptive transform [3].

2. Fast algorithm of on-line multidimensional amplitude analysis and compression

The basic aim of the method is to transform multidimensional spectrum (histogram) into another multidimensional space of reduced size while distorting the original shape of spectrum as little as possible. The basic question is how to carry out the multidimensional transform without having stored the original spectrum in the memory. The size of original multidimensional spectrum is frequently beyond the capacity of computers memory and the storage such a spectrum could be impossible. We have to employ different approach.

Analysed data from nuclear experiments are coming in time as a sequence of events. From the point of view of a spectrum each event is represented by multidimensional Kronecker delta function. This function has the value 1 in one point of the multidimensional space and 0 in the other points. Thus the spectrum is in fact the sum of such delta functions.

Without loss of generality we shall consider one dimensional original spectrum stored in vector x . From given above considerations it follows that

$$x = \sum_{i=1}^E \delta(p_i), \quad (1)$$

where p is position of the unit in i -th event (e.g., the value from a converter) and E is number of events in the experiment. As the derived adaptive transform method is linear the transformed spectrum is

$$y = Tx = T \sum_{i=1}^E \delta(p_i) = \sum_{i=1}^E T\delta(p_i), \quad (2)$$

where T is adaptive transform matrix. It means that the events coming in time can be transformed separately. The contribution of each event is then added to the vector y . However we shall save only a part of elements of vector y . Therefore we add the contributions only to these saved elements. The other elements of vector y we supposed to be equal zero.

We propose the algorithm of analysis and compression of multidimensional event. Let the n -dimensional spectrum has the sizes N_1, N_2, \dots, N_n , where

$$N_i = 2^{k_i} \quad ; i \in \{1, \dots, n\}. \quad (3)$$

Let the sizes of compressed space be R_1, R_2, \dots, R_n , where

$$R_i = 2^{Q_i} \leq N_i \quad ; i \in \{1, \dots, n\}. \quad (4)$$

Using (3), (4) we define

$$p_i = k_i - Q_i \quad ; i \in \{1, \dots, n\}. \quad (5)$$

For multidimensional event with coordinates j_1, j_2, \dots, j_n , i.e., $\delta(j_1, j_2, \dots, j_n)$ we proceed as follows:

- Calculate

$$d = \prod_{i=1}^n t_i, \quad (6)$$

where the product of the transform coefficients of transform in one dimension is

$$t_i = \prod_{l=1}^{p_i-1} i a_{c_i, l}. \quad (7)$$

In (7) i denotes transform, l denotes iterating step in the i -th transform, $i a_{c_i, l}$ is transform coefficient in i -th transform and in l -th iteration step with index

$$c_l = \left[\frac{j_i}{2^l} \right], \quad (8)$$

where $[]$ denotes integer part.

- Then add the value d to the element of compressed n -dimensional array "s" with indices

$$m_i = \frac{j_i}{2^{p_i}} \quad ; m_i \in \{0, \dots, R_i - 1\} \quad ; i \in \{1, \dots, n\}, \quad (9)$$

i.e.,

$$s(m_1, m_2, \dots, m_n) = s(m_1, m_2, \dots, m_n) + d. \quad (10)$$

In general using this method in n-dimensional analysis, the transformation of one event requires

$$\sum_{i=1}^n (k_i - Q_i) - 1$$

multiplications and one addition only. Obviously processing of an event in such a way requires minimal number of operation and can be carried out in real time without substantial increasing the dead time of acquisition system.

3. Results

Employing the algorithm presented in the chapter 2 we have compressed nuclear data. The properties of the derived on-line compression method were studied using the data from the experiment described in [4]. The events had six parameters with the resolution 4k each. We have chosen an interesting part of the three dimensional space with the length 256 channels for each dimension. The storage of such a spectrum would require $256 \times 256 \times 256 \times 2$ (bytes per channel) = 32 MB memory. This was however beyond the capacity of our computer (we have used PC with 4 MB of memory). From experimental event data using the on-line procedure we have compressed the spectrum to three dimensional array with the dimensions $64 \times 64 \times 64 \times 4$ (floating point number) = 1 MB. In the Fig.1 we give the picture of two dimensional spectrum decompressed from our compressed spectrum, where all the channels along one dimension were summed. The same spectrum obtained directly from experimental data without compression is given in Fig.2. Next couple of spectra, now obtained with integration along the another dimension are shown in the Figs. 3, 4. Good fidelity of two dimensional decompressed spectra (Fig.1, Fig.3) can be observed. The decompressed spectra are smoother than original spectra.

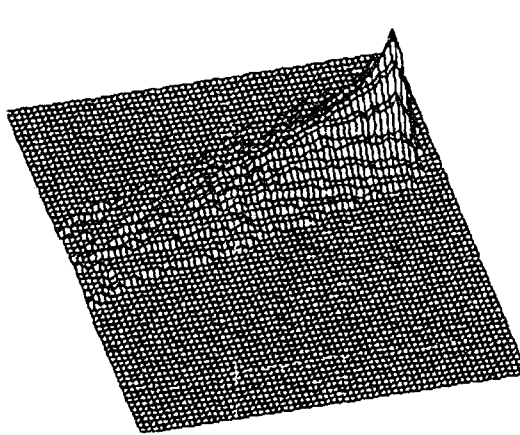


Fig. 1.

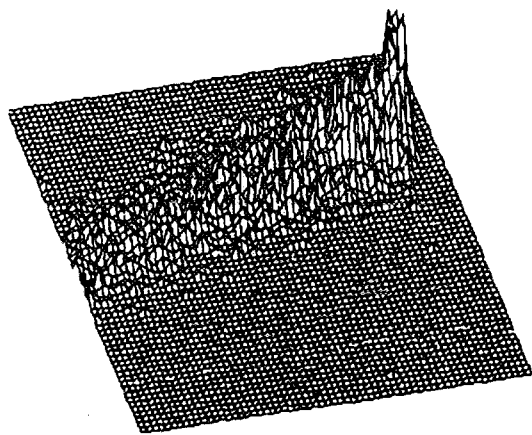


Fig. 2.

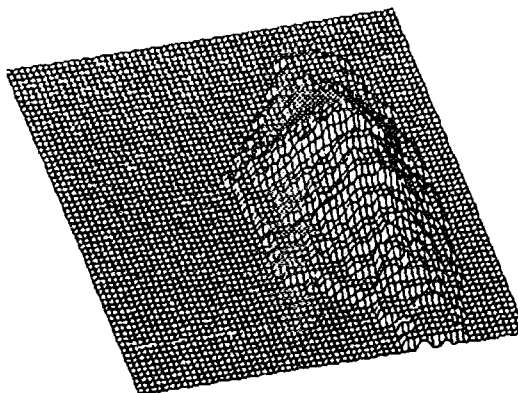


Fig. 3.

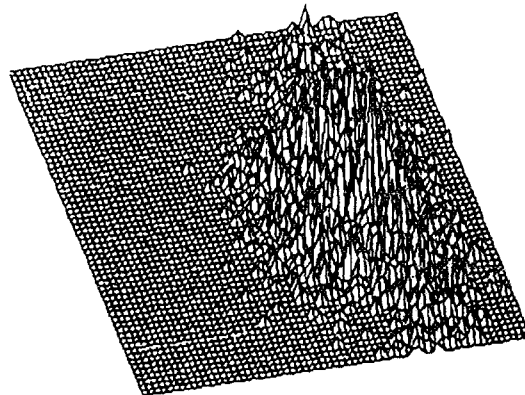


Fig. 4.

4. Summary

The paper describes new method of multiparameter amplitude analysis with simultaneous compression. The on-line compression method is optimized so that only minimal number of operations is needed to compress one multidimensional event. The compression method is based on fast adaptive orthogonal transform of Cooley - Tukey's type, that was described in [3]. The transform matrix for each dimension is adapted to the related reference one dimensional spectrum. The reference spectra can be either measured in pre-experimental run or determined in any other way. In our case we have used integral one dimensional spectra.

Increasing compression ratio increases also the distortion of the decompressed spectra. The distortion in the examples presented is reflected in the smoothing effect of decompressed spectra. In some applications it can be even positive phenomenon. The shape and position of dominant components in the spectra are preserved. The experimenter can define a compression ratio for each dimension according to the type of measurement and parameters of used computer. The compressed data are stored in the memory statically. This gives a great flexibility in handling with the data. One can reconstruct (decompress) only a part of compressed data, e.g., by creating slices from original spectra. The main contribution of the on-line compression method presented consists in giving the possibility to measure nuclear data with dimensions beyond the memory capacity and without imposing a great computational burden on the used computer. The method has proven to work well in real applications.

References

- [1] S. Flibotte et al., Multidimensional analysis of high resolution g-ray data, Nucl. Instr. and Meth. **A320** (1992) pp. 325-330.
- [2] B. Soucek, Minicomputers in Data Processing and Simulation (Wiley- Interscience, John Wiley & Sons, Inc., New York, London, Sydney, Toronto, 1972).
- [3] V. Matousek, M. Morhac, Nuclear data compression using fast orthogonal oject based transform. Proc. Intern. Conf. Image Processing and Neural Networks '93, Liptovsky Mikulas, Slovakia, 1993.
- [4] S. Hlavac, P. Oblozinsky, I. Turzo, L. Dostal, H. Vonach, A. Pavlik, S.P. Simakov, Study of g radiation from interaction of 14.7 MeV neutrons with Pb. Presented at Conf. on Nuclear Data for Science and Technology, Gatlinburg, TN, USA, May 9 - 13, 1994.

RUSSIAN ANTI-VIRUS TECHNOLOGY VERSUS WESTERN TOOLS

Dmitry Yu. Mostovoy, Yury P. Lyashchenko

*DialogueScience, Inc.,
ul. Vavilova 40, GSP-1, 117967, Moscow, Russia
E-mail: dmost@dials.msk.su , lyu@dials.msk.su*

Abstract

A method of protecting against computer viruses is described that is based not the traditional accumulation of data about potentially infinite number of new viruses but on storing information on a finite number of existing files in a computer. This method, by directly addressing BIOS for gaining access to the hard disk, guarantees reliable protection against virus attacks.

INTRODUCTION

The anti-virus packages popular in the West like Microsoft Anti-Virus and Norton Anti-Virus resemble each other in composition, functions, and capabilities. They are polyphages with an external database containing information about three to four thousand known viruses. They may additionally include a resident sentry and a simple disk inspector to check the CRC of files.

Why is this particular trend dominating the design of anti-virus programs in the West? A few years back in the early stages of the development of anti-virus tools, this strategy proved quite effective and thus gained a strong foothold in the anti-virus market. Nonetheless, a few viruses like Dark Avenger, Black Friday, Falling Letters, etc, whose names clearly suggest their malicious activities, caused havoc all over the computer world.

But now the virus situation has changed radically. Thanks to modern infection recovery software tools and to the user's deeper knowledge, no computer virus is today allowed to flare up on a world-wide scale; some virus or a group of related viruses may proliferate within the confines of an institution, city, region or a country. Such local epidemics are as a rule easily diagnosed and suppressed immediately. But sustained intellectual efforts are needed to fight against these epidemics which cause immense financial losses. Conventional anti-virus utilities, even if they are capable of recognizing a large number of various types of viruses, lose their efficacy and become less reliable under the present virus situation. At present, anti-virus programs are available for about 4000 concrete infectors but computer viruses are being released almost every other day. A user, when the 4001-st virus invades his computer, is helpless to combat the saboteur with the conventional software aids.

Furthermore, the policy "to every viral stain, a concrete antivirus body" is generally expected to be slated to meet a dead end, certainly not because of the drawbacks inherent in the design of anti-virus programs. An anti-virus program may contain the description of viruses as an internal module or as an external database which it references. In either case, anti-virus program is size limited, whereas viruses may grow in number unboundedly.

Side by side with the ever-increasing number of simple infectors (the so-called student viruses), complex stealth viruses based on elegant hiding algorithms are also designed and proliferated. Only an anti-virus software that goes deep into the operating system to the BIOS level can detect them.

Additionally, polymorphic viruses do not contain any characteristic blocks in their codes, and therefore their detection requires the construction of complicated recognition algorithms based on processor emulation. But such algorithms will perceptibly slow down the operation of anti-virus programs.

In Russia in particular and in former Soviet republics in general, computer virus is really a national calamity from intellectual, moral, social and material standpoints and has assumed formidable dimensions. Intellectually it is a defeat because it is a challenge to conscientious programmers, morally it is a misfortune because the State has so far not safeguarded its citizens against this evil by adequate legislation, socially it is a vice because the society has not provided enough opportunities for the young talented programmers to tap their skill and knowledge to useful purposes and materially it is a disaster for the havoc it causes to national economy. Well, these factors together with easy accessibility to modern computing systems, all contributed to the so-called Russian virus explosion. Its stray splinters can be tracked in the West, too. This naturally stimulated intensive search for new methods and techniques to counteract the hazard.

VIRUS DETECTION METHODS

Therefore our company diverted our efforts in searching an entirely new anti-virus technology for the problem: the result was the birth of Advanced Diskinfoscope (ADinf) - a powerful diagnostic tool for x-raying computer disks and diskettes at BIOS level. Organizing a compact database containing information about finite number of files in each particular drive is evidently a much better reliable prevention method than storing data on all potentially infinite number of viruses.

ADinf is a breakthrough in anti-virus technology as it deploys, unlike in the conventional packages mentioned above, a basically new strategy - its data integrity checker searches for viruses by keeping a close watch over the changes taking place in a disk. Moreover, it scans a disk, reading the data, sector by sector, directly via BIOS without the assistance of the operating system. Such a search reveals every virus known or unknown, polymorphic or stealth.

At the first start, ADinf retrieves full information on the master boot record of a disk, boot sectors of logical drives, addresses of bad clusters, directory tree structure, file information including size, time and date of creation, and CRC. In subsequent sessions, ADinf checks the integrity of these data by collation and reports all changes that have taken place since the last session, paying special attention to those changes which it suspects to be the result of virus activity. On detecting such changes, it immediately generates an on-screen warning message. Any change in file size or CRC without any

alteration in file creation time and date, or change in file creation time showing a figure greater than 58 in seconds or a file date greater than the current date are expertized by ADinf as induced by virus activity. ADinf can keep strict watch over a user-specified list of UNCHANGEABLE files and warns about any change, however minor it may be, in such files. Its scan report gives full information about newly created and deleted subdirectories, newly created, deleted, moved, renamed files, newly appeared bad clusters, integrity of boot sectors and other vital areas. It locks up all sites easily liable to virus injection.

- This philosophy has been partly realized by several software designers, for example, McAfee Associates in Sentry, Symantec Corporation in Norton Anti-Virus, Central Point Corporation in Microsoft Anti-Virus and others. But they all have a common demerit in that they do not utilize these checkers to full capacity. They detect only the changes in files but fail to notice such operations as the creation of new files, renaming of files, movement of files from one directory to another, creation and deletion of directories, changes in boot sectors and the master boot record. Virulent viruses may be designed and are being designed precisely on these operations. Second, these anti-virus packages keep control over a fixed set of files. If certain files are deleted or new files are created, the disk information tables in them need to be recompiled - and this is rather inconvenient to the user. The most important drawback is that they check a disk by reading through the operating system. Though there is an "anti-stealth" option in them, modern stealth viruses hiding at Int 13h or disk controller, easily dodge detection by these packages.

Such a rigorous disk control in ADinf should seemingly be time-consuming and inconvenient to the user. But ADinf is surprisingly fast as it reads the sectors, accessing a disk via BIOS without the assistance of DOS, thereby leaving no peepholes for stealth viruses. In just 30 seconds it scans a 200Mb disk in a 486/33 system, while Dr Solomon requires 45 seconds and Microsoft Anti-Virus three minutes to complete its checks. The Diskinfo tables, which ADinf creates for its internal use, take about 40Kb disk space. ADinf provides a comprehensive system of menu options to meet the exacting preferences and taste of any connoisseur user. It accepts a user-defined list of filename extensions of files to be taken under its control, skips the directories, from its checks when told, where files are subject to constant changes. Its originality and indispensability are readily apparent in its customizability, instant checks, expertise and high prediction reliability.

ADinf program incorporates a unique algorithm that has no parallel in any other anti-virus tool, namely, the routine which searches for stealth viruses utilizing their dodging capabilities. Strangely, the hiding tactics is the weakest link in the dodging code that betrays a stealth virus. It suffices to compare the file information generated by DOS with the actual disk information: a discrepancy between them confidently predicts the presence of stealth stains in a machine. In other words, the ability of a virus to mask itself unmasks its presence! Thus, generation of disk information at the BIOS level opened a way for designing such comparison algorithms.

ADinf detects infection in time and thus assists in localizing virus epidemics. What, if a virus, even a boot infector, infiltrates a computer? ADinf instantly reinstates the original boot sector from the image it holds in its tables and thus recovers a system from disaster. This operation is conducted at the BIOS level followed by immediate system rebooting in order to prevent reinfection. If it is a file infector, ADinf Cure Module - the curing companion to ADinf - easily restores the file to its original shape in toto.

VIRUS REMOVAL TECHNIQUES

ADinf Cure Module easily recovers infected files, without knowing the format and behavior of a virus, i.e., it is a universal tool designed to combat the strategies and tactics deployed by modern file infectors and thus to aid in arresting local epidemics.

The principle underlying ADinf Cure Module is simple and straightforward. Despite the multifarious diversity of viruses and their modifications, paradoxically, there are only a few paths by which a virus is injected into a file. This is the basic strategy of ADinf Cure Module. In its daily scanning sessions, ADinf informs ADinf Cure Module about the changes, if any, in a file since the last check. ADinf Cure Module immediately scrutinizes these files and stores their new information in its tables for restoring them after a virus attack. When a virus attaches itself to a file, ADinf at once detects the changes and calls for the Cure Module which tries to reinstate the original shape of an infected file by comparing its status before and after an attack. If ADinf Cure Module reports that a file has been restored successfully, it really means what it says.

Thus, an infected file is recovered by reinstating its original status from the image of its structure stored in ADinf Cure tables. Consequently, a knowledge as to which virus infected the file is not mandatory. Tables containing the necessary information for recovering files take about 100 to 300Kb on a 200Mb drive.

ADinf Cure Module cannot cure a file for each and every virus but it does cure a file for almost all viruses. The restoration performance is 97%, even for as-yet-unknown viruses. ADinf withstood this performance percentage in an efficacy test conducted with a large collection of files infected with various viruses widespread in Eastern Europe. This performance is undoubtedly quite impressive. Of course, no package can claim 100% efficacy.

Disk inspectors are also not a panacea against computer viruses. Their main demerit is the need for running them daily so as to keep a record of the changes taking place in a disk. Although such a run takes about 30 - 40 seconds per day, majority of computer users prefer to follow the proverb "peasant crosses himself only when it thunders", and begin to look for anti-virus problems only when his computer goes mad. In such cases, disk inspectors are helpless. But, if the user is far-sighted, then a disk inspector with a curing module will provide ample safety of his machine.

OTHER TOOLS

Advanced Diskinfoscope, ADinf, and its curing module form the core of the DialogueScience Anti-Virus Kit designed on the technology described above. Additionally, this Anti-Virus Kit also includes the polyphage Virus Hunter, which is extremely popular in Russia under the name Aidstest. Virus Hunter recognizes and eradicates the viruses that are widespread in Russia, and is upgraded almost every other week. Therefore, it is an essential tool as a preliminary check for the software products from Russia. Since, among the Russian viruses there are also unconventional infectors, Virus Hunter is unavoidable even if the user has a universal tool like ADinf Cure Module at his disposal. The only drawback is that Virus Hunter cannot recognize complex polymorphic viruses.

The latest add-on to the DialogueScience Anti-Virus Kit is a new-generation polyphage Dr.Web. On the whole it functions very much like the traditional polyphage Virus Hunter, namely, it recognizes those viruses that are known to it by certain characteristic blocks in the virus code. But, what is new in its technology is that owing to the built-in emulator Dr.Web tracks down to the virus, even if the virus is camouflaged by encoders, compressors and vaccines. Consequently, it easily detects and kills complex polymorphic viruses. And built-in heuristic scanner makes Dr.Web possible to detect unknown viruses in 80% probability.

The DialogueScience Anti-Virus Kit also includes a resident sentry. But it radically differs from the sentries in western anti-virus utilities in that it is supported by a special card. Owing to this hardware support, the DialogueScience Anti-Virus Kit guarantees almost cent percent data integrity, security and protection against any virus. It is the cheapest hard-&-software anti-virus protection system available in the world's computer market today.

CONCLUSIONS

The DialogueScience Anti-Virus Kit is dominating in Russia and former Soviet republics: registered users of the Kit or of any components run to several thousands, while unregistered users count in millions due to software piracy prevalent in this region.

REFERENCES

1. N. N. Bezrukov, Computer viruses, Nauka, Moscow, 1991 (in Russian).
2. N. N. Bezrukov, Handbook on Computer Virology. Ukrainskaya Sovetskaya Entsiklopediya, Kiev, 1991 (in Russian).
3. D. Yu. Mostovoy, Modern technologies of defence against viruses. MirPK, No. 8, 1993, Moscow (in Russian).
4. D. Yu. Mostovoy, A Method of Detecting and Eradicating Known and Unknown Viruses. Security and Control of Information Technology in Society / R. Sizer et al. (Editors). Elsevier Science B.V. (North-Holland), 1994.
5. DialogueScience Anti-Virus Kit, User's Guide, Moscow, 1993.

The Status of Computing and Means of Local and External Networking at JINR

A.T.Dorokhin, V.P.Shirikov

JINR, Dubna, Russia

Abstract

JINR (Joint Institute for Nuclear Research) is the international scientific organization (for 18 Member States in Europe and Asia), dealing with experimental and theoretical research in the field of low and high energy physics, condensed matter physics including high temperature superconductivity, etc; JINR specialists together with Western ones are deeply involved, for example, in activity of collaborations for such big experiments as DELPHI, OBELIX, SMC, ATLAS based on LEP and LHC accelerators use. The effectivity and results of R&D in all these fields depend very much on the state of computer support, also on the state of direct human & computer connectivity (local and global).

The goal of this report is to represent a view of the current state/trends of computing and networking at JINR (of the role of mainframes such as CONVEX + VAX and IBM - like clusters, PCs and stations or servers of SUN/DEC/HP - type connected to JINET/ETHERNET/ARCNET networks) and of the connectivity with global networks such as X.25 IASNET, RELCOM/EUnet, HEPnet/INTERNET via X.25/TCP/DECNET/UUCP protocols and channels with data rate up to 64 kbps just now.

The authors of this report (review) are the representatives of the team of JINR specialists responsible for local networking and means of external communications.

1. Introduction

JINR is an international research centre in the town of Dubna, founded with the purpose of joining the efforts and the scientific and material potential of the physical institutes of Member States (now 18: some Republics of Eastern Europe and Asia) and observers. Under the supervision of JINR, an Educational - Scientific Centre (ESC) is functioning for senior undergraduate students from Moscow State University (MSU) and some other Moscow physical institutes; on the base of ESC an international university is being organized. JINR [1] consists of 7 main R&D divisions such as:

LTPh (Laboratory of Theoretical Physics) for theoretical studies in quantum theory of field and elementary particles, theory of atomic nuclei and nuclear reaction, relativistic nuclear physics, theory of condensed matter, problems of high-temperature superconductivity;

LHE (Laboratory of High Energies), which offers to users relativistic nuclear beams on the base of use of Synchrophasotron and Superconducting strong-focusing accelerator of nuclei (Nuclotron, for use of heavy - ion beams, polarised and aligned deuteron beams and secondary beams);

LPP (Laboratory of Particle Physics), involved in investigations and projects with use of setups such as SVD (Spectrometer with Vertex Detector), MIS (Magnetic Spark Spectrometer), EXCHARM and CTN (Complex of Tagged Neutrinos) in the beams of U-70 accelerator in IHEP (Protvino, Russia), SMC, CMS, ATLAS in cooperation with CERN, etc.;

LNP (Laboratory of Nuclear Problems), which has the Phasotron (680 MeV) as a source providing the highest available meson beam intensity in the JINR Member States and where a sophisticated system of channels has been developed for experiments with pions, muons, neutrons and protons in the fields of nuclear spectroscopy, studies of mu-catalysis, investigation of rare particle decays, of condensed matter by SR method, medico-biological studies, etc. LNP is also involved in activity of experimental collaborations for researches in intermediate-energy physics with use of setups at CERN, Germany, etc.;

LNR (Laboratory of Nuclear Reactions), one of the leading centres in the physics of heavy ions of low and intermediate energies; works are also in the fields of accelerating techniques, of studies of reactions between complex nuclei within a wide range of energies, of synthesis of new elements and isotopes and investigation of their radioactive and chemical properties, of studies of the interaction of heavy ions with matter, of applied research. LNR has own local accelerators such as U-400, U-400M, U-200 and setups ("Vasilisa", FOBOS, etc) and is involved in activity of international collaborations. The planned LNR heavy-ion storage complex K4-K10 represents a significant interest for these collaborations because it is intended for obtaining precision beams of stable and exotic nuclei;

LNPh (Laboratory of Neutron Physics), which scientific activities focus in the main on two issues: the condensed matter physics and nuclear physics. LNPh has the high-flux IBR-2 reactor as the base experimental facility, a lot of setups and reputation of active member of World community of neutron physics;

LCTA (Laboratory of Computer Techniques and Automation), which main task consists in providing computer, network, algorithmic and software support for experimental and theoretical research under way at JINR. The priority fields of LCTA scientific and technical activities are:

- Development of the informational and computing infrastructure of JINR (means of computing and communications techniques, mathematical and informational software of computer complexes);

- Investigations of nonlinear problems of computational and mathematical physics for developing methods, algorithms and then creating databases, methods and program packages for experimental and theoretical calculations being performed at JINR.

There is no need to explain how difficult is to give all-round satisfaction to the requirements for computing and networking of such labs as mentioned above, especially recalling their "world-wide" R&D participation (which demands of the certain level of software and computer power compatibility, computer and database/information systems direct and effective connectivity) and the simple fact that, for example, one HEP collaboration such as DELPHI has a deal with some Tbytes/year of different sorts of data (raw, Monte-Carlo, DST...) and requires for yearly computer power which is equivalent to CPU time of hundreds of old IBM 370/168.

2. Computer support and local connectivity

As to computer power, some years ago LCTA, with its mainframes, was practically the only local source of off-line data handling computer power at JINR. Now, when the powerful numerous PCs and workstations win as cheap CPUs, the central computer complex at LCTA becomes more and more to be the front-end complex for pools of PCs and WSs, providing the NFS, e-mail, News, local ftp, remote ftp/telnet/X.25 and database/informational services. The main part of this complex is controlled by VM/CMS (for IBM-like cluster), VMS (for VAX8350/8800/8530 cluster) and Unix operating systems (for CONVEX120/220, SUN, one of mVAX2). Its connectivity to hundreds of PCs and dozens of WS (mainly SUN) in every lab is realized through two types of local networks: old slow "terminal-oriented" JINET (token passing protocol, nodes with RS-232C interfaces to abonents such as dumb terminals or PCs, coaxial 12 km cable) and fiber&coaxial ETHERNET, which is parallel (and bridged to JINET) and connects all buildings of JINR laboratories, also has bridges to Novell-jike subnetworks (for example, in Administration and Management Board buildings). Both (JINET and ETHERNET) have the dial-up or dedicated line entries for remote abonents in town. LCTA complex and local network diagram are demonstrated by figures 1,2.

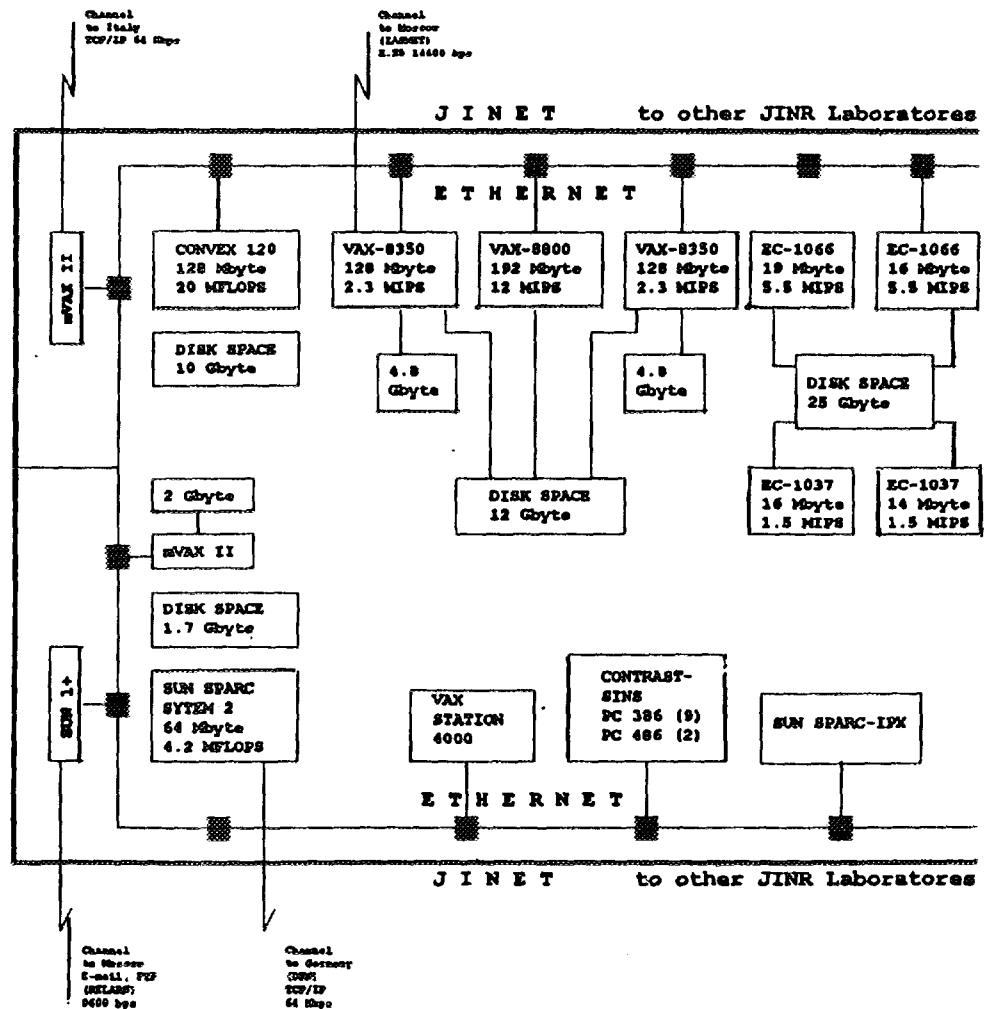


Fig.1. LCTA central computer complex

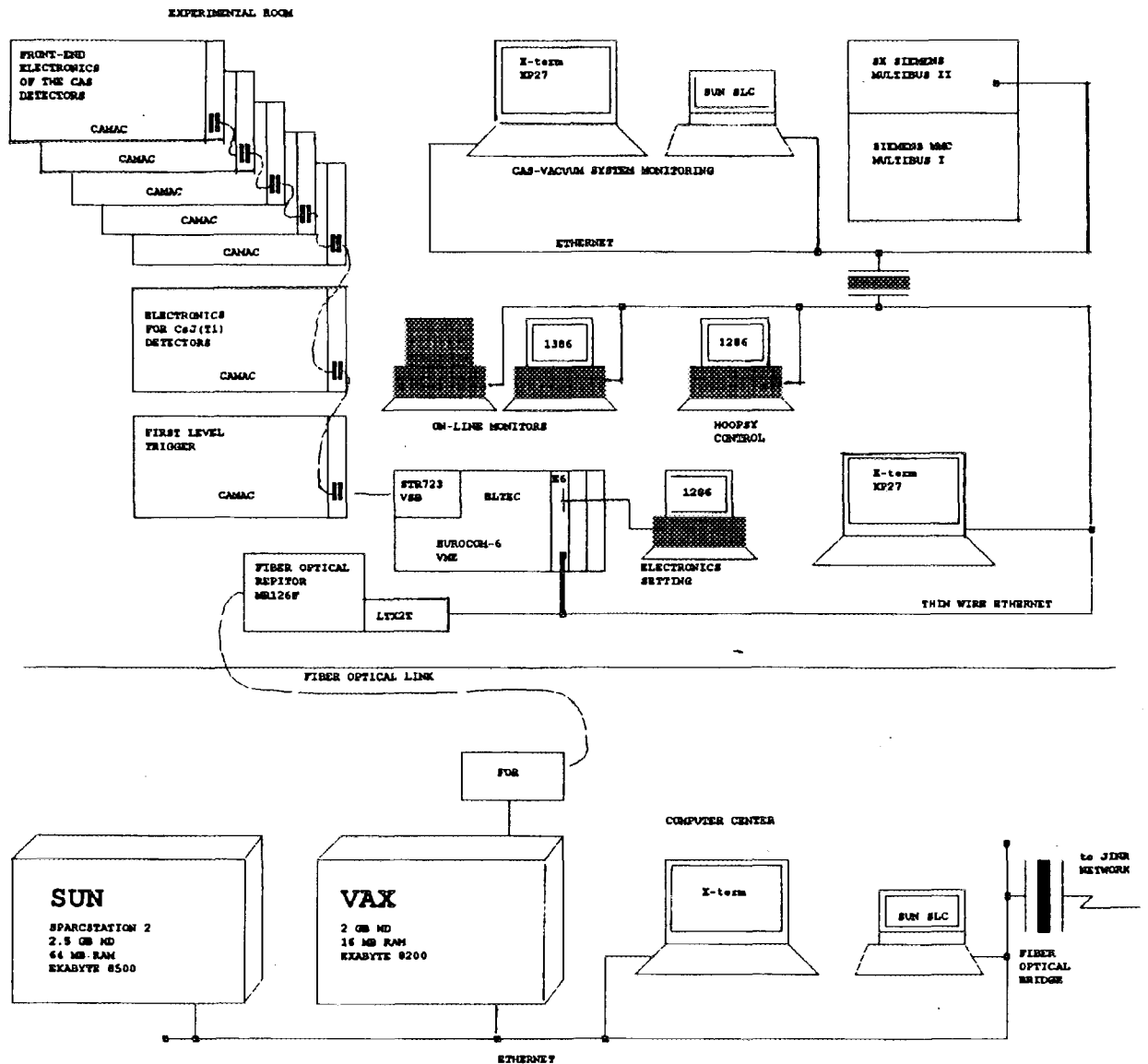


Fig.3. The FOBOS control and data acquisition system

In spite of the presence of central complex and PC/WS pools in Laboratories, their power is not enough for JINR computation requirements. People try to economise the usage of mainframes and stations, to distribute the computing over ETHERNET. The significant interest is now to software systems such as NQS (Network Queueing System, origin-Sterling Software Incorporated) as a mean to submit batch jobs to local and remote Unix and VMS machines, and CONDOR (origin-Computer Science Department of the University of Wisconsin-Madison) to run jobs in pools of Unix stations, using temporary idle stations and check-point apparatus. Because this software exists in public domains and it is free-the first attempts to use it are realized at JINR.

The JINR network is also used for the access to local databases such as INIS (the international System handling information on all branches of the peaceful use of nuclear science and technology) and PPDS (database on particle physics, which provides broad facilities for biblio-

graphical information in the field of elementary particle physics and relativistic nuclear physics).

There are 4 main local ftp-free (for JINR users) software servers accessible through JINR network and based on the use of SUN, mVAX and CONVEX computers. Besides this, the users may use a special mailserver to get the software elements.

3. External connections

Of course, the local networking could be not enough for JINR computing and database/information support needs, and realization of external connections has been one of main tasks: connections with Member States partners and other collaborators or information sources in the world. Some information about this field of JINR activity was partly published in [2]. As it was mentioned in this report [2], the history of internal computer communications between research institutes inside the Eastern countries, Member States of JINR, and their communications with West is much shorter than Western global networking history, and our achievements in this area are much more modest for many reasons (financial, political, technical).

As to JINR, its first external computer link to public network IASNET created by Institute of Applied Systems (in Moscow) as a communication centre (which had 9.6 kbps links to X.25 nodes in Austria and Finland, and through them-to world-wide HEPnet, for example, providing X.25/X.28/X.29 protocols and in principle such incapsulations as "DECNET over X.25" and such applications as RJE for remote logins, e-phone.etc.) started to be used in 1988. This service is still used at JINR (now-with 19.2 kbps, through PSI in VMS of VAX8350), especially for interactive needs. Through IASNET and STN International System, the first sessions of external databases store access were done at JINR which is interested in use of such STN databases as INSPEC, COMPENDEX, MATHDI, COMPUSCIENCE, PHYS, INIS. When commercial RELCOM network appeared later (with communication centre in Moscow, in Kurchatov Institute of Atomic Energy: KIAE) as a gateway to EUnet/Internet, it became very popular for UUCP/TCP-based facilities. JINR became a member of RARE and RELARN (Russian association of scientific and educational users of networks, and RELCOM first of all) and started to use TCP/IP and UUCP services via links to RELCOM again with the data rate in limits of 19.2 kbps.

RELCOM was rather expensive for academic, research and educational community; moreover, the links data rate was not enough to realize effectively the information transport (for example, for samples of data from experimental setups such as DELPHI or elements of free software libraries from file servers such as isasis01 and info.cern.ch at CERN or ftp.ncsa.uiuc.edu in National Centre for Supercomputer Applications). This is why the members of RELARN, and JINR in particular, started to realize the means of connectivity between themselves and with West, which could be independent on commercial network organizations and could support the data rates not less than 64 kbps/link; Russian Academy of Science as RELARN "umbrella" initialized a search for funding for new means (from resources of Ministry of Science, Committee of Higher Education and international funds: e.g. ISF). This permitted to start in 1993 the creation of the IP-oriented Moscow Backbone Complex (BDTN) on the base of microwave line and fiber-optic line from the north-west to the south-west of Moscow with endpoints in Moscow PTT-station M9 near ISR (Institute of Space Research) and PTT satellite centre near KIAE. Some nodes of this BDTN got

on-line access to some databases through W3 from DESY (ZEUS and HERMES experiments), IN2P3, KVI, NIKHEF, RAL. As an example, the access to RPP database (of Full Listings from the Review of Particle Properties, server muse.lbl.gov) to query by paper, particle, mass range, quantum number, or detectors and to select specific properties or classes of properties like masses or decay parameters - is of significant interest (see CNL No.211/212, article of Gary Wagman from Lawrence Berkeley Laboratory). The W3 software elements such as browsers/clients/servers/gateways software for W3 local switching-on are free accessible and can be taken from servers mentioned above. In 1994 JINR also started to use W3 remote and local access (with W3 server on the base of CONVEX 120 use).

Also as a detail: existing JINR external channels will be used in nearest future, as we know, for experimental run of Flock/CONDOR software for a distributed pool of SUN - stations (according to agreement between JINR responsible technical person M. Popov) and NIKHEF.

Certainly, the real progress in external computer communications could be achieved only when we could realize the ISDN or ATM-like connections (like it is in SHIFT/BETEL project at CERN), but even 2 Mbps reliable connectivity would be of big hope and pleasure for us for the nearest future.

References

- [1] Joint Institute for Nuclear Research 1993 (Prospect, published in Dubna, Russia, in 1993).
- [2] A. Dolbilov, A. Dorokhin et al, "Networking for JINR and JINR Member States: Status and Trends", Proceedings of the 4th Joint European Networking Conference, Trondheim, Norway, May 10-13, 1993, pp.214-220.
- [3] T.J. Berners-Lee, R. Cailliau and J.-F. Groff, "The world-wide web", in International Journal "Computer Networks and ISDN Systems", vol.25, No. 4-5, November 1992, pp.454-459.

The Cache Coherence Problem in Shared Memory Multiprocessors: Hardware Solutions

Milo Tomašević

and

Veljko Milutinović

Department of Computer Engineering
Pupin Institute
POB 15
11000 Belgrade, Yugoslavia
email: etomasev@ubbg.etf.bg.ac.yu

School of Electrical Engineering
University of Belgrade
POB 816
11000 Belgrade, Yugoslavia
email: emilutiv@ubbg.etf.bg.ac.yu

Abstract

Appropriate solution to the well-known cache coherence problem in shared memory multiprocessors is one of the key issues in improving performance and scalability of these systems. Hardware methods are highly convenient because of their transparency for software. They also offer good performance since they deal with the problem fully dynamically. Great variety of schemes has been proposed; however, not many of them were implemented in commercial systems. This lecture gives an extensive overview of the field of hardware cache coherence, and underlines the basic principles of the approaches and solutions. It also surveys a relatively large number of relevant representatives in a uniform organizational form.

Outline of the lecture

Introduction to the cache coherence problem (logical sources and approaches to the solution). Classification issues (criteria and taxonomy). Directory protocols (full-map, limited, chained directories, storage-efficient schemes). Snoopy protocols (write-invalidate, write-update schemes, adaptive and lock-based protocols). Coherence in multilevel hierarchies (private and shared configurations, inclusion property). Coherence in large-scale multiprocessors (bus/cache hierarchies, COMA and CC-NUMA multiprocessors).

Reference

Tomašević M., Milutinović V., *The Cache Coherence Problem in Shared Memory Multiprocessors: Hardware Solutions*, IEEE Computer Society, Los Alamitos, CA, U.S.A., 1993.



RU9710269

Invited Lecture

The Cache Coherence Problem in Shared Memory Multiprocessors: Software Solutions

Igor Tartalja and Veljko Milutinović

School of Electrical Engineering

University of Belgrade

POB 816

11000 Belgrade, Yugoslavia

e-mail: {etartalj, emilutiv}@ubbg.etf.bg.ac.yu

Abstract

This lecture comprehensively surveys software solutions for maintenance of cache coherence in shared memory multiprocessor systems. Representative static (compiler oriented) and dynamic (operating system oriented) solutions are presented. A classification based on a set of ten carefully selected criteria, that we considered the most relevant, is proposed. Different solutions correspond to various points of an abstract multidimensional criteria space. Such a general approach enables the points corresponding to non-existent, but potentially useful, solutions to be noticed and selected for exploration. Finally, an overview of studies dealing with performance evaluation of software solutions is given. Different evaluation techniques are surveyed and compared, using representative examples.

Outline of the lecture

Introduction. The problem of cache coherence. Solution avenues. Motivation for a survey and classification. Static software solutions: C.mmp page marking, Cache on/off control, Version Verification. Dynamic software solutions: One time identifiers, Restrictive invalidation). Classification (based on ten criteria). Generalization. Performance evaluation studies. Conclusions.

Reference

Tartalja I., Milutinović V., *The Cache Coherence Problem in Shared Memory Multiprocessors: Software Solutions*, IEEE Computer Society, Los Alamitos, CA, U.S.A., 1995 (in press).



RU9710270

A Survey of Distributed Shared Memory Approaches

Jelica Protić

Milo Tomašević*

Veljko Milutinović

Department of Computer Engineering
School of Electrical Engineering
University of Belgrade
POB 816
11000 Belgrade, Serbia
Yugoslavia

(*)Department of Computer Engineering
Institute Mihajlo Pupin
University of Belgrade
POB 15
11000 Belgrade, Serbia
Yugoslavia

Abstract

Distributed shared memory (DSM) systems have attracted considerable research efforts recently, since they combine the advantages of two different computer classes: shared memory multiprocessors and distributed systems. The most important one is the use of shared memory programming paradigm on physically distributed memories. In the very beginning, the rationale behind DSM concept is briefly given. One possible classification taxonomy, which includes two basic criteria and a number of related characteristic, is proposed. After that, a set of DSM algorithms that can be implemented on the hardware or software level, is presented, including their advantages and disadvantages highly dependent on the workload characteristics. Finally, some of the promising research directions for future investigations in the field of DSM are also discussed.

1. Introduction

A remarkable progress was recently made in the research and development of systems with multiple processors, capable of delivering high computing power in order to satisfy the constantly increasing demands of typical applications. According to the memory system organization, systems with multiple processors are usually classified in two large groups: shared memory and distributed memory systems.

In a shared memory system (often called tightly coupled multiprocessor), a single global physical memory is equally accessible to all processors. Very important advantage of these systems is the most general and convenient programming model that enables simple data sharing. This well-known programming paradigm ensures a transparent communication through a uniform mechanism of reading and writing of shared structures in the common memory. It can also readily emulate other programming models. The cost of parallel software development is reduced due to the ease of programming and good portability (even from uniprocessor systems). However, shared memory multiprocessors typically suffer from increased contention in the accessing of shared resources, resulting in a somewhat lower peak performance and scalability. In addition, design of the memory system tends to be complex.

On the contrary, a distributed memory system (often called a multicomputer) consists of multiple independent processing nodes with local memory modules, connected by means of some general interconnection network. Scalability of distributed memory systems is good, since there is no contention for shared resources, and systems with very high computing power are achievable. However, communication between processes residing on different nodes is achieved

through a message passing model with explicit and costly send/receive primitives, which makes their programming much more difficult, since the distribution of data across the system must be known to the programmer. Therefore, when compared to shared memory systems, hardware problems are less complex and software problems are more complex in distributed memory systems.

A relatively new concept—distributed shared memory (DSM) tries to combine the advantages of the two approaches. A DSM system logically implements the shared memory model on a physically distributed memory system. The specific mechanism for achieving the shared memory abstraction can be implemented in hardware and/or software in a variety of ways. The DSM system hides the remote communication mechanism from the application writer, so the ease of programming and the portability typical of shared memory systems are preserved. Existing applications of shared memory systems can be easily ported and efficiently executed on various systems that support the DSM concept. In addition to that, because of similar architecture, the scalability and cost-effectiveness of distributed memory systems are inherited.

The abilities of providing transparent interface and a convenient programming environment for distributed and parallel applications have made the DSM model the focus of numerous continuing research efforts during the recent years, with significant prospective for the future. The DSM research area is strongly affected by issues and results generated in a number of closely related disciplines of computer engineering (Figure 1). One of the main objectives of DSM studies was to develop algorithms that minimize the average access time to the shared data, while keeping the data consistent, as well as to implement those algorithms on a wide variety of topologies. Some solutions were reached by implementing a specific software layer on the top of message passing system, and the others extended strategies applied in shared memory multiprocessors with private caches, described in [TOMAS93], to multilevel memory systems. Some existing systems and standards treat both problems together, as they consist of clusters of processors with both distributed shared memory and local private caches.

The goal of this paper is to give a comprehensive insight into the increasingly important area of DSM. To this end, it completely covers general DSM concepts and approaches, and tries to bring an extensive and up-to-date information on the DSM field. A taxonomy that defines possible classification criteria and parameters is proposed, and various outcomes and design choices are discussed. After that, a set of DSM algorithms from the open literature is presented and differences between them are analyzed under various conditions.

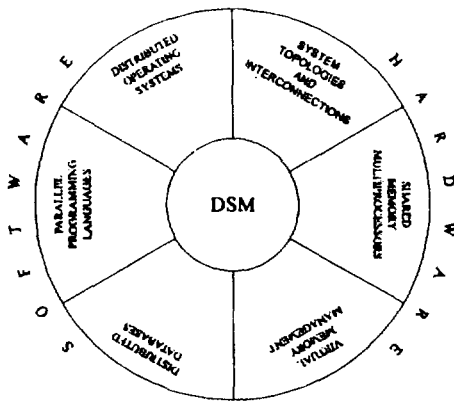


Figure 1. DSM and related disciplines.

2. DSM Classification

In order to provide a wide and extensive overview in the field of DSM, possible platforms for classification and a set of relevant parameters that must be considered in DSM design are proposed. The selection of properties to be adopted as classification criteria can be taken conditionally, since some of the parameters (such as the consistency model) could also be adopted as the platform for classification. Our choice of classification criteria is based on the most crucial system design decisions, both in algorithmic and implementation point of view. It relies on the possibility to classify all existing systems into the appropriate non-overlapping subsets which consist of systems with common general advantages and drawbacks.

- **The first criterion: DSM implementation level**

Types:

1. *Hardware*
2. *Software*
 - 2.1. *Operating system*
 - 2.1.1. *Inside the kernel*
 - 2.1.2. *Outside the kernel*
 - 2.2. *Runtime library routines*
 - 2.3. *Compiler—inserted primitives*
3. *Hardware/software combination*

The level of DSM implementation is one of the most important decisions in building a DSM system, since it affects both the programming and the overall system performance. While the hardware solutions bring the total transparency to the programmer, and achieve very low access latencies, software solutions can better exploit the application behavior and represent the ideal polygon to experiment with new concepts and algorithms. As the consequence, it can be noticed that the number of software DSM systems presented in the open literature is considerably higher, but that the systems intending to become commercial products and standards are mostly hardware-oriented.

Parameters closely related to the DSM implementation level

While the level of DSM implementation seems to be crucial in the design of a DSM system, some other important characteristics of the system are often (but not necessarily) closely related, or even determined by this criterion. Those issues of importance include the organization of shared data, as well as the architectural configuration of the system.

Architectural configuration of the system affects the system performance, since it can offer or restrict a good

potential for parallel processing of requests related to the DSM management. It also strongly affects the scalability. Since a system applying a DSM mechanism is usually organized as a set of clusters connected by an interconnection network, architectural parameters include:

- a) **Cluster configuration** (*single/multiple processors, with/without, shared/private, single/multiple level caches, etc.*)
- b) **Interconnection network** (*bus hierarchy, ring, mesh, hypercube, specific LAN, etc.*)

Cluster configuration is usually very important for the hardware-oriented proposals that integrate the mechanisms of cache coherence on the lower level with the DSM mechanisms on the higher level of the system organization, or even store all shared data in large caches. Cluster configuration is mostly transparent for software solutions. It includes the memory organization and the placement of directory, as well.

Almost all types of interconnection networks found in multiprocessors and distributed systems have also been used in DSM systems. The majority of software-oriented DSM systems were actually build on the top of Ethernet, although some of the solutions tend to be architecture independent and portable to various platforms. On the other hand, topologies such as bus hierarchy or mesh are typical for hardware solutions. Anyway, it must be considered that the topology of the interconnection network can be viewed as independent of the implementation level of the DSM mechanism, but can be also very important for the implementation of DSM algorithm, since it affects the possibility and cost of broadcast and multicast transactions.

Shared data organization must be also regarded as one of the essential issues in the DSM design. It represents the global layout of shared address space, as well as the size and organization of data items in it, and can be distinguished as:

- a) **Structure of shared data** (*non structured or structured into objects, language types, etc.*)
- b) **Granularity of coherence unit** (*word, cache block, page, complex data structure, etc.*)

The impact of this organization to the overall system performance is closely related to the locality of data access typical for the application. It is determined by the level of DSM implementation to some extent. Hardware solutions always deal with non-structured data objects (typically cache blocks), while many software implementations tend to use data items that represent logical entities, in order to take advantage of the locality naturally expressed by the application. On the other hand, some software solutions, based on virtual memory mechanisms, organize data in larger physical blocks (pages), counting on the coarse-grain sharing.

- **The second criterion: DSM algorithm**

Types:

1. *SRSW (Single Reader/Single Writer)*
 - 1.1. *Without migration*
 - 1.2. *With migration*
2. *MRSW (Multiple Reader/Single Writer)*
3. *MRMW (Multiple Reader/Multiple Writer)*

Although some other classifications of DSM algorithms can be established, this one is based on the possible existence of multiple copies of a data item, also considering access rights of those copies.

The complexity of coherence maintenance is strongly dependent on the introduced classes. In order to explore the properties of application behavior, including typical read/write patterns, while keeping the acceptable complexity

of the algorithm, many solutions were proposed, among which MRSW algorithms represent the majority.

- **Parameters closely related to the DSM algorithm**

- Responsibility for the DSM management** (*centralized, distributed/fixed, distributed/dynamic*)
- Consistency model** (*strict, sequential, processor, weak, release, lazy release, entry, etc*)
- Coherence policy** (*write-invalidate, write-update, type-specific, etc.*)

Responsibility for DSM management can be centralized or distributed, and it determines which site has to handle actions related to the consistency maintenance in the system. Centralized management is easier to implement, but suffers from the lack of fault tolerance, and the central manager represents a bottleneck. The responsibility of distributed management can be defined statically or dynamically, eliminating bottlenecks and providing scalability. Distribution of responsibility for DSM management is closely related to the distribution of directory information, that can be organized in the form of linked lists or trees.

Memory consistency model defines the legal ordering of memory references issued by some processor and observed by other processors. Different types of parallel application inherently require various consistency models. Performance

of the system in executing these applications is largely influenced by the restrictiveness of the model. Stronger forms of the consistency model typically increase the memory access latency and the bandwidth requirements, and simplify the programming. More relaxed models result in better performance, at the expense of a higher involvement of the programmer in synchronizing the accesses to shared data. In strive to achieve an optimal behavior, systems with multiple consistency models adaptively applied to appropriate data types have been recently proposed.

Coherence policy determines whether the existing copies of the data item being written to at one site will be immediately updated, or just invalidated on the other sites. The choice of coherence policy is related to the granularity of shared data. For very fine grain data items, the cost of update message is approximately the same as the cost of invalidation message. Therefore, update policy is typical for systems with word-based coherence maintenance. On the other hand, invalidation is almost always used in coarse-grain systems. The efficiency of an invalidation approach is increased when the access sequences of read and write to the same data item by various processors are not highly interleaved.

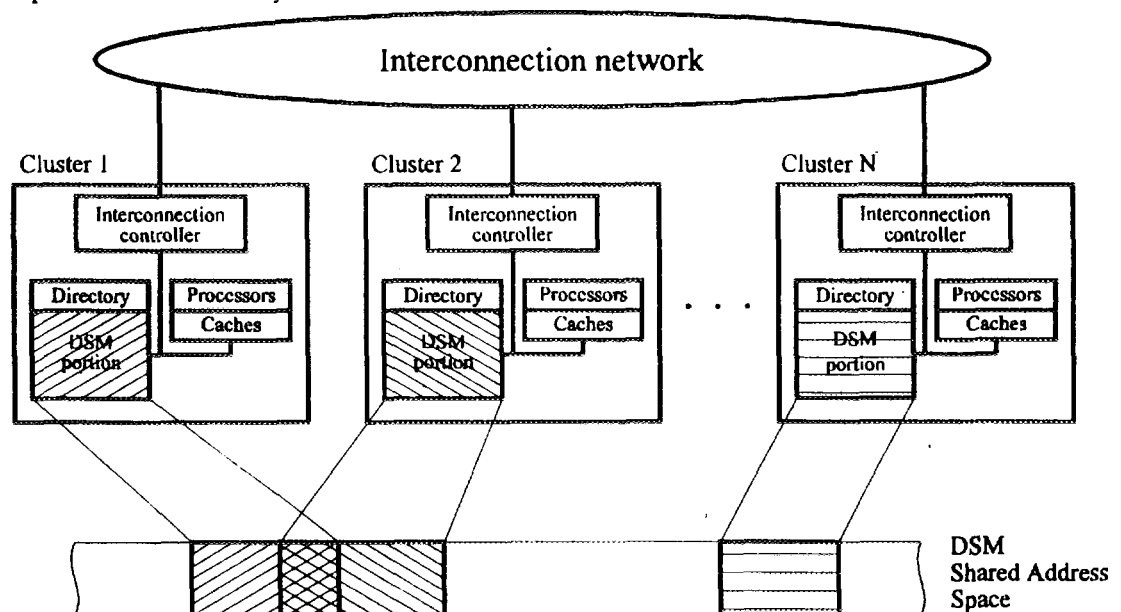


Figure 2. Structure and organization of a DSM system.

3. General Structure of a DSM System

The structure and organization of a DSM system can be generally viewed as a set of nodes or clusters, connected by an interconnection network (Figure 2). A cluster itself can be a uniprocessor or a multiprocessor system, usually organized around a common bus. Private caches attached to the processors are inevitable for reducing the memory latency in the system. Every cluster in the system contains a physically local memory module, which partially or entirely represents a portion of distributed shared memory. Regardless of the network topology (e.g., bus, ring, mesh, LAN), a specific interconnection controller within each cluster is needed to connect it into the system.

The applied DSM mechanism also affects the structure of the cluster. Almost all DSM protocols are directory-based. Storage and organization of the directory are among the most important design decisions, with a large impact on system scalability. The choice of directory organization is also closely related to the system topology. No matter which organization and algorithm are employed, the cluster must provide the storage for a part of the directory. In this way, system directory can be distributed across the system in the form of a flat or hierarchical structure. In hierarchical topologies, clusters on intermediate levels contain only directories with the corresponding interface controllers. Relevant information kept in directories depends on the applied algorithm and the coherence protocol.

4. DSM Algorithms

The algorithms for implementing a distributed shared memory deal with two basic problems: a) static and dynamic distribution of shared data across the system in order to minimize their access latency, and b) preserving a coherent view of shared data trying to keep the overhead of coherence management as low as possible. Two most frequently used strategies are the replication and migration policies. Both policies try to shorten the access of data bringing them to the site where they are currently used. Replication is mainly used to enable simultaneous accesses by different sites to the same data, predominantly when read sharing prevails. Migration is preferred when sequential pattern of write sharing is characteristic, in order to decrease the overhead of coherence management. Choice of a suitable DSM algorithm is the vital issue in achieving high system performance and must be closely related to the system architecture and characteristics of memory references in a typical application.

The type of DSM algorithm is strongly dependent on the responsibility for DSM management. In this part of the survey, both criteria will be addressed; however, our primary classification is based on the algorithm type. Classifications of DSM algorithms and the evaluation of their performance have been extensively discussed in [NITZB91], [LIHUD89], [STUM90], [BLACK89], and [KESSL89]. This presentation follows a classification of algorithms similar to the one found in [STUM90].

4.1 Single Reader/Single Writer (SRSW) Algorithms

This class of algorithms prohibits the possibility of replication, while the migration can be, but is not necessarily applied. The simplest algorithm for DSM management is the *central server* algorithm [STUM90]. The approach is based on a unique central server that is responsible for servicing all access requests to shared data, physically located on this node. This algorithm suffers from performance and fault-tolerance problems since all actions rely on a single central server. Such an organization implies no physical distribution of shared memory. Possible modification is the static distribution of physical memory and responsibilities for parts of shared address space onto several different servers. Client can use some simple mapping functions (e.g., hashing) to locate the appropriate server for the corresponding piece of data.

More sophisticated SRSW algorithms additionally allow for the possibility of migration. However, only one copy of data item can exist at any one time and this copy can be migrated upon demand. In [KESSL89] this kind of algorithm is referred to as *Hot Potato*. If an application exhibits high locality of reference, the cost of data migration is amortized over multiple accesses, since data is moved not as individual items, but in fixed size units—blocks. It can perform well in cases where a longer sequence of accesses from one processor uninterrupted with accesses from other processors is likely to happen, and write after read to the same data occurs frequently. Anyway, performance of this rarely used algorithm is restrictively low in the vast majority of cases, since it precludes read sharing, most frequently found in parallel applications.

4.2 Multiple Reader/Single Writer (MRSW) Algorithms

The main intention of MRSW (or *read-replication*) algorithms is to reduce the average cost of read operations, counting that the read sharing is the prevalent pattern in parallel applications. To this end, they allow read operations

to be simultaneously executed locally at multiple hosts. Permission to update a replicated copy can be given to only one host at a time. On the occurrence of write to writable copy, the cost of this operation is increased, because the use of other replicated stale copies must be prevented. Therefore, the MRSW algorithms are usually invalidation-based. Protocols following this principle are most numerous.

There is a variety of algorithms belonging to this class. They differ in the way the responsibility for DSM management is allocated. A couple of them are proposed in [LIHUD89]. Terminology applied in this paper defines:

- *manager*: the site responsible for organizing the write access to a data block,
- *owner*: the site that owns the only writable copy of the data block,
- *copy set*: a set of all sites that currently own copies of the data block.

A list of these algorithms includes:

1) Centralized Manager Algorithm

All read and write requests are addressed to the manager, which is the only site that knows who is the owner of a particular data block. The manager sends the request for data to the owner, and waits for confirmation from the requesting site. In the case of write operation, the manager sends invalidations to the sites from the copy set.

2) Improved Centralized Manager Algorithm

Unlike in the original Centralized Manager Algorithm, the owner, instead of the manager, keeps the copy set. It is sent together with the data to the new owner, which is also responsible for invalidations. In this case, the overall performance can be improved because of the decentralized synchronization.

3) Fixed Distributed Manager Algorithm

In this algorithm, instead of the management centralization, each site is predetermined to manage a subset of data blocks in advance. The distribution is done according to some default mapping function. Clients are still allowed to override it by supporting their own mapping. When a parallel program exhibits a high rate of requests for data blocks, this algorithm performs better than the centralized solutions.

4) Broadcast Distributed Manager Algorithm

There is actually no manager in this algorithm. Instead of that, the requesting processor sends a broadcast message to find the true owner of the data block. Disadvantage of this approach is that all processors have to process each broadcast, slowing down their own computations.

5) Dynamic Distributed Manager Algorithm

In this kind of algorithms, not the identity of the real owner, but of the probable owner is kept for each particular data block. All requests are sent to the probable owner which is also the true owner in most of the cases. However, if it occurs that the probable owner is not the real one, it forwards the request to the probable owner kept in its own table. Every read and write request, forward and invalidation messages change the probable owner field accordingly, in order to decrease the number of messages to locate the real owner. This algorithm is often called the Li's algorithm. For its basic version, where both read and write change the ownership, Li shows in [LIHUD89] that the performance of the algorithm is not deteriorated as more processors are added to the system, but rather degrades logarithmically when more processors contend for the same data block.

A modification of the dynamic distributed manager algorithm, also proposed in [LIHUD89], suggests the distribution of the copy set, that should be organized as a tree,

rooted at the owner site. This is the way to distribute the responsibility for invalidations, as well.

4.3. Multiple Reader/Multiple Writer (MRMW) Algorithms

MRMW (also called *full-replication* algorithm) allows the replication of data blocks with both read and write permission. In order to preserve coherence, updates of each copy have to be distributed to all other copies on remote sites, by multicast or broadcast messages. This algorithm tries to minimize the cost of write access. Therefore, it is appropriate for write sharing and is used with write-update protocols. Inadvertently applied, this algorithm can produce high coherence traffic, especially if broadcast notifying is used.

Protocols complying to the MRMW algorithm can be complex and demanding. One possible way to maintain data consistency is to globally sequence the write operations. When a processor attempts to write to the shared memory, the intended modification is sent to the sequencer. The sequencer assigns the next sequence number to the modification and multicasts the modification with this sequence number to all sites having the copy. When the modification arrives at a site, the sequence number is verified, and if not correct, the retransmission is requested. A modification of this algorithm distributes the task of sequencing, so that write operations are sequenced by the server that manages the master copy of particular data structure.

4.4. Performance Improvement Avenues

Considerable research effort was dedicated to various modifications of basic algorithms, in order to improve their behavior and gain better performance by reducing the amount of data transfer in the system. Most of those ideas were evaluated by simulation studies, and some of them were implemented on existing prototype systems.

An enhancement of the Li's algorithm (named the Shrewd algorithm) is proposed in [KESSL89]. It eliminates all unnecessary page transfers with the assistance of the sequence number per copy of a page. On each write fault at a node with a previously existing read-only copy, the sequence number is sent with the request. If this number is the same as the number kept by the owner, the requester will be allowed to access the page without its transfer. This solution shows remarkable benefits when the read-to-write ratio increases.

All solutions presented in [LIHUD89] assume that the page transfer is performed on each attempt to access the page which does not reside on the accessing site. A modification proposed in [BLACK89] employs a competitive algorithm and allows page replication only when the number of accesses to the remote page exceeds the replication cost. A similar rule is applied to migration, although the fact that, in this case, only one site can have the page, makes the condition to migrate the page more restrictive and dependent on other site's access pattern to the same page. The performance of these policies is guaranteed to stay within the constant factor from the optimal.

Another restriction to data transfer requests is advocated in [FLEIS89] in order to reduce trashing. This is an adverse effect which occurs when an alternating sequence of accesses to the same page issued by different sites makes its migration as the predominant activity. The solution to this problem is found in defining the time window Δ in which the site is guaranteed to uninterruptedly possess the page after it acquired it. The value of Δ can be tuned statically or dynamically, depending on the degree of processor locality exhibited by the particular application.

There is a variety of specific algorithms implemented in existing DSM systems, or simulated extensively using

appropriate workload traces. It seems that various solutions for the organization of copy set and directory storage, as well as the management responsibility distribution, make the main source of possible performance and scalability improvement. Implementation of critical operations using hardware accelerators and a combination of invalidate and update methods also contribute to the better performance of DSM systems.

5. Conclusion

The intention of this survey was to provide an extensive coverage of relevant topics in an increasingly important area - distributed shared memory computing. A special attempt has been made to introduce the basic criterion for the classification of DSM systems and present a set of DSM algorithms, considering their advantages, disadvantages, and performance depending on the workload characteristics.

Because of the combined advantages of the shared memory and distributed systems, DSM solutions appear to be the most appropriate way toward large-scale high-performance systems with a reduced cost of parallel software development. In spite of that, building of successful commercial systems that follows the DSM paradigm is still in its infancy; consequently, experimental and research efforts prevail. Therefore, the DSM field remains a very active research area. Some of the promising research directions can be: improving the DSM algorithms and mechanisms, and adapting them to the characteristics of typical applications and system configurations, synergistic combining of hardware and software implementations of the DSM concept, integrating of the shared memory and message passing programming paradigms, innovative system architecture (especially memory system), comparative performance evaluation, etc. From this point of view, further investment in exploring, developing, and implementing DSM systems seems to be quite justified and promising.

6. References

- [BLACK89] Black, D., L., Gupta, A., Weber, W. "Competitive Management of Distributed Shared Memory," *Compcon '89*, IEEE, Spring 1989, pp. 184-190.
- [FLEIS89] Fleisch, B., Popek, G., "Mirage: A Coherent Distributed Shared Memory Design," *Proceedings of the 14th ACM Symposium on Operating System Principles*, ACM, New York, 1989, pp. 211-223.
- [KESSL89] Kessler, R.E., Livny, M., "An Analysis of Distributed Shared Memory Algorithms," *Proceedings of the 9th International Conference on Distributed Computing Systems*, June 1989, pp. 498-505.
- [LIHUD89] Li, K., Hudak, P., "Memory Coherence in Shared Virtual Memory Systems," *ACM Transactions on Computer Systems*, Vol. 7, No. 4, November 1989, pp. 321-359.
- [NITZB91] Nitzberg, B., Lo, V., "Distributed Shared Memory: A Survey of Issues and Algorithms," *IEEE Computer*, Vol. 24, No. 8, August 1991, pp. 52-60.
- [TOMAS93] Tomašević, M., Milutinović, V., *Cache Coherence Problem in Shared Memory Multiprocessors: Hardware Solutions*, IEEE Computer Society Press, 1993.
- [STUM90] Stumm, M., Zhou, S., "Algorithms Implementing Distributed Shared Memory," *IEEE Computer*, Vol. 23, No. 5, May 1990, pp. 54-64.



RU9710271

Design Issues for a Block-Oriented Reflective Memory System

Milan Jovanović

Milo Tomašević*

Veljko Milutinović

Department of Computer Engineering
School of Electrical Engineering
University of Belgrade
POB 816
11000 Belgrade, Serbia
Yugoslavia

(*)Department of Computer Engineering
Institute Mihajlo Pupin
University of Belgrade
POB 15
11000 Belgrade, Serbia
Yugoslavia

Abstract

The block oriented reflective memory (BORM) system represents a modular bus-based system architecture that belongs to the class of distributed shared memory systems. The BORM system is characterized by an update consistency mechanism for shared data and efficient block transfers over the bus. A complexity/performance analysis was done to propose the most appropriate BORM system solution for implementation. To this end, an extensive simulation analysis using the functional BORM simulator based on a very convenient and flexible stochastic workload model was carried out. The evaluation study was performed for a wide variety of values of relevant parameters. The most important results are presented and discussed in this paper. The specific conclusions about the implementation are drawn.

1. INTRODUCTION

DSM systems with physically distributed, but logically shared memories have become a very popular class of computer systems. One subclass of DSM systems — RM (Reflective Memory) systems — is update consistency mechanism in the form of one-word distributed writes to shared regions (quite similar to write-broadcasts cache coherence protocols [1]). The RM approach has been successfully implemented in several existing systems [2,3].

The BORM system represents a further advancement in the evolution of the RM approach with the provision of block transfers. The BORM concept is based on the BORM bus and represents an appropriate combination of single transfer oriented and block transfer oriented approaches. The BORM-based system is very promising for execution of wide spectrum of applications — from real-time to transaction processing.

2. PROBLEM STATEMENT

Before the implementation of the concept in real system design can take place, the decisions have to be made on many issues regarding the alternatives on various levels (from the system architecture to the implementation details). Therefore, the design and implementation processes should be preceded by a versatile evaluation study. This analysis is intended to evaluate various organizations and design alternatives, and to suggest some improvements.

The study should provide detailed quantitative performance indicators that will give a deep insight into

behavior of the system under the large diversity of conditions. To make the analysis more relevant and widely applicable, the effects of both typical and extreme loading in the system have to be considered. One of the important goals is to examine the inherent capabilities in expanding the number of processors in strive to achieve very powerful systems.

The analysis is expected to provide the conclusion that can be helpful in the decision making process for the following design and implementation of the concept. The performance results of the study should be taken into account together with the complexity considerations in order to find out if the cost/complexity differences are justified by the appropriate performance gain. On the basis of this information, the most efficient solution from the cost/performance point of view can be recommended for the implementation in a real BORM system.

3. BORM SYSTEM

The BORM system configuration is shown in Figure 3.1. The system consists of a variable (up to nine) number of nodes connected via the BORM bus. A separate module — bus arbiter — is responsible for granting the access on the BORM bus to the requesting nodes. This module incorporates round robin synchronous arbitration algorithm. It also takes care that multiple grant requests (MGR) from one node can be sequentially granted up to a programmable grant limit.

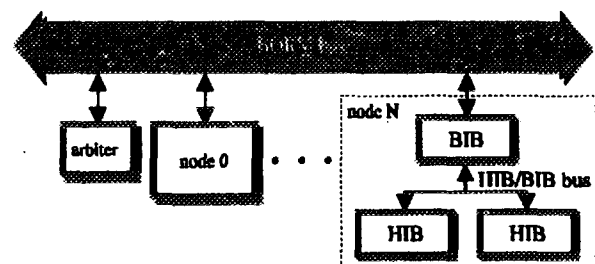


Figure 3.1 The BORM system

The requirement for system modularity was fulfilled in a way that two boards are needed to implement a single BORM node:

- the Host Interface Board (HIB),
- the BORM bus Interface Board (BIB).

The BIB implements the interface to the BORM bus, while the HIB provides the interface to the host system bus and to the local bus, if present. Host processor is connected to the HIB via local bus or host system bus. The DMA unit is also attached the HIB via host system bus. When some new host system has to be connected to the BORM bus, the design

This research was partially supported by FNS/FTRS, Belgrade, Serbia, Yugoslavia and IFACIT, Belgrade, Serbia, Yugoslavia.

can reuse standard BORM interface (BIB), and only host interface (HIB) has to be redesigned. In this way, design process is faster, more efficient, and reliable. Each node is composed of one BIB and up to four HIBs.

The structure of the HIB is depicted in Figure 3.2. The central element is the on-board memory (256 or 512 MB). Parts of the memory can be configured as reflective memory or private memory. Reflective memory is accessible to all nodes connected on the BORM bus and consists of transmit regions and receive regions. Private memory is exclusively accessed by each particular node.

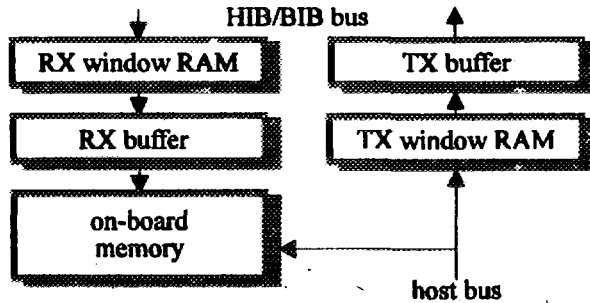


Figure 3.2 The HIB board

The HIB is connected to the BIB through the HIB/BIB bus. To make the communication protocol between two boards easier, two FIFO buffers (transmit and receive) are provided on the HIB board. Mapping of shared regions on the transmit side is achieved through the transmit window translation RAM. If HIB is multiplied on a node, the receive window translation RAM is provided on each HIB; otherwise, it is placed on the BIB.

If an address of a memory write access from the host bus (or the local bus) is within an open transmit address window (TX window), the transfer is reflected on the BORM bus. Other BORM nodes receive that transfer if it hits into their receive regions (RX window).

The BIB implements the control of transfers between the BORM bus and the BORM node through the bus transceiver circuitry. Just like on the HIB, the transmit FIFO buffer and receive FIFO buffer are also available on the BIB.

The BORM bus represents a fast interconnect medium (75 ns cycle time) for coupling of different nodes in the system. Two types of transfers are provided on the BORM bus:

- 32-bit address and 32-bit data in one transfer (RM style),
- DMA data block consisting of a 32-bit address transfer plus block length followed with 64-bit data transfers (MC style).

4. EVALUATION METHODOLOGY

The most trustworthy way to accomplish the intended evaluation is by means of simulation analysis. Simulation method is very convenient, since it closely resembles the behavior of a pursued design and allows considerable flexibility in changing the values of the parameters of interest.

The simulator with very convenient and flexible stochastic workload model is created to achieve the functional modeling of the BORM system behavior in the time domain. Whenever needed, appropriate changes into the basic simulator code were introduced to reflect specific departures from the original proposal in order to evaluate the effect of proposed design variations.

4.1. Simulation Environment

The efficiency of a simulation study depends heavily on the simulation environment. Because of its significant advantages, it was decided to employ the DARPA-standard N.2 package [4]. The N.2 system represents a set of integrated tools intended for development and simulation purposes.

Behavior of simulated model is described in the ISP hardware description language. Structure of the system and the communication between its modules is specified through the N.2 topology language. Such an integrated description of the targeted system is used as an input into N.2 Simulator, a very powerful tool that enables the performing of intended simulation experiments.

4.2. Workload Model

The choice of the workload model is recognized as one of the most critical issues in any simulation methodology, because of the fact that the performance of the BORM system is greatly influenced by the type and frequency of memory references. It is assumed that the references to the on-board memory consist of two streams:

- references from the host processor (basic model),
- DMA initiated block transfers (DMA model).

For modeling of the first stream, we have adopted the proven synthetic workload model used in [5], because it very appropriate and convenient for generating memory references to the BORM system. Having in mind the specific needs, that model is revised and adapted, which resulted in our *basic* model. According to this model, a processor executes instructions for a random number of cycles, before a memory access takes place.

Besides the memory references generated according to the basic model, the burst-type DMA transfers of data blocks on the host bus to/from the on-board memory are also modeled. DMA transfers are simulated using a probabilistic approach.

4.3. Parameters and performance indicators

The simulator is made flexible to allow easy changing of simulation parameters. For all parameters, typical, default values are carefully determined. If parameter has to be changed, the low and high limits for the range of variation are also specified. The list of workload parameters with their values is presented in Table 4.1. The list of system-oriented and technology oriented parameters is provided in Table 4.2.

Parameter	Min	Typ.	Max
Max number of processor cycles between two memory references		8	
Probability of referencing the RM memory		0.5	
Probability of referencing an open transmit window	0.2	0.8	1.0
Write probability	0.2	0.4	0.6
Probability that write from the BORM bus will hit in an open receive window	0.1	0.5	1.0
Number of shared blocks		256	
Cache miss ratio for private data		0.05	
Block size [in words]	64		2048
Max time between two DMA transfers [ms]	0.5		1

Table 4.1 The list of workload parameters

Parameter	Min	Typ.	Max
CPU clock cycle [ns]	15	30	
HIB/BIB bus clock cycle [ns]	18/37	37/75	
BORM bus clock cycle [ns]	37	75	
Single mode memory access time [ns]	60	110	
Fast page mode memory access time [ns]	25	45	
Size of each FIFO buffer [Kwords]		4	8
Number of processors	4		32
Cache block size [B]		16	
Length of word [B]		4	
Max. number of sequentially granted MGRs	0	10	100

Table 4.2 The list of system-oriented and technology oriented parameters

Our basic performance metric is processor utilization since this measure directly expresses the amount of work that can be done in specific period of time. Other important statistics include: BORM bus busy time, waiting time on the BORM bus grant, numbers of overflows in the receive and transmit buffers, contention for the on-board memory expressed in waiting times and suspension counts, number of cache hits for shared references, etc.

5. RESULTS OF THE ANALYSIS

This chapter brings the results of the simulation analysis of the BORM implementation strategies and design decisions. Abundance of simulation experiments was carried out for wide varieties of conditions and parameters, and large amount of results is available. However, only the most relevant ones are presented and discussed in this chapter.

5.1. The HIB board Implementation strategies

Three different implementation strategies of the HIB board are considered and evaluated here. They differ primarily in the way on-board memory is accessed. The main characteristics of three approaches are:

- the RM memory in the B1 variant is dual-ported from the host bus and the receive buffer side. Block transfers on both ports are uninterruptable.
- dual-ported RM memory design is also assumed in the B2 variant. However, the priority in accessing the RM memory is observed constantly, since current block transfer on one port can be suspended if another port gains priority, and resumed later when priority is returned to this port.
- on-board memory can be accessed from three ports: the receive buffer, the host bus, and the local bus in approach L. The highest priority is usually assigned to the local bus port (used for RM type transfers). Between other two ports, the receive buffer takes priority only if it is more than a half full.

Processor utilization measure, presented in Figure 5.1 for increasing number of processors, gives the most indicative performance metrics. The worst performance is that of the B1 variant, while the best one is shown in the case of the L variant.

The B1 variant also shows the worst scalability (system with 16 processors is saturated as opposed to other two variants). Possibility of a deadlock situation is also inherent to this variant for a heavier load. This can happen when the transmit buffer of some node is full when access to on-board memory is granted to the host bus, and the receive buffer of the same node becomes almost full (raising a global busy condition on the BORM bus) before transmit buffer gets the chance to send some of its contents to the bus.

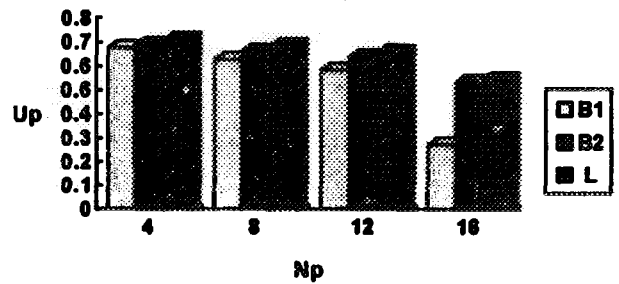


Figure 5.1 CPU utilization for different implementation strategies

Up - processor utilization

Np - number of processors

Utilization of the BORM bus (given in Figure 5.2) is again the highest for the L variant, somewhat lower for the B2 variant, and the lowest for the B1 variant, which is consistent with the previous measure. This is because the variant with local bus port, being the most efficient in accessing the RM memory, generates the largest amount of the RM memory references, and consequently the heaviest BORM bus traffic. It is also clearly visible that for the default parameters of our workload model the system becomes almost fully saturated for 16 processors (the BORM bus bandwidth is completely utilized).

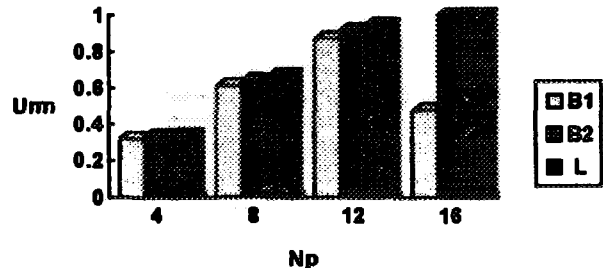


Figure 5.2 Bus utilization for different implementation strategies

Ubm - utilization of the BORM bus

Np - number of processors

Since the variant with the local bus port appears to have the best performance, this will be considered and presented in subsequent simulation experiments (if not specified differently).

5.2. Evaluation of the HPI/BIB bus proposals

The purpose of this experiment is comparison of two proposals for the HIB/BIB bus implementation:

- Proposal UD uses two 32-bit unidirectional links (plus control) as the HIB/BIB bus. The proposed cycle time for the links is 37.5 ns giving a 106.7 MB/sec per link or 213.3 MB/sec full duplex, raw throughput.

- Proposal BD uses a 64-bit bi-directional bus (plus control) as the HIB/BIB bus. The proposed cycle time for the bus is 75 ns giving 106.7 Mb/sec raw throughput.

Our basic indicator - processor utilization presented in Figure 5.3 shows that the proposals are very close in performance for lower number of processors, and that the differences between them become visible when system size (expressed in processor count) increases. For 12 and especially 16 processors the performance of BD proposal is mostly affected, being significantly lower than the performance of UD proposal (about 8% and 14% for 12 and 16 processor respectively).

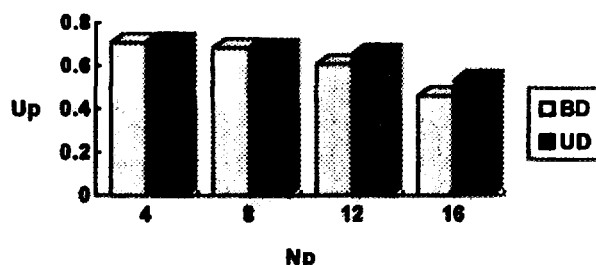


Figure 5.3 CPU utilization for two HIB/BIB bus implementation strategies
Up - processor utilization
Np - number of processors

Other performance indicators complement the picture about the relations in performance of the compared proposals. Bus utilization measures show the similar behavior. For higher number of processors, more traffic on the BORM bus is generated for UD proposal than in the case of BD. This kind of behavior can be explained by the fact that overflows of the BIB receive buffer occur in BD proposal only (for 12 and 16 processors). Consequently, global busy condition on the BORM bus is raised for a significant portion of time reducing the bus utilization.

The performance degradation for BD proposal is a consequence of the less efficient HIB/BIB bus implementation. Bidirectional HIB/BIB bus applied in BD proposal does not allow simultaneous transfers between the HIB and BIB boards, as opposed to unidirectional links in UD proposal where transfers in both directions can take place at the same time. For a heavier load through the BIB board, the HIB/BIB bus in the BD becomes bottleneck in competing between the HIB transmit buffer and the BIB receive buffer to send data up and down the link. Previously mentioned BIB receive buffer overflows in the BD are apparently caused by described inefficiency of the HIB/BIB bus transfers.

5.3. Receive windows on the BIB board

In system with one-to-one HIB/BIB correspondence the receive translation RAM is on the BIB. Hence, only writes to open windows are actually routed from the BORM bus through the HIB/BIB bus to the HIB board. However, if node has more HIBs, the receive window RAMs are placed on the HIBs since different mappings of shared regions can really exist for each of them, and all the traffic from the BORM bus is forwarded to all HIBs. In this way, some unnecessary traffic can be sent over the HIB/BIB bus (and later rejected on the HIB).

If the receive mapping information is available on the BIB, then transfer of those writes that hit into closed regions of all HIBs connected to this BIB can be avoided. To implement this feature, a modification of node with few HIBs is assumed that accommodates a compounded receive transmit RAM on the BIB. It denotes a window as closed only if it is closed for all descendant HIBs. At the same time, individual receive window RAMs exist on each HIB board itself, too.

Our goal is to evaluate the positive effects of this modified variant (denoted with suffix M) on overall system performance. Figure 5.4 brings the processor utilization measures of normal and modified variant of the BD proposal. The figure demonstrates that the compared variants perform almost equally for lower number of processors (4 and 8), while the performance improvement for the BDM variant is significant for more processors (12 and 16). Such a result is expected since the elimination of useless traffic on the

bidirectional HIB/BIB bus relieves the contention of the HIB and the BIB in exchanging the useful data.

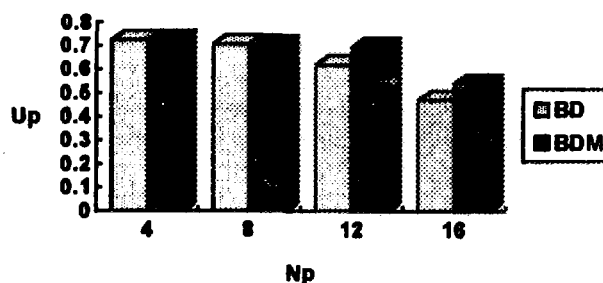


Figure 5.4 CPU utilization in the BDM variant
Up - processor utilization
Np - number of processors

The analysis of the same kind is conducted for UD proposal; however, the effects of having the receive window RAM on the BIB are shown to be negligible. This is not a surprising fact since the implementation of the HIB/BIB bus is already shown to be efficient, and even some unnecessary traffic can not hurt the performance noticeably. Modified variant of bidirectional HIB/BIB bus is as efficient as the UD proposal of the HIB/BIB bus.

5.4. Different system topologies

As it was specified earlier, the BIB is multi-ported from the HIB in order to reduce the bulk of cabling and hardware interface to the BORM bus. This connection can be 1-, 2- or 4-way multi-ported; i.e., one, two or four HIBs can be connected to the BORM bus via one BIB. Cost considerations of increasing the degree of multi-porting are evident. However, an interesting question is how the performance of the system with a same number of processors depends on the system topology.

It is demonstrated that the processor utilization of the UD proposal is not dependent on the degree of the HIB/BIB multi-porting. The similar conclusions hold for the BD proposal for smaller system sizes (up to 8 processors). As the system size grows, for the same processor count BD proposal with two HIB boards per one BIB is clearly more efficient than BD with four HIBs per BIB (for more than 10%).

Other performance indicators consistently express just the same kind of behavior that leads to the conclusion that the UD proposal is insensitive to the HIB/BIB multi-porting degree, while that is not the case with BD proposal.

The explanation can be found again in the different characteristics of the HIB/BIB bus in two proposals. When more HIBs are connected on the same HIB/BIB bus, the throughput requirements become more severe. This is especially emphasized in systems with larger number of processor where the shared data traffic is heavier. The HIB/BIB bus in UD proposal is capable to satisfy the increased demands without any performance degradation. On the contrary, the HIB/BIB bus in BD proposal impedes the increased traffic flow between the BIB and the HIBs.

5.5. Multiple grant request

Earlier RM systems employ the round robin bus arbitration policy in granting the RM bus requests. This fairness arbitration scheme gives the equal priority to all nodes regardless of the amount of traffic they generate on the bus. This arbitration strategy is very convenient when the loading of nodes is balanced and constant over periods of time. However, typical BORM bus traffic in transaction processing applications can not be regarded as steady type of

transfer. Consequently, an arbitration policy that assigns a higher priority in issuing grants to the nodes with more intensive transmit rates appears to be more effective.

Therefore, we evaluated the effects of the multiple request/grant strategy where multiple bus requests from the same node can be granted one after another without interruption from other nodes. This happens typically in the case of urgency when burst of transfers is generated from a specific node and transmit side of the node can be saturated resulting in slowing the processor down.

In the following experiments system with 12 processors (six 2-processor nodes) is considered. Transmit rate of certain nodes in the system is raised for both single and block transfers to simulate a heavier loading of these nodes. After that, performance indicators are compared for nodes with lighter (LL) and heavier (HL) loading in systems with and without multiple request/grant capability. This was done for different maximum number that can be issued to the same node in uninterrupted sequence which will be referred to as grant limit.

Figure 5.5 compares the processor utilizations for two types of nodes in systems with increasing values of grant limit (first pair of bars on the diagram denotes the system without multiple request/grant capability). The consequences of applying this priority arbitration strategy on the performance of heavier loaded nodes are evident. At the same time, utilization of "normal" nodes is not affected since their utilization stays mainly about the same.

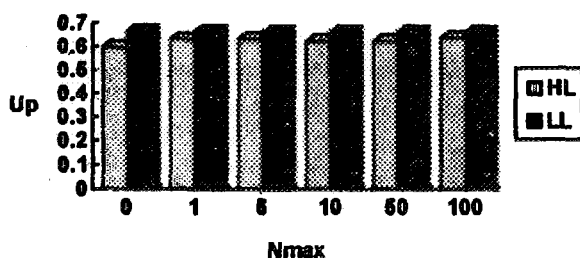


Figure 5.5 CPU utilization with multiple grant request
Up - processor utilization
Nmax - grant limit

5.6. Receive and transmit FIFO buffers

When two participants have to communicate by means of sending and receiving some data, problems inevitably arise if they have different speeds and are asynchronous to each other. In addition, they can be momentarily unavailable to perform the transfer. This is just the case in the BORM system when the data written to the RM memory has also to be sent over the bus, and also when memory has to be updated with the received data. The problem is also aggravated with the existence of the HIB/BIB connection bus.

As usually, buffer registers on both HIB and BIB boards are employed to alleviate the above mentioned problem. They are intended to balance sending and receiving process and to reduce the waiting on either side that can happen. The larger the buffers are, the shorter waiting is expected. In this section, we tried to quantitatively evaluate the benefits of twice as large transmit and receive buffers, for each of them in particular.

Doubling the buffer size generally introduces only small improvement in the system for the conditions of our experiment. The difference can be noticed only for larger number of processors where the traffic over the BORM bus is very intensive. The largest gain appears to be in the case of increased transmit buffer size on the HIB board. It is shown that processor utilization was increased between 2% and 3% only.

Overall improvement in other three cases (larger FIFO buffers on the BIB and receive buffer on the HIB) is usually less than 1% and can be neglected. Therefore, all the results lead to a conclusion that larger buffers can not contribute much in the conditions of permanent overload. In a saturated system, the effect is only delayed overflow of buffers. On the other side, the benefits of increasing the buffer size can be expected in the cases of transient system overloads.

6. CONCLUSION

This evaluation study tried to give the detailed quantitative and qualitative insight into the performance issues of proposed BORM design and implementation variants, in a wide variety of conditions. The extensive comparison was performed in regard to the different values of input parameters. A large amount of results which can be very helpful in decision making process about the implementation of an BORM system is available. Some of the most important conclusions of our simulation analysis are summarized here:

- variant with three ported on-board memory (from the host bus, the receive buffer, and the local bus) appears to have the best performance,
- increased degree of the HIB/BIB multi-porting has no impact on the performance of the UD proposal, while the performance of the BD proposal is adversely affected for higher number of processors,
- the effects of having the receive translation RAM on the BIB are shown to be significant for BD proposal, and negligible for UD proposal,
- multiple request/grant feature can be useful even for a very low grant limit,
- larger buffers can not contribute much in the conditions of permanent overload, while the benefits can be expected in the case of transient system overload.

REFERENCES

- [1] Tomašević, M., Milutinović, V., "A Survey of Cache Consistency Schemes in Multiprocessors Systems: Hardware solutions," *IEEE Micro*, October 1994.
- [2] "Encore90 Reflective Memory Systems Overview," Encore Computer Corporation, Fort Lauderdale, Florida, U.S.A., March 1991.
- [3] Milutinović, V., et al., "RMS for PC," Final report for phase #1, IFAC, March 93.
- [4] "N.2 Tutorial", TDT Corporation, Cleveland, Ohio, U.S.A., 1992.
- [5] Archibald J., Baer J.-L., "Cache Coherence Protocols: Evaluation Using a Multiprocessor Simulation Model," *ACM Transactions on Computer Systems*, Vol.4, No.4, November 1986, pp. 273-298.



RU9710272

A COMPARISON OF TWO APPROACHES TO ATM ROUTER CHIP DESIGN

Aleksandar Janićević, *Emil Jovanov, Dejan Rašković, and Veljko Milutinović

Department of Computer Engineering
School of Electrical Engineering
University of Belgrade
POB 816
11000 Belgrade
Yugoslavia

fax: +381-11-762-215
email: emilutiv@ubbg.etf.bg.ac.yu

*Department of Computer Engineering
Institute "M. Pupin"
University of Belgrade
POB 15
11000 Belgrade
Yugoslavia

fax: +381-11-775-835
email: ejovanoe@ubbg.etf.bg.ac.yu

Abstract

In order to handle large routing tables very fast, routers in ATM networks need hardware support for routing. The solution with associative memories is inappropriate, because of its area and power requirements. This paper analyzes and compares two solutions that use standard RAM, and do table search and update operations within a specified time limit (which implies no cell loss due to router table lookup). The paper contains both the performance and the complexity analyses. In the case that the router chip is slower than required, partitioning into several chips working in parallel can be used, and the number of chips can be determined knowing the required speed of the router chip table lookup.

1. INTRODUCTION

With the rapid progress of information technologies, new services, such as HDTV, video conferencing, high speed data transfer, videophony, and video on demand are appearing continuously. These services make specific and mutually different requirements for the networks that are to be used for their transport. This large range of requirements introduces the need for one universal network which is flexible enough to provide all of these services in the same way. New communications networks must be efficient for both computer data transfer and transfer of analog data, like sound, voice, still picture, and full-motion video. The currently used networks are designed for only one type of service and are often not applicable for the transport of another type of service. A second drawback is an inefficiency in the using of the internally available resources of the network. It is expected that ATM (Asynchronous Transfer Mode) will meet all requirements for present and future kinds

of services, and so it will replace all today's network standards.

ATM uses packet switching with packets (called cells in ATM terminology) that have a fixed length of 53 bytes (5 bytes for header and 48 bytes for data). Basic characteristics of the environment are: (a) a large number of simultaneously active connections (up to the order of 10000), and (b) high transmission rates (from 150 Mb/s to several Gb/s). Therefore, the efficient support for switching and routing has a great importance. In order to satisfy the requirement for search of large directories within one ATM cell time, an ATM router must use routing tables implemented in hardware [Killat89].

In the traditional solution to the problem, associative memories (or CAMs, for Content Addressable Memory) are used, and they are optimal for small directories. However, that approach is not applicable here, because of the size of the directories involved, so we decided to realize an ATM router chip using a standard off-the-shelf RAM and a fast specialized search hardware. Because of its functional similarity with associative memories, we call a router of this kind *pseudo-associative*.

Advantages of the approach with the standard RAM are: (a) fast development cycle based on the standard cell VLSI design, and (b) large and scalable routing table. These advantages imply the lowest cost and the shortest time to market, for the currently available technology.

In the following text, we use the word "item" to denote a data object that consists of a key and the information part. The key is used for searching, and the information part is the result of a (successful) search. In the case of the ATM router design, key is an ATM address, and the information part is the corresponding number used for routing.

2. PROBLEM STATEMENT

In the ATM environment, connection is established only when it is needed. Such connections are called virtual connections. Table update in network nodes is done only at connection establishing and termination. During the data transport time, the only operation needed is table search. Therefore, update frequency is much lower than search frequency. However, due to the large number of connections in realistic systems, even the update operation should not be time-consuming. The main goal of this research was to find the optimal organization of the routing table and the related mechanisms, and the architecture of the accelerator chip that makes use of standard RAM. The solutions using content-addressable memory (CAM) are unsatisfactory, because of their cost and small memory capacity. Also, non-deterministic approaches were not considered (in these methods, the search can sometimes exceed the time limit, which may lead to cell loss, which is not in conflict with the basic premises of the ATM standard).

The search and update time must be less than a specified upper bound. If for some values of the address space size the search and update times become larger than this bound, then a system with several chips working in parallel must be used. We call this partitioning, and the number of chips is called the degree of partitioning. The results of the analysis presented in this paper can be used for system design and dimensioning, if the following parameters are given: (a) cell transfer rate, (b) maximum number of table entries, and (c) speed of the used technology.

3. POSSIBLE SOLUTIONS

Implementation of a routing table is essentially a practical realization of address translation in a given address space. When the address space is small, the simplest and the fastest solution is direct address mapping; however, in the case of ATM, where the address is 24 or 28 bits wide, the routing tables could not be realized using this method. In general, possible realizations of hardwarized routing tables for the ATM environment are as follows (only the last two are of relevance for this research):

- Associative memory, Content Addressable Memory (CAM)
- Trie-based architectures (TRIE)
- Hash-Based Pseudo-Associative Architecture (HBPA)
- Standard memory with on-chip ALU for searching (RAM+ALU)
- Insertion Sort Binary Search pseudo-associative memory (ISBS)

Associative memory approach is ideal for small routing tables, or for a cache in larger directories. However, excessive area and power consumptions make it inappropriate for larger routing tables in the ATM environment [Jovanov94]. Also, at the current state of technology, associative memories

are much more expensive per byte than the RAM memories.

The trie-based architectures use a data structure called trie. They perform the search operation within a predictable time. Their main disadvantages are additional memory space for keeping the trie structure, time overhead for trie update, and large complexity of the control hardware.

The hash-based architectures use hash functions that map a given key to address of a location in RAM. If the hash function is carefully chosen, this solution can have very good performances, while due to its simplicity it requires a little chip area for the control logic. Its drawback is the unpredictable search and update times. These times can exceed the time limit. To avoid cell loss, a buffer for ATM cells must be used. The probability of cell loss depends on the length of this buffer and on the quality of the hashing function. To make the probability of a cell loss low, a careful analysis for different hash functions must be done.

The advantage of the fourth approach is small complexity and the use of off-the-shelf components. The smallest complexity is achieved if the list is unorganized, and faster search is realized using parallel search on multiple units. The disadvantage of sequential search of unordered lists is that it requires a large degree of partitioning, to satisfy tough ATM requirements. [Jovanov94].

Pseudo associative memory could be realized by maintaining an ordered list of table entries, using insertion sort. It makes possible a binary search, and therefore a high speed predictable search time. Compared with the TRIE approach, the ISBS does not require additional memory space for the search structure, and features a comparable search time. Unfortunately, table write/update may, in some cases, take an excessively long time.

As we have already pointed out, this work is only concerned with the last two solutions. We analyze the performance and complexity of both solutions. The final goal is to provide tables and graphs that help the designer of an ATM router determine the necessary degree of partitioning, if he chooses one of these two solutions.

4. DESCRIPTION OF THE ANALYZED SOLUTIONS

The proposed solutions that are analyzed in this paper are RAM+ALU and ISBS. They are based on the search techniques known as "sequential search" and "binary search" (their detailed description can be found in [Knuth73]). We call these solutions "deterministic," as opposed to "stochastic" solutions like the hash-based architecture HBPA described in the previous section.

4.1. RAM+ALU

The list of existing table items occupies the first m RAM locations. A new item is always written at the first free location. Because the list is kept

unordered, search is sequential. An item is deleted by first finding that item, and then moving the item from the last occupied location to the location of the deleted item.

4.2. ISBS

The ordered solution uses the fact that binary search is much faster than linear search. Therefore, an ordered list is maintained by inserting new items at the appropriate places.

An item is deleted by finding it using binary search and then moving all items after it (the items with greater key values) one place down.

4.3. Partitioning

If the speed of one routing chip is not high enough for the aimed application, a system with several copies of the same chip working in parallel (with one controller chip) is used. This system is shown in Figure 1.

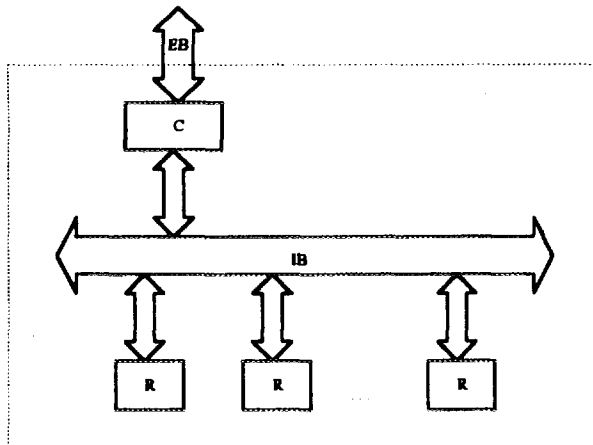


Figure 1: Top level structure of the router system
Definitions: C - Controller; IB - Internal bus; EB - External Bus; R - Router chip.

Description: In this organization all router chips are connected with the controller through a common bus.

Explanation: The whole communication between the system and the outside world is performed by the controller.

Implication: The number of router chips in the system must have no impact on the design of the router chips themselves.

Table writes are done cyclically to keep uniform loading factors for all the chips. For the search operation, the chips work in parallel. The operation is finished when either one chip finds the item or all chips report that they have not found the item.

5. THE ADOPTED CONDITIONS AND ASSUMPTIONS

First, we have to define the terms condition and assumption. A condition is a specification of the real environment. An assumption is a simplification that makes the analysis easier, and does not affect the

generality or the representativeness of the results. Basic conditions of our research are:

- Standard RAM table realization.
- All the RAM that is used for the table is on the same chip as the control logic.
- The memory is organized in 64-bit words: 32-bit key and 32-bit data. The whole table entry is accessed in one memory cycle.
- RAM size is 4K words.
- Search, write, and delete operations have to be completed within the specified time.
- Designed for standard cell VLSI implementation.
- Scalable and technologically independent architecture.
- Distribution of key values is equal to the ATM address distribution.

In order to increase the price/performance ratio, we adopted the following assumptions:

- If search, write, and delete operations can not be completed within the specified time, partitioning should be applied.
- Instead of the ATM distribution, the uniform distribution can be used without a negative impact on the simulation results.
- Increasing the degree of partitioning produces a linear speedup.

6. ANALYTICAL ANALYSIS AND COMPARISON

All times are expressed as the numbers of memory operations (reads and writes). We did not give exact numbers of memory cycles, but only the asymptotic formulae. A detailed analysis can be found in [Knuth73].

The operations of interest are insert, search, and delete. The times for these operations are expressed as functions of the number of table items M (in this case, a table item consists of an ATM address and the corresponding number) and the degree of partitioning d . We are using the following notation: $T_{i\max}$, $T_{s\max}$, and $T_{d\max}$ are the maximum values for insert, search, and delete time, respectively, and \bar{T}_i , \bar{T}_s , and \bar{T}_d are average values.

RAM+ALU:

Insert:

$$T_{i\max} = \bar{T}_i = 1$$

Search:

$$\bar{T}_{s\max} = \frac{M}{d}$$

$$\bar{T}_s \sim \frac{M}{2d}$$

Delete:

$$T_{d\max} \sim \frac{M}{d}$$

$$\bar{T}_d \sim \frac{M}{2d}$$

ISBS:

Insert:

$$T_{i\max} \sim \frac{2M}{d}$$

$$\bar{T}_i \sim \frac{M}{d}$$

Search:

$$T_{s\max} \approx \bar{T}_s \sim 2 \log_2 \frac{M}{d}$$

Delete:

$$T_{d\max} \sim 2 \frac{M}{d} + 2 \log_2 \frac{M}{d} \approx 2 \frac{M}{d}$$

$$\bar{T}_d \sim \frac{M}{d}$$

7. SIMULATIONAL ANALYSIS AND COMPARISON

The simulational analysis was done separately for the RAM+ALU and the ISBS architecture. A system with the degree of partitioning d was simulated, and the non-parallel version was viewed as the special case with $d = 1$. The following times were measured:

- average insert time
- maximum insert time
- unsuccessful search time
- (average and maximum are equal)
- average successful search time
- maximum successful search time
- average delete time
- maximum delete time

The graphs are given on Figures 2 and 3. Only maximum insert and maximum search times are showed, because they give enough information to evaluate the analyzed architectures.

It can be seen from the figures that the critical operations for the ISBS architecture are table updates (insert and delete), and for the RAM+ALU search operation. To get the necessary degree of partitioning, we must know M (the maximum number of ATM addresses that will be active at any moment). For that value we run the simulations and get the tables for the numbers of memory cycles for all the relevant operations. The time for one memory cycle depends on the used technology, and the maximum

allowed time for an operation depends on the required bit rate of the ATM router. With these data the degree of partitioning can be easily obtained.

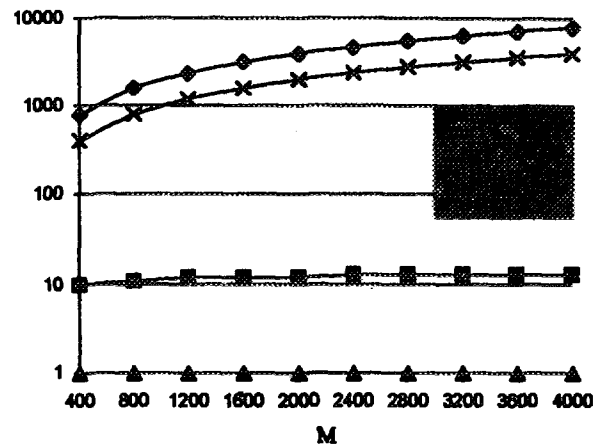


Figure 2: Maximum insert and search times for the ISBS architecture and the degree of partitioning equal to 1.

Definitions: ISIM - The insert maximum for the ISBS architecture; ISSSM - Successful search maximum for the ISBS architecture; RAIM - Insert maximum for the RAM+ALU architecture; RASSM - Successful search maximum for the RAM+ALU architecture; M - The current number of existing items

Description: The time-critical operations are: insert for the ISBS architecture and search for the RAM+ALU architecture.

Explanation: For larger values of M , these operations are by at least three orders of magnitude slower than other operations.

Implication: Only the time-critical operations are relevant for determination of the necessary degree of partitioning.

8. IMPLEMENTATIONAL ANALYSIS AND COMPARISON

The architectures were implemented in the standard cell methodology using the $2\mu\text{m}$ CMOS technology in the software package OrCad.

Complexity of the control logic for RAM+ALU is equal to 12855.

Complexity of the control logic for ISBS is equal to 16025.

Complexity of the static RAM (for both solutions) is equal to $4\text{Kwords} \times 66\text{bits} \times 6\text{transistors} = 1622016$ transistors

This analysis shows that control logic for both architectures represents a relatively small part of the complexity of the on-chip RAM.

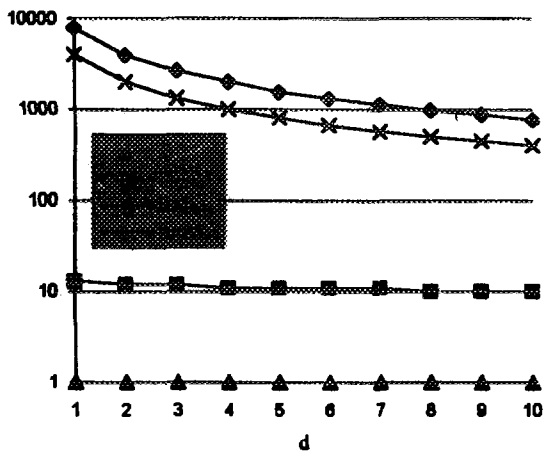


Figure 3: Maximum insert and successful search times for the ISBS architecture, $M = 4000$, and different degrees of partitioning

Definitions: ISIM - Insert maximum for the ISBS architecture; ISSSM - Successful search maximum for the ISBS architecture; RAIM - Insert maximum for the RAM+ALU architecture; RASSM - Successful search maximum for the RAM+ALU architecture; d - The degree of partitioning

Description: In this simulation analysis it was assumed that increasing the degree of partitioning produces a linear speedup.

Explanation: This assumption is reasonable, because the communication on the internal bus does not increase when the degree of partitioning increases.

Implication: The router chip has the maximum speed when there is only one item in the memory. This speed can theoretically be attained for any number of items by increasing the degree of partitioning.

9. CONCLUSION

It is very important to provide fast and cheap hardware implementation of large routing tables for

the future ATM network nodes. In our research, we analyzed and compared two solutions that use standard on-chip RAM. We categorized these solutions as "deterministic" as opposed to "stochastic" (hash-based solutions).

To improve performance, a system that makes use of many routing table chips working in parallel could be used. We call this method "partitioning", and in this research we analyze the ways to determine the necessary degree of partitioning, in order to achieve the required performance for a specified application.

In the further investigation, we intend to find improvements to the algorithms used. The main direction of the research is looking for faster algorithms, while keeping the complexity of the control logic simple.

10. ACKNOWLEDGEMENTS

The authors wish to thank the Ministry of Science and Technology of Yugoslavia and the IFAC laboratory, for their financial support of this research.

11. REFERENCES

- [Janić94] Janićijević, A., "Architecture of the ISBS ATM Router Chip," IFAC Technical Report TR-IFAC-94-AJ001, 1994.
- [Knuth73] Knuth, D., E., "The Art of Computer Programming, Vol. 3: Sorting and Searching," Addison-Wesley, Reading, Massachusetts, U.S.A., 1973.
- [Pei92] Pei, T.-B., Zukowski, C., "Putting Routing Tables in Silicon", *IEEE Network*, January 1992, pp. 42-50.
- [Segal86] Segal, M., "Hardware sorting chip steps up software pace", *Electronic Design*, June 26, 1986, pp. 85-91.

TIME ANALYSIS OF INTERCONNECTION NETWORKS IMPLEMENTED ON THE HONEYCOMB ARCHITECTURE

*Dragana Milutinovic
Institute Michael Pupin
POB 15
11000 Belgrade
Yugoslavia
Fax: 38(yu)-11(belgrade)-762215
Email: emilutin@ubbg.ctf.bg.ac.yu*

ABSTRACT

This paper analyzes the time domain aspects of the mapping of interconnection networks for parallel processing on one form of uniform massively parallel architecture of the cellular type. So, together with the accompanying paper, which analyzes the area domain, this paper covers some of the main time domain problems in the implementation of interconnection networks on the advanced sea-of-gates VLSI. Formulae are derived that show the time necessary for eight different interconnection networks to perform their function. These eight interconnection networks belong to all major interconnection networks classes. The formulae show that, when the technology changes, the mapping rules also change. The main reason for that is because the complexity for this form of uniform massively parallel architecture is expressed through the number of two-dimensional VLSI cells, while the complexity of the classical massively parallel systems is expressed through the number of interconnection wires between elements.

1. INTRODUCTION

The main problems in implementing the interconnection networks on the massively parallel systems are how to get the most efficient communication between processors, between processors and memory, and how to utilize the processors in order to obtain the best results.

The above problems are present mostly because the interconnection networks and algorithms are not adjusted to each other.

2. THE PROPOSED SOLUTION

The HONEYCOMB architecture [Milutinovic87] deals with only one type of architectural element: an element that can be internally reconfigured to serve as either a

processing element, or a memory cell, or an element of a data communication bus (Fig. 2.1.). A cell's function is determined at compilation time (that is, whether it will serve as a CPU (PE), as a memory cell, or as a bus segment) and is established during the preprocessing time, when the system is adjusted to the application (e.g., a semantic network of a desired topology).

This type of architecture is a class of massively parallel system of the cellular type. The difference between this type of architecture and the LATTICE architecture [Snyder82] and [Snyder84] is in the fact that LATTICE architecture deals with two types of architectural elements: for processor/memory activities, and for data communications.

3. MAPPING METHODOLOGY USED

We used one type of "heuristic" mapping methodology [Fortes88], partly modified. General form of this transformation is modified Leiserson, Rose and Sax's method [Fortes88] of transformation.

The two approaches are given in Fig.3.1. and Fig.3.2. For details, see [Milutinovic92].

4. CONDITIONS OF THE TIME ANALYSIS TO FOLLOW

In this paper we show the time analysis for the mapping of eight different interconnection networks [Siegel83], [Siegel88] and [Siegel89]. Interconnection network in our analysis is of the quadratic shape with the minimal area for the complexity of the network; with some idle cells, which can be used for fault-tolerant processing. In one time unit, a cell can have only one function, either of a PE, a memory cell, or a communication bus.

Also, there are no theoretical constraints about the data that the memory cell can transfer or memorize.

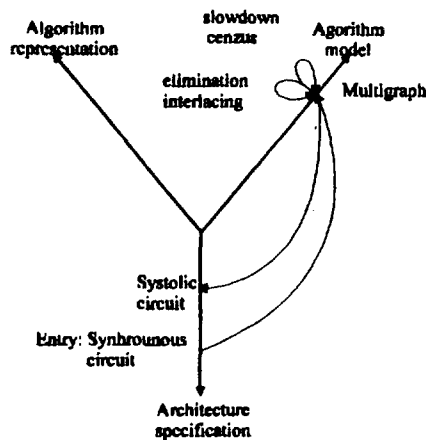


Fig.3.1. Mapping based on the Y-transformation: The Leiserson + Rose + Sax method (baseline)

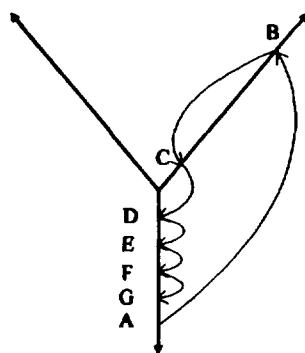


Fig.3.2. Mapping based on the Y-transformation: Specific form used in this research (improvement)

- * A: Starting from a classical interconnection network
- * B: Generation of a coarse grain schematic
- * C: Generation of a fine grain schematic
- * D: Determination of the appropriate "sea-of-gates" structure
- * E: Determination of PE functions
- * F: Determination of I/O functions
- * G: Determination of memory functions

Generally, one cell can be used for more than one activity in one time unit, under the condition that there is no conflict inside the cell. Here, this means that it is allowed to write a datum into the cell and read the datum from the same cell, during one time unit. It is not allowed to transfer two different data items through one cell during one time unit. If it is necessary, one datum will wait in the neighbouring cell, until the next time unit. For a more formal explanation, see [Milutinovic 92].

Generally, there is no time limit for different processes. Here, we assume that during one time unit, we can do the following:

- * Transfer the data from one of the inputs (i) to one of the outputs (j) of one cell ($i, j = 0, 1, 2, 3$);

- * Write the datum into the cell, i.e. transfer the datum from the input of the cell to the memory location inside the cell.
- * Read the datum from the cell, i.e. transfer the datum from the memory location inside the cell, to the output of the cell.

We assume that in one cell, input and output connections are at the middle of each side of the quadratic cell. It is not allowed to transfer data through the corners of the cells. Generally, possible combinations in the interconnection network are:

- * Input: processors; output: memory modules;
- * Input: processors; output: processors (different ones);
- * Input: processors; output: processors (the same ones, but shown twice, so that it is easier to see the transfer of the data in the network).

In this paper, we analyze only the case when, in the input we have N processors, and in the output we have different N processors.

5. TIME ANALYSIS

Time analysis of the mapping consists of the following elements:

- (a) Finding the formulae for the maximum number of time units necessary for communicating between two processors;
- (b) Finding the formulae for the minimum number of time units necessary for communicating between two processors;
- (c) Finding the ratio between the number of time units necessary for communicating between two processors and the distance between the processors;
- (d) Average number of time units necessary for transferring the data between two processors;
- (e) Conclusion.

5.1. Max number of time units needed for communication between two processors

Finding the formulae $T_{max}(N_{pe})$ is done for the same eight interconnection networks as in the case of area analysis. See [Milutinovic92].

Single Stage Cube

We assume that we have to transfer the data between PE_i and PE_j , whose binary addresses are $P_{m-1}...P_0$ and $Q_{m-1}...Q_0$. So, we have to do as many cube functions as there are different binary numbers in their binary addresses. We get the max time when all binary numbers in binary addresses of PE_i and PE_j are different. Formulae are given in Fig.5.1.

Single Stage PM2I

We assume that we have to transfer the data from PE_i to PE_j, whose binary addresses are P_{m-1}...P₀ and Q_{m-1}...Q₀, respectively. So, we have to do as many PM2I functions as there are different binary numbers in their binary addresses. Max time is when all binary numbers are different. Formulae are given in Fig.5.1.

Others

The formulae for T_{max}(N_{pe}) for Generalized Cube, Augmented Data Manipulator, Binary Tree, Illiac Half Torrus, Shared Bus, and Crossbar Switch are given in Fig.5.1.

5.2. Minimal number of time units needed for communication between two processors

Formulae for T_{min}(N_{pe}), for the same eight interconnection networks, for classical systems and the analyzed system, are given in the table on Fig.5.1.

5.3. Formulae for T_{ij}(N_{pe}, i, j) for eight different interconnection network types

These formulae are derived in an analogous way as the previous formulae, and are to be used for comparison purposes. Their discussion is given later in the paper.

Single Stage Cube

We assume a system of two PEs (m=1,2,...). Each PE can be shown as a binary number: P_{m-1}P_{m-2}...P₁P₀. Assume we want to transfer the data from PE_i to PE_j. We have to do as many cube functions as there are different binary numbers in their binary addresses (those cube functions that correspond to the placement of different binary numbers). Formulae are given in F.5.4.

Binary Tree

In [Milutinovic92] we show one possible way of finding the formulae for T_{ij}(N_{pe}, i, j) in the case when PE_i and PE_j are in different levels. When PE_i and PE_j are at the same level the formula is given in Fig.5.4.

Illiac Half Torrus

In Fig. 5.4.A. we show an example scheme of the network, where $n = \sqrt{N}$ and N is the number of PEs. The numbers 1', 2', ..., 15' are PE₁, PE₂, ..., PE₁₅ (X_i = MOD_n(i), Y_i = (i/n)). The formulae are given in Fig.5.4.

Others

Formulae for T_{ij}(N_{pe}, i, j) for Single Stage PM2I, Generalized Cube Network, Augmented Data

Manipulator, Shared Bus, and Crossbar Switch are given in Fig.5.4., respectively.

6. DISCUSSION OF THE TIME ANALYSIS RESULTS

The table, where we compare formulae T_{max}(N_{pe}) for classical systems and for the system that we analyze here is given in Fig.5.1. The table, in which we show how T_{max} depends of N_{pe} in classical systems and in the system that we analyze (only qualitative dependence), is given in Fig.5.2.

Formulae for T_{min}(N_{pe}), for the same eight interconnection networks and the same two analyzed systems, are given in the table on Fig. 5.3.

The table that shows how the number of time units, necessary for the transfer of data between two PEs, depends on the relative placement of the two PEs, for all eight interconnection networks in the classical technology and in the analyzed system, is given in Fig.5.4.

Average number of time units necessary for the transfer of data between two processors can be found as a weighted sum, with all possible combinations, as in the given formula. In this formula, C means the total number of combinations for i and j. T_{min} and T_{max} were defined before.

7. CONCLUSIONS

From the area and time analysis, we can see that the functional dependencies in the system, analyzed here, are different in comparison with the related dependencies in classical systems. One of the main goals of this work is to show that these differences are not only quantitative, but also qualitative. Both in the area and time analysis, the reasons for differences are:

- * The technological differences in the geometric dimensions of the basic element, when performing the related functions;
- * The technological constraints during the mapping, which is the most important reason, especially for the interconnection networks whose topology is not strictly planar.

From the formulae of the area [Milutinovic92] and time analysis, we can derive the formulae for A*T and A*T**2.

These results show that with a new technology the main factors for the cost/performance analysis may change. This work shows the mapping of interconnection networks or the Honeycomb architecture, which models the "sea-of-gates" VLSI.

	$T_{\max}(N_{pe})$ Classical system	$T_{\max}(N_{pe})$ Honeycomb system
Single Stage Cube	$(\log_2 N_{pe}) T_0$	$\left[2 + 3(\log_2 N_{pe} - 1) + \sum_{i=1}^{\log_2 N_{pe}-1} 2^i \right] T_0$
Single Stage PM2I	$(\log_2 N_{pe}) T_0$	$\left[3 \log_2 N_{pe} + \sum_{i=1}^{\log_2 N_{pe}-1} 2^i \right] T_0$
Generalized Cube Network	$(\log_2 N_{pe}) T_0$	$\left(\frac{N_{pe}}{2} + 2 \log_2 N_{pe} \right) T_0$
Augmented Data Manipulator	$(\log_2 N_{pe}) T_0$	$\left(\frac{N_{pe}}{2} + 2 \log_2 N_{pe} \right) T_0$
Binary Tree	$2 \log_2 (N_{pe} + 1) T_0$	$[N_{pe} + 1 + 2 \log_2 (N_{pe} + 1) - 3] T_0$
Illiac	$2(\sqrt{N_{pe}} - 1) T_0$	$(4\sqrt{N_{pe}} + 1) T_0$
Shared Bus	T_0	$(N_{pe} + 2) T_0$
Crossbar Switch	T_0	$(N_{pe} + 1) T_0$

Fig 5.1.

	$T_{\max}(N_{pe})$ Classical system	$T_{\max}(N_{pe})$ Honeycomb system
Single Stage Cube	$\sim \log_2 N_{pe}$	$\sim N_{pe}$
Single Stage PM2I	\square $\sim \log_2 N_{pe}$	$\sim N_{pe}$
Generalized Cube	$\sim \log_2 N_{pe}$	$\sim N_{pe}$
Augmented Data Manipulator	$\sim \log_2 N_{pe}$	$\sim N_{pe}$
Binary Tree	$\sim \log_2 N_{pe}$	$\sim N_{pe}$
Illiac	$\sim \sqrt{N_{pe}}$	$\sim \sqrt{N_{pe}}$
Shared Bus	const.	$\sim N_{pe}$
Crossbar Switch	const.	$\sim N_{pe}$

Fig 5.2.

	$T_{\min}(N_{pe})$ Classical system	$T_{\min}(N_{pe})$ Honeycomb system
Single Stage Cube	T_0	$2T_0$
Single Stage PM2I	T_0	$3T_0$
Generalized Cube Network	$(\log_2 N_{pe}) T_0$	$2(\log_2 N_{pe}) T_0$
Augmented Data Manipulator	$(\log_2 N_{pe}) T_0$	$2(\log_2 N_{pe}) T_0$
Binary Tree	T_0	$3T_0$
Illiac	T_0	$3T_0$
Shared Bus	T_0	$4T_0$
Crossbar Switch	T_0	$3T_0$

Fig 5.3

	$T_{ij}(N_{pe}, i, j)$ Honeycomb system	$T_{ij}(N_{pe}, i, j)$ Classical system
Single Stage Cube	$\sum_s T_{i,j \bmod m}(\text{Cube}_s) \quad T_{i,j \bmod m}(\text{Cube}_0) = 2T_0$ $p_i = q_i$ $m-1 \geq s \geq 0 \quad T_{i,j \bmod m}(\text{Cube}_s) = 2^s + 3$ $s = 1, 2, \dots, m-1$	$\sum_s T_{i,j \bmod m} = ST_0$ $p_i = q_i$ $m-1 \geq s \geq 0$
Single Stage PM2I	$\sum_s T_{i,j \bmod m}(\text{PM2I}_s) \quad T_{i,j \bmod m}(\text{PM2I}_0) = 3T_0$ $p_i = q_i$ $m-1 \geq s \geq 0 \quad T_{i,j \bmod m}(\text{PM2I}_s) = 2^{s+1} + 3$ $s = 1, 2, \dots, m-1$	$\sum_s T_{i,j \bmod m} = ST_0$ $p_i = q_i$ $m-1 \geq s \geq 0$
Generalized Cube	$(2 \log_2 N_{pe} + 1 + j-i) T_0 \quad N_{pe} = 4, 8, \dots$	$(\log_2 N_{pe}) T_0$
Augmented Data Manipulator	$(2 \log_2 N_{pe} + 1 + j-i) T_0 \quad N_{pe} = 4, 8, \dots$	$(\log_2 N_{pe}) T_0$
Binary Tree	see [Milutinovic92]	see [Milutinovic92]
Illiac	$[2 x_i - x_j + 2 y_i - y_j + 1] T_0$ $x_i = \text{mod}_m i \quad y_i = \left\lfloor \frac{i}{m} \right\rfloor$	$(x_i - x_j + y_i - y_j) T_0$ $x_i = \text{mod}_m i$ $y_i = \left\lfloor \frac{i}{m} \right\rfloor$
Shared Bus	$(j-i + 3) T_0$	T_0
Crossbar Switch	$(j+i+3) T_0$	T_0

Fig 5.4

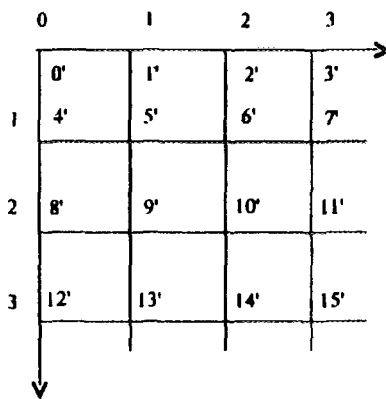


Fig. 5.4.A.

8. REFERENCES

- [Adams89] G.D.Adams, C.H.Sequin, "Template Style Considerations for Sea-of-Gates Layout Generation," Proceedings of the 26th ACM/IEEE Design Automation Conference, 1989, pp. 31-36.
- [Fortes88] J.A.B.Fortes, K.S.Fu, and B.W.Wah, "Systematic design approaches for algorithmically specified systolic arrays," Chapter 11, in V. Milutinovic, Editor, "Computer Architecture," North Holland, 1988, pp. 454-494.
- [Hillis81] W.E.D.Hillis, "The connection machine," T.R. 646, MIT A.I.Lab, Cambridge Mass, USA, 1981.
- [Milutinovic86] V.Milutinovic, D.Fura, W.Helbig, "Introduction to Microprocessor Architecture for VLSI," IEEE Computer, March 1986, pp. 30-42.
- [Igusa89] M.Igusa, M.Beardslee, A.Sangiovanni-Vincentelli, "ORCA A-Sea-of-Gates Place and Route System," Proceedings of the 26th ACM/IEEE Design Automation Conference, 1989, pp.122-127.
- [Meyer90] E.Meyer, "Jambo arrays scale 250,000 gates," Computer Design, March 1, 1990, pp. 28-36.
- [Milutinovic87] D.Milutinovic, V.Milutinovic, B.Soucek, "The honeycomb architecture," IEEE Computer, April 1987, pp. 81-83.
- [Milutinovic89] V.Milutinovic, "Mapping of neural networks onto the honeycomb architecture," Proceedings of the IEEE, December 1989, pp.1875-1878.
- [Milutinovic92] D.Milutinovic, "Mapping of Interconnection Networks into the Honeycomb Architecture," PHD Thesis in Progress, 1992.
- [Okabe89] M.Okabe, Y.Okuno, T.Arakawa, I.Tomioka, T.Ohno, T.Noda, M.Hatanaka, Y.Kuramitsu, "A 400K-Transistor CMOS Sea-of-Gates Array with Continuous Track Allocation," IEEE Journal on Solid-State Circuits, Vol. 24., No.5., June 1989, pp.1280-1285.
- [Preis86] W.Preis, A.Thanailakis, H.Card, "Group properties of cellular automata and VLSI applications," IEEE Transactions on Computers, December 1986.
- [Siegel83] L.J.Siegel, et al., "Distributed computing for signal processing: Modeling of asynchronous parallel computation," Purdue University Technical Report, TR-EE 83-11, March 1983.
- [Siegel88] H.J.Siegel, "Interconnection networks," Chapter 6, in V. Milutinovic, Editor, "Computer Architecture," North Holland, 1988, pp. 225-264.
- [Siegel89] H.J.Siegel, W.T.Y.Hsu, "Interconnection networks," North-Holland, 1989.
- [Snyder82] L.Snyder, "Introduction to the configurable highly parallel computer," IEEE Computer, January 1982.
- [Snyder84] L.Snyder, "Parallel programming and the poker programming environment," IEEE Computer, July 1984.
- [Wolfram84] S.Wolfram, "University and complexity in cellular automata," Elsevier Science Publishers, B.V., 1984.
- [Wolfram86] S.Wolfram, "Theory and Applications of Cellular Automata," World Scientific, 1986, pp. 126-189.

AREA ANALYSIS OF INTERCONNECTION NETWORKS IMPLEMENTED ON THE HONEYCOMB ARCHITECTURE

*Dragana Milutinovic
Institute Michael Pupin
POB 15
11000 Belgrade
Yugoslavia
Fax: 38(yu)-11(belgrade)-762215
Email: emilutin@ubbg.etf.bg.ac.yu*

ABSTRACT

This paper analyzes the area efficiency of the mapping of interconnection networks for parallel processing on one form of uniform massively parallel architecture of cellular type. This architecture is ment to model one trend in the advanced sea-of-gates VLSI. The analytical analysis was done for the mapping area of eight different types of interconnection networks which, according to a widely accepted classification, belong to all major interconnection network classes. In the domain of analytical analysis, formulae were derived that show the VLSI area necessary for mapping each chosen type of interconnection network. Major results of this research are the formulae for: (a) the number of cells necessary to realize a network, (b) the efficiency factor of the system. These formulae show, in some cases, significant structural differences in comparison with the formulae that imply classical implementations. This is because the critical issue for the technology under consideration here is the number of two-dimensional VLSI cells, and for the classical technology the critical issue is the number of interconnection wires being routed in a three-dimensional space.

1. INTRODUCTION

One of the major problems in massively parallel systems is the inefficiency in utilization of processing elements. In some cases, this is due to the lack of high-volume parallelism in the algorithms to be mapped onto a massively parallel system. In other cases, this is because of various constraints that do not allow the most efficient mapping strategy.

The above two problems present an important bottleneck for massively parallel processing. As it will be seen later, these actions are easily done in the architecture under consideration here. This architecture has its roots in the LATTICE architecture of Snyder [Snyder82], and was first introduced in [Milutinovic87] as the HONEYCOMB architecture.

2. THE PROPOSED SOLUTION AND ITS ESSENCE

The solution which is the subject of this paper can be conditionally classified into the group of massively parallel systems of cellular type. The idea is to have one cell type, which can serve as either a simple processing element, or a segment of a fault-tolerant bus, or a set of memory cells. One uniform cell can serve only one function at a time. Therefore, we go here one step beyond the LATTICE architecture [Snyder82 and Snyder84], and hope for an even better match between the algorithms and the architecture. In this paper, we demonstrate the capabilities of the introduced single-cell type architecture, through the mapping area analysis for all major interconnection network types.

Under the assumption that an extremely simple RISC-type CPU may occupy the VLSI area which is equal to the VLSI area of a complex fault-tolerant bus segment, we propose the architecture with a general structure as in Fig. 2.1. We refer to it as the HONEYCOMB architecture. Each cell can serve either as a processing node, or a set of memory cells, or as a bus segment, in a system which mimics a cellular network. In principle, the system can mimic the structures which are typical for numeric or symbolic processing. All cells are identical in their size and internal design. A function of a cell (i.e., if it will serve as a CPU, as a memory cell, or as a bus segment) is determined at compilation time, and at the preprocessing time when the system is adjusted to a network of the desired topology. The essence of the concept can be best explained through an example, which is given in [Milutinovic87].

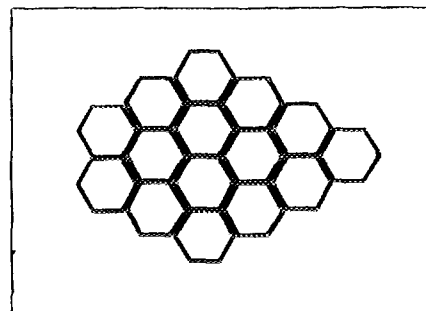


Fig 2.1 General structure of the Honeycomb architecture

We now summarize the difference between the HONEYCOMB approach and other existing approaches [Milutinovic89]:

1. *Mismatch between the algorithm and the architecture completely disappears.* This is because the architecture can be fully tailored to the needs of the algorithm.

2. *Interconnection network is not a constraint any more, as far as the mapping of algorithms onto an architecture is concerned.* This is because the HONEYCOMB universal cells can be reconfigured to emulate any realistic type of interconnection network.

3. *Heterogeneity of system elements is not an issue any more.* This is because the universal HONEYCOMB cells can be combined to form any desired processing element.

4. *Inadequate granularity of the CPU is not an issue any more.* This is because the universal HONEYCOMB cells can be combined to form any desired CPU granularity.

5. *Inadequate capacity of the local memory is not an issue any more.* This is because the HONEYCOMB cells can be processing element types (reincarnation of "transformer" cartoons in computer engineering). This overhead is larger in conventional technologies (e.g., semiconductor) and smaller in new technologies (e.g., biotechnology). Theoretical bounds for the overhead are between 1 and 3. However, the work of Hoch at Purdue University [Hoch87] has shown that, with a very careful design, even in conventional technologies, this overhead can be fairly small (between 1 and 2), which makes the whole idea (about the HONEYCOMB architecture) very attractive.

3. MAPPING METHODOLOGY USED

In this paper, we use the general "heuristic" mapping methodology presented in [Fortes88]. Figure 3.1. shows the general form of the used Y transformation [Fortes88], which can result in a number of different specific mapping methods. Here we use one specific mapping method which is most similar to the Leiserson, Rose, and Sax's method of transformation [Fortes88].

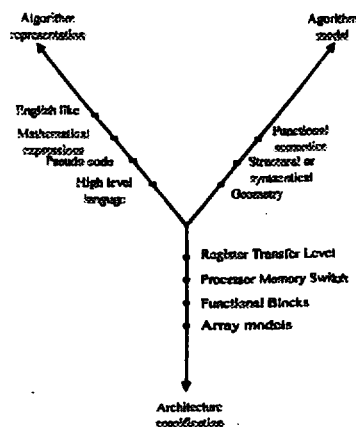


Fig.3.1. Mapping based on the Y-transformation: General form of the Y-transformation

We start from the classical configuration of the interconnection network to be mapped. The interconnection network is shown as a multigraph (logical scheme), with nodes as PEs and connections that connect these PEs. Then we transform the interconnection network given in the classical form into a configuration that is possible to use in HONEYCOMB technology. By this transformation the functions of PEs and their connections are saved. That is shown in Figure 3.2

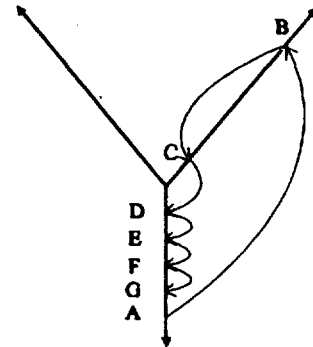


Fig.3.2. Mapping based on the Y-transformation: Specific form used in this research

- * A: Starting from a classical interconnection network
- * B: Generation of a coarse grain schematic
- * C: Generation of a fine grain schematic
- * D: Determination of appropriate "sea-of-gates" structure
- * E: Determination of PE functions
- * F: Determination of I/O functions
- * G: Determination of memory functions

4. CONDITIONS OF THE AREA ANALYSIS TO FOLLOW

In this paper we show the area analysis for the mapping of eight different interconnection networks, which cover the complete set of interconnection network types in the modified Siegel classification of interconnection networks [Siegel83] and [Siegel88], and [Siegel89]. These network include: (a) Single Stage Cube, (b) Single stage PM2I, (c) Generalized Cube Network, (d) Augmented Data Manipulator, (e) Binary Tree, (f) Illiac, (g) Shared Bus and (h) Crossbar Switch.

We analyze the interconnection network of the quadratic shape and the minimal area for the given complexity of the network. Consequently, there are some idle cells after mapping. The number of cells that serve the function of PEs, memory cells, buses, I/O is: N_{pe} , N_{mem} , N_{bus} , and N_{ui} .

The efficiency factor $U(N_{pe})$ on pages to follow (N_{pe} is the number of PEs) is the ratio between the number of cells necessary for one type of interconnection network (N_{eff}) and the total number of cells (N_{tot}) in the system [$U(N_{pe})=N_{eff}/N_{tot}$].

The number of cells that are active is the sum of the number of cells that, at some time unit, have the function of PEs, memory, buses, or input/output units [$N_{\text{eff}} = N_{\text{pe}} + N_{\text{mem}} + N_{\text{bus}} + N_{\text{ui}}$].

In classical systems, the complexity of the interconnection network $C(N_{\text{pe}})$ is defined through the total number of connections. The main goal of this analysis is to show that in a new technology (the one that gives us the possibility to realize the uniform architecture) the formulae for the area complexity of the interconnection networks are qualitatively different.

When the cell has the function of a PE, the following operations are possible:

- * Direct transfer between any of the four inputs and four outputs,
- * Arithmetic functions: ADD/SUB/COMPLEMENT,
- * Logic functions: AND/OR/NOT,
- * NOOP: The cell is:
 - * Activated in the system, temporarily is not used, but it preserves the contents of its accumulator, or
 - * Not activated in the system, but is available for eventual need of the FAULT-TOLERANT processing.

Generally, it is possible to have many memory locations per cell. Here, we have only one memory location per cell. Also, there are no theoretical constraints about the amount of data that the memory cell can keep. Here we assume that one cell can transfer or memorize one datum in one time unit.

5. AREA ANALYSIS

We analyze here eight different types of interconnection networks. During the analysis, we use the variable l as an intermediate variable (which is closer to the physical representation), to generate $N_{\text{total}}(N_{\text{pe}}, M)$, $N_{\text{idle}}(N_{\text{pe}}, M)$, and $U(N_{\text{pe}}, M)$. At the end of each analysis, we will give the relation between l and N_{pe} , so all formulae are given as a function of N_{pe} (which is closer to the architectural representation). Details can be found in [Milutinovic92].

6. DISCUSSION OF THE RESULTS

Tables with comparative results for classical implementations, and the HONEYCOMB based implementations, are given in Fig.6.1., Fig.6.2., Fig.6.3., Fig.6.4., and Fig.6.5. From these tables, one can see that the related formulae for classical systems and the HONEYCOMB architecture are different, sometimes only quantitatively, sometimes both quantitatively and qualitatively. It seems that the differences appear because of the following facts:

(a) In this new architecture mapping must be done in two dimensions, while in classical architectures, it can be done in three dimensions.

(b) Geometric relative placements of PEs and communication elements are drastically different.

New technology brings new rules, which can also be seen when we analyze the efficiency factor.

	$N_{\text{tot}}(l, M)$	$l(N_{\text{pe}})$	$N_{\text{tot}}(N_{\text{pe}}, M)$
Single Stage Cube	$2^l(2^{l-1} + 1 + M)$	$\log_2 N_{\text{pe}}$	$N_{\text{pe}} \left(\frac{N_{\text{pe}}}{2} + 1 + M \right)$
Single Stage PM2I	$2^{l+1} \left(2^{l-1} + 1 + \frac{M}{2} \right)$	$\log_2 N_{\text{pe}}$	$2N_{\text{pe}} \left(\frac{N_{\text{pe}}}{2} + 1 + \frac{M}{2} \right)$
Generalized Cube Network	$2^{l+1}(1 + l + M)$	$\log_2 N_{\text{pe}} - 1$	$N_{\text{pe}} (\log_2 N_{\text{pe}} + M)$
Augmented Data Manipulator	$2^{l+1}(1 + l + M)$	$\log_2 N_{\text{pe}} - 1$	$N_{\text{pe}} (\log_2 N_{\text{pe}} + M)$
Binary Tree	$(2^l - 1)(1 + M)$	$\log_2 (N_{\text{pe}} + 1)$	$N_{\text{pe}} (\log_2 (N_{\text{pe}} + 1) + M)$
Illiac	$4^{l+1} \left(2 + \frac{M}{2} \right)$	$\sqrt{N_{\text{pe}}}$	$4N_{\text{pe}} \left(2 + \frac{M}{2} \right)$
Shared Bus	$l(2 + M)$	N_{pe}	$N_{\text{pe}}(2 + M)$
Crossbar Switch	$(l + 1 + M)^2$	$\frac{N_{\text{pe}}}{2}$	$\left(\frac{N_{\text{pe}}}{2} + 1 + M \right)^2$

Fig.6.1. Comparative Analysis: Table $N_{\text{total}}(N_{\text{pe}}, M)$

7. CONCLUSIONS

We have shown here that, when the technology changes, the rules for mapping will change, as well. In this work, we have derived the rules for mapping of the interconnection networks in the case of the HONEYCOMB architecture, which models some trends in a new type of VLSI structures, known as the "sea-of-gates" VLSI [Adams89], [Igusa89], [Meyer90], and [Okabe89].

The main result of this work is that it is shown how the main factors for the cost/performance analysis change, when the technology changes. The factor that we analyze here is the mapping area. The differences are both quantitative and qualitative.

This work opens some new problems, which can be analyzed. One is the time analysis; others are related to the creating the system software for the HONEYCOMB architecture and the analysis of that software. Another problem is analyzing utilization of the HONEYCOMB architecture for the fault tolerant processing. Also, it would be interesting to implement one of the analyzed interconnection networks in the real "sea-of-gates" VLSI technology, and to compare the empirical results (from this paper) with the theoretical results (from implementation).

	$C(I)$	$I(N_{pe})$	$C(N_{pe})$
Single Stage Cube	$1 \cdot 2^{I-1}$	$\log_2 N_{pe}$	$\frac{N_{pe} \log_2 N_{pe}}{2}$
Single Stage PM2I	$2^{I+1}(2I-1)$	$\log_2 N_{pe}$	$\frac{N_{pe}(2 \log_2 N_{pe} - 1)}{2}$
Generalized Cube Network	$1 \cdot 2^I$	$\log_2 N_{pe} - 1$	$\frac{N_{pe}}{2} (\log_2 N_{pe} - 1)$
Augmented Data Manipulator	$1 \cdot 2^I \cdot 3$	$\log_2 N_{pe} - 1$	$\frac{3}{2} N_{pe} (\log_2 N_{pe} - 1)$
Binary Tree	$2^I - 1$	$\log_2 (N_{pe} + 1)$	$N_{pe} - 1$
Illiac	$2I^2$	$\sqrt{N_{pe}}$	$2N_{pe}$
Shared Bus	1	N_{pe}	N_{pe}
Crossbar Switch	I^2	$\frac{N_{pe}}{2}$	$\frac{N_{pe}^2}{4}$

Fig.6.2. Comparative analysis: Complexity versus the number of PEs

	$U(I, M)$	$I(N_{pe})$	$U(N_{pe}, M)$
Single Stage Cube	$\frac{2^I(2^{I-1} + 1 + M) - \sum_{j=1}^{I-1} 2^{I-j}}{2^{I+1}(2^{I-1} + 1 + \frac{M}{2})}$	$\log_2 N_{pe}$	$\frac{N_{pe}(\frac{N_{pe}}{2} + 1 + M) - \sum_{j=1}^{\frac{N_{pe}}{2}-1} j}{N_{pe}(\frac{N_{pe}}{2} + 1 + M)}$
Single Stage PM2I	$\frac{2^{I+1}(2^{I-1} + 1 + \frac{M}{2}) - \sum_{j=1}^{I-1} 2^{I-j}}{2^{I+1}(2^{I-1} + 1 + \frac{M}{2})}$	$\log_2 N_{pe}$	$\frac{2N_{pe}(\frac{N_{pe}}{2} + 1 + \frac{M}{2}) - 4 \sum_{j=1}^{\frac{N_{pe}}{2}-1} j}{2N_{pe}(\frac{N_{pe}}{2} + 1 + \frac{M}{2})}$
Generalized Cube Network	1	$\log_2 N_{pe} - 1$	1
Augmented Data Manipulator	1	$\log_2 N_{pe} - 1$	1
Binary Tree	$\frac{(2^{I+1} - 1)(M + 1) + 2^{I+1}(I - 1)}{(2^I - 1)(I + M)}$	$\log_2 (N_{pe} + 1)$	$\frac{N_{pe}(M + 1) + \frac{N_{pe} + 1}{2} [\log_2 (N_{pe} + 1) - 1]}{N_{pe} [\log_2 (N_{pe} + 1) + M]}$
Illiac	$\frac{4^I(2 + \frac{M}{2}) - (M + 4I - 3)}{4^I(2 + \frac{M}{2})}$	$\sqrt{N_{pe}}$	$\frac{4N_{pe}(2 + \frac{M}{2}) - (\sqrt{N_{pe}} \cdot M + 4\sqrt{N_{pe}} - 3)}{4N_{pe}(2 + \frac{M}{2})}$
Shared Bus	1	N_{pe}	1
Crossbar Switch	$\frac{I(2M + 2 + I)}{(I + 1 + M)^2}$	$\frac{N_{pe}}{2}$	$\frac{\frac{N_{pe}}{2}(\frac{N_{pe}}{2} + 2 + 2M)}{(\frac{N_{pe}}{2} + 1 + M)^2}$

Fig.6.4. Comparative analysis: $U(N_{pe}, M)$

	$C(N_{pe})$ Classical Systems	$N_{loc}(N_{pe})$ Honeycomb Systems
Single Stage Cube	$\sim N_{pe} \log_2 N_{pe}$	$\sim N_{pe}^2$
Single Stage PM2I	$\sim N_{pe} \log_2 N_{pe}$	$\sim N_{pe}^2$
Generalized Cube Network	$\sim N_{pe} \log_2 N_{pe}$	$\sim N_{pe} \log_2 N_{pe}$
Augmented Data Manipulator	$\sim N_{pe} \log_2 N_{pe}$	$\sim N_{pe} \log_2 N_{pe}$
Binary Tree	$\sim N_{pe}$	$\sim N_{pe} \log_2 N_{pe}$
Illiac	$\sim N_{pe}$	$\sim N_{pe}$
Shared Bus	$\sim N_{pe}$	$\sim N_{pe}$
Crossbar Switch	$\sim N_{pe}^2$	$\sim N_{pe}^2$

Fig.6.3. Comparative analysis: Complexity in classical and Honeycomb systems

	$\lim_{N_{pe} \rightarrow \infty} U(N_{pe})$	$N_{pe} \uparrow$
Single Stage Cube	1	$U(N_{pe}) \downarrow$
Single Stage PM2I	1	$U(N_{pe}) \downarrow$
Generalized Cube Network	1	1
Augmented Data Manipulator	1	1
Binary Tree	1	$U(N_{pe}) \downarrow$
Illiac	1	$U(N_{pe}) \uparrow$
Shared Bus	1	1
Crossbar Switch	1	$U(N_{pe}) \uparrow$

Fig.6.5. Comparative analysis: Impact of N_{pe} on $U(N_{pe})$

8. REFERENCES

- [Adams89] G.D.Adams, C.H.Sequin, "Template Style Considerations for Sea-of-Gates Layout Generation," Proceedings of the 26th ACM/IEEE Design Automation Conference, 1989, pp. 31-36.
- [Fortes88] J.A.B.Fortes, K.S.Fu, B.W.Wah, "Systematic design approaches for algorithmically specified systolic arrays," Chapter 11, in V. Milutinovic, Editor, "Computer Architecture," North Holland, 1988, pp. 454-494.
- [Hoch87] J.Hoch, "The Honeycomb Architecture: Prototype Analysis and Design," Purdue University, Technical Report TR-EE 87-28, December 1987.
- [Igusa89] M.Igusa, M.Beardslee, A.Sangiovanni-Vincentelli, "ORCA: A-Sea-of-Gates Place and Route System," Proceedings of the 26th ACM/IEEE Design Automation Conference, 1989, pp.122-127.
- [Meyer90] E.Meyer, "Jambo Arrays Scale 250,000 gates," Computer Design, March 1, 1990, pp. 28-36.
- [Milutinovic87] D.Milutinovic, V.Milutinovic, B.Soucek, "The honeycomb architecture," IEEE Computer, April 1987, pp. 81 - 83.
- [Milutinovic89] V.Milutinovic, "Mapping of neural networks onto the honeycomb architecture," Proceedings of the IEEE, December 1989, pp. 1875 - 1878.
- [Milutinovic92] D.Milutinovic, "Mapping of Interconnection Networks into the Honeycomb Architecture," PHD Thesis in Progress, 1992.
- [Okabe89] M.Okabe, Y.Okuno, T.Arakawa, I.Tomioka, T.Ohno, T.Noda, M.Hatanaka, Y.Kuramitsu, "A 400K-Transistor CMOS Sea-of-Gates Array with Continuous Track Allocation," IEEE Journal on Solid-State Circuits, Vol. 24., No.5., Juni 1989, pp. 1280-1285.
- [Preis86] W.Preis, A.Thanailakis, H.Card, "Group properties of cellular automata and VLSI applications," Transactions on Computers, December 1986.
- [Siegel83] L.J.Siegel, et al., "Distributed computing for signal processing: Modeling of asynchronous parallel computation," Purdue University Technical Report, TR-EE 83-11, March 1983.
- [Siegel88] H.J.Siegel, "Interconnection networks," Chapter 6, in V. Milutinovic, Editor, "Computer Architecture," North Holland, 1988, pp. 225-264.
- [Siegel89] H.J.Siegel, W.T.Y.Hsu, "Interconnection networks," North-Holland, 1989.
- [Snyder82] L.Snyder, "Introduction to the configurable highly parallel computer," IEEE Computer, January 1982.
- [Snyder84] L.Snyder, "Parallel programming and the poker programming environment," IEEE Computer, July 1984.

Ring Interconnection for Distributed Memory Automation and Computing System

Vinogradov V.I.,
Institute for Nuclear Research
of the Russian Academy of Sciences, Moscow, Russia

Introduction

There are a lot of devices in different standards, existing for real-time application, including science, technology and industry automation systems, but no international standard was developed. Different systems were developed for instrumentation, measurement and test (HPIB, HPIL), data acquisition (CAMAC-DW, -SHW), fieldbus control (MIL1553, PROFIBUS) and robototechnics (BITBUS), but all of them were register-oriented and have bus interconnection.

Development of first modular systems was constructed on the base of simple register-oriented parallel interface or serial network for 16-bits microcomputers for measurement, acquisition and control. Compatible parallel and serial bus interfaces were extended by ring Interconnections. One of the best ways for development of register-oriented modular system interface (as the first step) and using of existing devices can be based on the ring structure for control systems, compatible with MIL1553. Some comparative analysis for bus and non-bus structure was done at symposium [1, 2].

The new generation systems on the base of high-speed 32/64 bits microprocessors have to be constructed on distributed direct access memory. Development of computer independent interface for modular systems on the base of distributed memory and microprocessors requires integrating of data processing, memory and input-output subsystems in one system with multimedia links (electronics and optics) and multilevel interface both with parallel and serial links. A new generation distributed microprocessor systems can be divided into next subsystems, optimized for special system tasks:

1. distributed data-flow processing interconnects (SCI);
2. distributed memory and input-output links (RAMLINK);
3. object-oriented distributed control and data acquisition.

Scalable Coherent Interconnection is one of the best standards for constructing a distributed modular microprocessor systems and local area networks [3]. Special research and development is devoted to RT systems on the base of SCI and for data acquisition and processing, but this new way is very expensive now [4].

Distributed memory subsystem RAMLINK [5] is under development as a new standard on the base of ring structure. It is a single controller subsystem with a number of transactions and simple interconnection protocol, which can be used for input-output and external memory.

One of the best decisions for distributed field-interconnection for control subsystems with electronic and optic channels can be constructed on the base of ring structure (RAMLINK-type), including small or complex multiringlet systems. These systems have to be based on PC (WS) and different modular system standards (CAMAC, VME). A new protocol can encapsulate the protocol of existing control devices.

Ring interface is developed according to Measurement, Acquisition and Control (MAC) system task requirements, including short address field, direct data control, simple programming, block data acquisition, simple data transfer protocol for connecting different types of existing and new devices. Development of MAC-type Ring systems is discussed for con-

structing a general Field Interconnection on the base of distributed memories and MP (DSP) for RT-systems. The effective multiprocessor control system can have non-symmetrical hierarchical structure with direct access of main controller to distributed local memory of microprocessors.

Ring-field-interconnection protocol

Primarily the RAMLINK protocol was developed as a high-bandwidth distributed RAM interface to connect the main memory controller to large number of RAM. Multiple ringlets can be used to reduce the average latency or improve the system reliability. Traffic on such systems is hard to predict. An uncashed processor is expected to generate word access (4 or 8 bytes). RAMLINK could be used for connecting a processor to its RAM and ROM. The processor's memory interface becomes a significant part of the overall system costs. The SCI-type interface is of particular interest in this approach. The SCI bridge chip can contain all SCI-specific protocols and contain the request and response queues. Actual transfers of data blocks from SCI to the memory would be routed through the processor/memory controller. A minimum system can include a processor, controller, memory, a disk and an I/O interface device. The memory device may control several memory components (DRAMs). The I/O and disk requests can interrupt the processor. Communication is performed by sending packets. Each packet can consist of the data bytes, as well as associated flag and clock signals. The point-to-point communications give a high-bandwidth data-transfer path between a memory controller and one or more memory slaves. A ringlet consist of one controller and up to 60 slaves. Slave addresses 60 - 63 may be reserved for broadcast and future:

- 63 - is reserved, so that idle packets with this SlaveId may be ignored by all devices ;

- 61 - is reserved for broadcast so all devices must inspect the command fields;

- 60 - is the initial or default address for all nodes and used to initialize the ringlet;

- 62 - is reserved for the controller, so it can send check n-messages to itself. Setting the idle signal to all ones and reserving the corresponding address 63 it can be implemented interrupt mechanism for nodes. The link is uni-directional.

The links contain next 10 basic signals: 8-data, 1-clock and 1- flag. The clock signal indicates that the signals are valid. The flag is used to mark the beginning and end of the transmitted packets. The data signals are used to transmit bytes in packets. A distributed memory system may contain larger number of memory and used hierarchical hybrid switches. It is possible to create a hierarchy, in which the upper link conforms to the standard implementation, while the slave links can have a different physical implementation.

The read and write transactions contain 2 components, called request and response packets. During this split transaction other packets may be transmitted while the request is processed by the slave. For write transaction, the request packet transfers command, address, time, data from the controller to the slave.

The response packet returns the transaction-competition status. In some cases the slave may be unable to complete the transaction within the requested time, and a retry packet is returned at the specified time. For a read transaction, the request packet transfers the command and address from the controller to the slave. The response packet returns the requested data and status.

Request packets circulate past their addressed slaves, and are eventually stripped by the controller. When a request packet has passed its addressed slave, the protocols allow a returning packet to be inserted over part or all of the old request packet. Broadcast transaction behaves similarly, with the exception that a response packet is never returned.

The controller is responsible for scheduling of its own request packets, to ensure that slave-response packets do not corrupt other request or response packets. To support such

scheduling, a max bit and 10 bit time field are included within each request packets. The time field specifies the slave response time in multiples of 4 byte intervals as measured from the slave's request packet and slave's return of it's response packets. If bit max=0, the time field specifies the time, when the response shall be returned. The predictive scheduling is expected to be used, when deterministic behavior is desired or under heavy loading conditions. If max=1, the time field specifies the time limit within which the slave's response shall be returned. This form of adaptive scheduling is expected to be used when the response time is unpredictable or under light loading conditions.

A retry packet may be sent to the controller in place of an expected response, that causes the original request packet to be resent with a modified time value. For non-zero *transId* value, transaction-related resources are released, when a transaction is rejected with a retry packet. Since requested resource may be released due to conflict with concurrent accesses of the resent request packet. For zero *transId* value, memory resources remain reserved, when a request with *transId* value of zero is rejected. To ensure a forward progress, controller is expected to reissue requests with decreasing *transId* value. Controllers are often expected to have 2 or more transaction simultaneously active. That needs FIFO ordering for processing transactions to the same 63- byte aligned block address. Ringlet initialization used before controller begin to send command.

CSR specifies a number of address spaces for a system, where the initial node space is identified as part of 64 bit address space. In RAMLINK we have a 32 bit address space (extendable to 48 bit) and 6 bit slave *Id* space. The 512 Mbytes of high address space are assigned to register and read only space.

CSR usually defines an indirect ROM window. The first 1K is set aside from address 1024 to 2047 in the CSR space. In order to make the RAMLINK control simple they set the first half of the top 512 Mbytes for registers, the second half for read-only information. The CSR must have a 6 bit register to store the *slaveId*, which must be writable by defined commands.

Summary

1. The single controller multimedia ring interconnection links can be used for effective field control systems.
2. The RAMLINK-type protocol can be used for ringlet links in non-symmetrical distributed memory architecture multiprocessor system interaction.
3. This approach with direct access distributed memory can be used as candidate of cost-effective Field Interconnection standard for Control systems.
4. The protocols of different standard devices (MIL1553, HPIB) can be encapsulated in this protocol for Measurement, Acquisition and Control (MAC) systems.

References

1. D.B.Gustavson, V.I.Vinogradov. Advanced system and network architecture. 10-th International Symposium on problem of modular Information Computer Systems and Networks (ICS-NET'93), S-Petersburg. Abstracts. p.10-11.
2. В.И.Виноградов. Радиальные и кольцевые двухточечные структуры для сбора и обработки данных. Труды Международного симпозиума по ядерной электронике, Варшава, 1992. Дубна, ОИЯИ, 1993, стр.32-43.
3. IEEE std. 1596, 1992, SCI.
4. IEEE P - 1596.4., 1993, RAMLINK.
5. А.Богаертс, Ж.Байтаефер, Ж.Бовиер, В.И.Виноградов и др. Система конвейерного сбора и обработки потоков данных на основе масштабируемого когерентного интерфейса. Препринт ИЯИ РАН 748/92.

High-Sensitivity Multidimensional Gamma-Ray Spectrometer "PRIPYAT" for Low-Level Measurements

Andrukhovich S.K., Berestov A.V., Grebenjuk V.M.¹, Gut'ko V.I.,
Khilmanovich A.M., Rudak E.A., Uzunbadjakov A.S., Zjazjulja F.E.

*Institute of Physics, Academy of Sciences of Belarus,
F.Skaryna Avenue, 220602 Minsk, Republic of Belarus*

E-mail: ifanbel%bas03.basnet.minsk.by@demos.su

¹ *Joint Institute for Nuclear Research, 141980 Dubna*

E-mail: greben@ljap21.jinr.dubna.su

1. Introduction

After unprecedented Chernobyl disaster on April 1986 a great amount of radioactive substance was thrown. More than 70 per cent of the fall-out covered the territory of Belarus. For many years to come it became the area of the ecological disaster. In order to reduce the impact of radiation on people various efforts must be undertaken, such as creation of radiological situation maps, resettling of people, decontamination, food and water control, etc. In all cases an adequate devices for radioactivity measurements are needed.

At the current time one of the main danger for population health is the contaminated agricultural products because the food and the water becomes the major source of radionuclides in human body, thus results in considerable radiation doses from the inner exposure. For this reason strong State standard of food and water radioactive contamination was established. For example, according to this standard bread and water contamination with isotopes of Cs¹³⁴ and Cs¹³⁷ must not exceed about 0.2 Bq/g and 0.02 Bq/g accordingly. All agricultural products must be controlled now.

Thus the main features of the apparatus for this goal is the massive low-level spectrometry possibility. This leads to the following demands for the real device design: extremely high efficiency of registration, extremely low background, maximum volume of the sample, maximum energy resolution, maximum time resolution, stability, maximal automatization of the process and archives data, minimum probe preparation, low cost per measurement, and operating facility.

2. Design of spectrometer

We had some experience for low-level measurements before 1986. Created previously 32-crystal spectrometer with large effective volume intended for nuclear physics investigations, such as search for double beta decay, was too complicate for production and too expensive for wide application, but it served as the prototype for more simple and cheaper installation. The main features of the large spectrometer were: the 4 π -geometry, the extremely high effectivity, the relatively large working volume, the automatic operation and the maximal use of standard components.

Detecting part of the system consists of six NaI(Tl) ϕ 150x100 mm crystals assembled in 4 π -geometry with sensitive volume about 5000 ml and surrounded by lead shielding up to

300 mm thickness. One of the horizontally suited crystal is mounted on movable carriage and slides away automatically or by hand when a sample change is made.

The possibility for the changing the array of spectrometer is provided. Thus the lower crystal can be replaced and Ge(Li) or HPG detector may be inserted. In this case NaI(Tl)-crystals serve as an additional "active" shield for Ge-detector when anticoincidence mode is used.

Two variants of electronics setup is provided. One of them is based on microprocessor (KP580BM80A) and is intended to massive routine analysis only. This setup provides all needed functions in hard mode and can be exploited with low qualified personnel.

Another electronics setup based on personal computer that provides more widespread functions is described below.

Electronic part of installation consists of PM electronics (power supply, incorporated dividers and amplifiers, external dividers), six threshold discriminators, logic unit, delay lines, six 8-bit ADC, hodoscope, two scalers and another units. High voltage power supply is common for all PM. External dividers serve for rough equalizing PM's amplification, that is controlled by hand with special switches.

An additional 12-bit ADC, charge-sensitive preamplifier with pulse shaper, discriminator and power supply are used when germanium detector is inserted.

Apparatus is assembled mainly in CAMAC standard and works on-line with IBM PC AT.

Data for the every event consists of the number of detectors activated and its amplitudes (ADC). Besides this information the scaler collect the data for "live" and "dead" time fixation. Thus any angular, energy and multiplicity correlations data are collected.

3. Software

The software of the spectrometer has a wide service possibilities and can be easily adapted for the specific aims. It provides the following procedures: calibration procedure, data acquisition, data processing, data presentation and archivation and control for all procedures automatically.

For procedure of calibration certificated gamma sources are used, mainly Cs^{137} and K^{40} . The sources characteristics are stored in the PC memory. Under the PC control the data acquisition with required accuracy is accomplished and every channel gain correction is made at the beginning of the working day. The procedure of calibration is advanced by background exposition.

It is possible of recording on an event-by-event basis for each detector that gives the identification number and the pulse height. Data for the events (up to 6-fold multiplicity) are accumulated at the computer memory. Thus angular, energy and multiplicity correlations both in coincidence and anticoincidence can be combined by off-line treatment after finishing of exposure. This makes possible to measure extremely low activities of cascades gamma emitters in the presence of another gamma-emitters for example.

The "floating time exposition" mode may be installed. This means the exposition may be interrupted when the error of determination of beforehand stated isotopes is achieved.

The collected at every run data are analysed as a spectrum information with various multiplicity, peaks areas are detected and activities are calculated and indicated.

4. Performance of the spectrometer

The main parameters of the installation at 1-fold multiplicity are as follows:

- The range of energies: 0,2...3,0 MeV;

- Efficiency at 662 keV is 30%;
- Energy resolution is about 10% at 662 KeV;
- Time resolution (in coinc.) is 35 ns;
- Detection limit (min. activity, detected at 95% c.l., time = 300 s) is 0,001 Bk/g;
- Total weight of installation : 4200kg;
- Dimensions: 2,5 x 1,45 x 1,85 (m);
- Background at the " $^{134}\text{Cs} + ^{137}\text{Cs}$ window" is less then 20 c/s,
- Background at the " ^{40}K window" is less then 9 c/s.

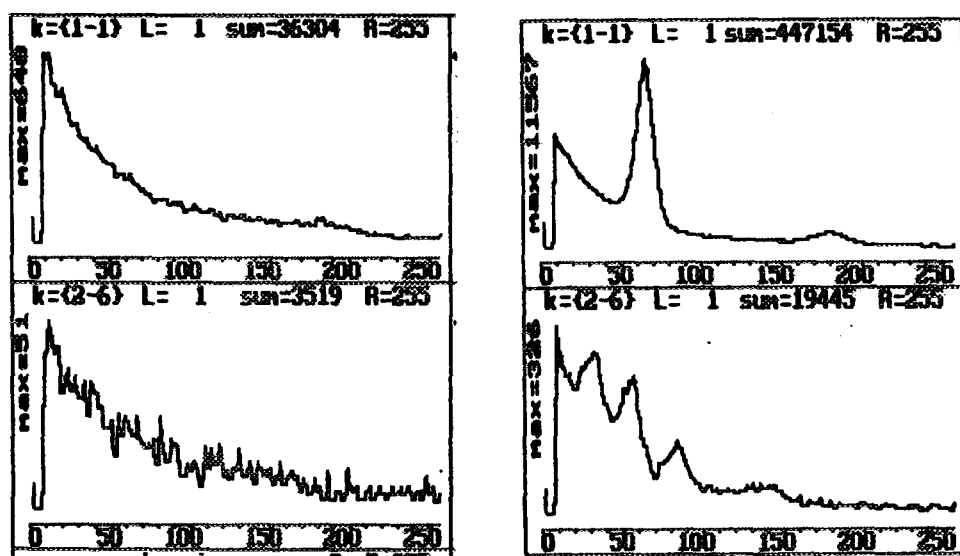


Fig. The spectrometer PRIPYAT spectra

These spectra are shown on the figure. On the left side background spectrum of spectrometer at $k=1$ (left top) and $k=1$ (left bottom) at "Live" time = 461 s is shown.

The spectra on the right side are illustrating the low-level counting in coincidence mode. The right upper spectrum of the sample with isotopes ^{134}Cs ($A=7,4$ Bq), ^{137}Cs ($A=297$ Bq), ^{40}K ($A=598$ Bq) at $k=1$ and $k=1$ and "Live" time = 1987 s. Two peaks of ^{137}Cs are presented at the right bottom spectrum.

5. Conclusion

The developed gamma-spectrometer PRIPYAT may be used for the food and water control, radioactive waste studies, transport studies, nuclear physics investigation. Eight installations are in use for massive control of environmental contamination and as arbitrary devices.



RU9710277

**МНОГОКАНАЛЬНЫЙ АНАЛИЗАТОР
В ПЕРСОНАЛЬНОМ КОМПЬЮТЕРЕ,
ИСПОЛЬЗУЮЩИЙ КАНАЛ ПРЯМОГО ДОСТУПА К ПАМЯТИ**

Г.Георгиев, И.Ванков, Л.Димитров

Институт ядерных исследований и ядерной энергетики
Болгарской академии наук, София, Болгария

И.Пеев*

*Фирма TOIVEL, София, Болгария

E-mail: ivankov@bgearn.bitnet

Непрерывное развитие микроэлектроники ведет к увеличению вычислительной мощности персональных компьютеров (ПК) и расширению их возможностей. В частности, применение во всех ПК IBM PC AT шины ISA позволило обмениваться с внешними устройствами уже шестнадцатибитовыми данными. Также канал прямого доступа к памяти (ПДП) стал двухбайтовым. Это позволило нам создать очень простой многоканальный анализатор, использующий память компьютера и управляемый каналом ПДП. Он размещен на одной плате, вставляемой в соединители шины ISA. На задней панели модуля расположены два соединителя - один для связи с амплитудно-цифровым преобразователем (АЦП) и второй, типа BNC, для получения сигналов со спектрометрического усилителя, предназначенных для измерения интенсивности частиц или квантов, попадающих в детектор.

На рис. 1 показана блок-схема анализатора, который состоит из четырех функциональных блоков: буфер данных, управляющая логика, регистр режима работы и измеритель времени и входной интенсивности.

Буфер данных осуществляет связь между выходом данных АЦП и шиной ISA ПК. Максимальный размер входного слова (задающего номер канала анализатора) 14 битов, т.е. максимальное число каналов - 16384. При этом два младших бита адресной шины ПК не используются, что обеспечивает по 4 байта на канал, т.е. возможность накапливать до 4×10^9 событий в одном канале. В этом блоке использованы инвертирующие буферы с тремя выходными состояниями (две интегральные схемы

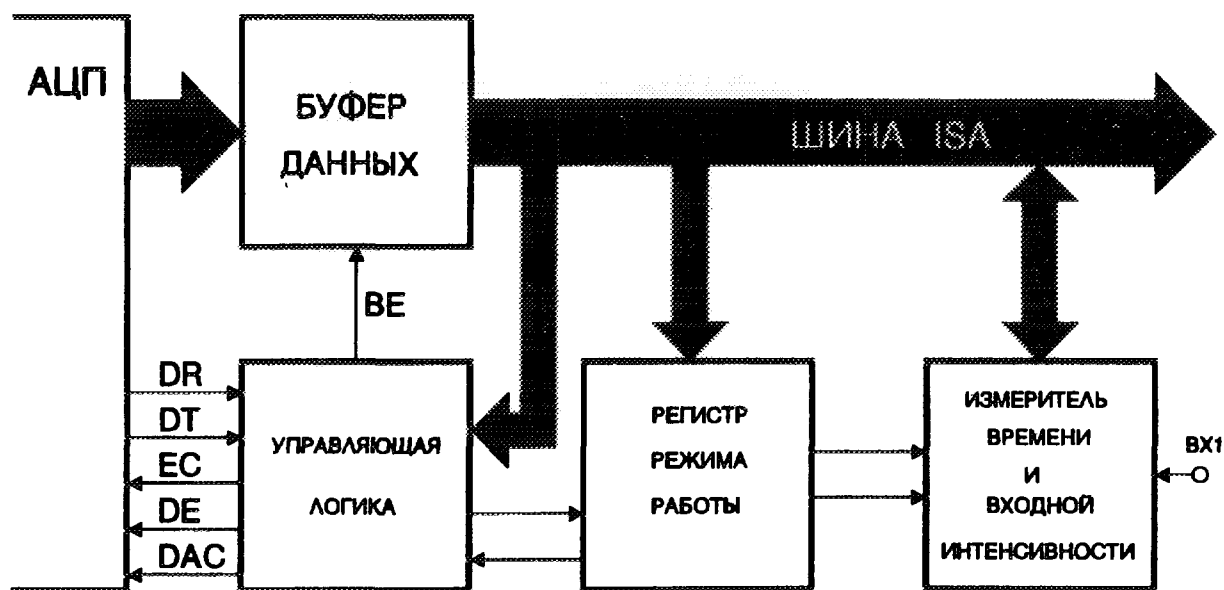


РИС. 1

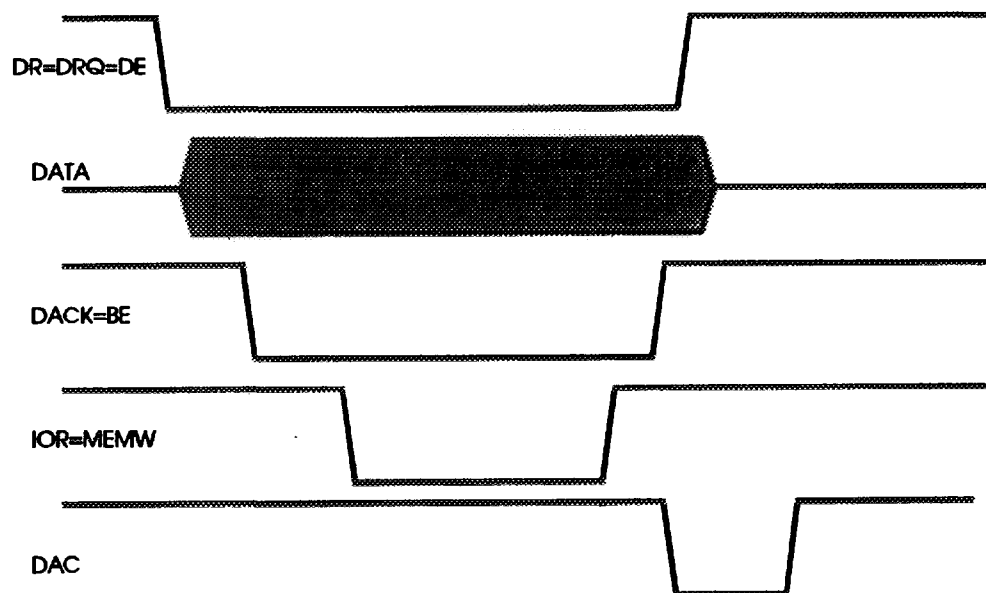


РИС. 2

74LS540, поскольку все современные АЦП выдают данные в обратном коде (с активным уровнем "0").

Обмен данными с АЦП управляется каналом ПДП компьютера посредством блока "Управляющая логика". Временная диаграмма сигналов для управления интерфейса показана на рис. 2. Сигнал готовности передачи данных с АЦП DR (data ready) подается к шине компьютера как заявление доступа к каналу ПДП - DR=DRQ (DMA request) и одновременно к АЦП как сигнал выдачи данных - DR=DE (data enable), открывающий выходы данных АЦП (DATA). После получения заявки DRQ канал ПДП выдает сигнал готовности - DAC (DMA acknowledge), который используется для открытия выходов буферов данных - DAC=BE (buffer enable). Во время этого сигнала канал ПДП выдает сигналы "считывания данных" - IOR (input output read) и "запись в память" - MEMW (memory write), и данные записываются в определенный сегмент памяти ПК. Надо отметить что временная диаграмма (рис. 2) отличается от диаграммы в фирменных описаниях интегральной схемы I 8237, которая использовалась для формирования канала ПДП в первом варианте IBM AT. В современных компьютерах не существует регистр для временного запоминания данных, поэтому сигналы IOR и MEMW подаются одновременно, канал ПДП открывается и данные проходят прямо из внешнего устройства в память. Эта особенность не дает возможность использовать сигнал MEMW как сигнал окончания приема данных с АЦП - DAC (data accepted), который разрешает АЦП преобразовать следующий входной сигнал. Поэтому в блоке управляющей логики по заднему фронту сигнала DACK моновибратором генерируется сигнал DAC (это обеспечивает необходимую задержку после прекращения сигналов IOR и MEMW). Все управляющие сигналы идут к АЦП и с него проходят через логические элементы ИСКЛЮЧАЮЩЕЕ ИЛИ (ИС 74LS86). Это позволяет задавать активный логический уровень - "1" или "0" в зависимости от используемого АЦП (задавая логический уровень на вторых входах этих схем перемычками).

Регистр режима работы анализатора запоминает заданный с клавиатуры ПК режим. Последний определяется двухбитовым числом, поступающим в регистр с шины ПК. Все числа кроме "00" соответствуют режимам накопления спектра и при них к АЦП подается сигнал разрешения работы - ЕС (enable convertor).

Они определяют только способ измерения временных параметров работы анализатора, как это описано ниже. Число "00" соответствует прекращению работы анализатора и при нем снимается сигнал ЕС.

Блок измерения времени и входной интенсивности состоит из двух счетчиков и кварцевого генератора. Последний работает на частоте 16 МГц, что обеспечивает достаточную точность измерения времени. Для реализации счетчиков использованы две интегральные схемы - 8-битовой счетчик 74LS592 и управляемый таймер I 8253. Счетчик измерения времени содержит 24 бита и выполнен ИС 74LS592 (первые 8 битов - для обеспечения необходимого быстродействия) и одним 16-битовым счетчиком таймера I 8253. Измеритель времени имеет три режима работы:

- **измерение мертвого времени** (управляющее число "01"); в нем счетчик получает разрешение только во время подачи из АЦП сигнала "мертвое время" - DT (dead time);
- **измерение живого времени** (управляющее число "10"); в этом случае счетчик получает разрешение при отсутствии сигнала DT;
- **измерение реального времени** (управляющее число "11"); в этом режиме пока накапливается спектр счетчик работает непрерывно.

Независимо от режима работы на каждой секунде измеряемого времени счетчик прерывает работу компьютера, который регистрирует новое значение и может показать его на дисплее.

Счетчик измерения входной интенсивности имеет 32 бита и использует остальные два 16-битовых счетчика таймера. Он получает сигналы с TTL-уровнями от отдельного входа (ВХ1) и работает непрерывно во время работы анализатора. Через каждую секунду ПК считывает накопленное в счетчике число и вычитанием предыдущего результата определяет интенсивность частиц.

Программное обеспечение работы анализатора состоит из двух частей. Первая из них является программой-драйвером. Она постоянно находится в памяти компьютера и работает в резидентном режиме по прерыванию. Она проводит начальное установление режима работы канала ПДП и анализатора, накопление спектра и считывание содержания счетчиков измерителей

времени и входной интенсивности. Для достижения требуемого быстродействия она написана на ассемблере.

Работа анализатора проходит в следующую последовательность. Сначала программа устанавливает указатель канала ПДП в ноль, что соответствует началу первого из выделенных для его работы два сегмента памяти. При регистрации каждого события канал ПДП записывает данные с АЦП по текущему адресу и инкрементирует указатель. Продолжительность этой операции 600 ns (при сокращенном цикле работы канала ПДП), что незначительно увеличивает мертвое время АЦП. Через каждые 55 миллисекунд по прерыванию с таймера компьютера программа активируется, считывает содержимое указателя канала ПДП, устанавливает его в начале второго сегмента памяти и начинает обрабатывать записанную последовательность данных с АЦП. Так как каждое число, полученное из АЦП является номером канала спектра, программа использует его как адрес и инкрементирует содержимое ячейки с этим адресом в выделенном для накопления спектра сегменте памяти ПК. Когда число считанных номеров каналов достигнет содержимое указателя, программа останавливается и ждет следующего прерывания. Каждый сегмент для канала ПДП содержит 8192 слов, что обеспечивает нормальную работу анализатора до около 150 тысяч зарегистрированных событий в секунду. Этот процесс обработки данных с АЦП продолжается до достижения заданного условия остановки накопления спектра.

Вторая программа управляет выводом спектра и остальную информацию о работе анализатора на дисплей. В ней содержится интерпретатор для выполнения команд с клавиатуры ПК. Предусмотрены все характерные для многоканальных анализаторов процедуры визуализации накопленной информации. Оператор может выходить из нее, выполнять другие программы и снова входить без нарушения процесса накопления спектра, потому что программа-драйвер защищает всю информацию в выделенных сегментах для работы канала ПДП и для накопления спектра.

The Multichannel System of Synchronous Photon Counting of Range 50 ns - 100 ms

Dmitriev S.M., Ermalitski F.A., Kolyada A.A.,
Sukhanin S.V., Vasilevich L.N.
Institute of Applied Physical Problems, Minsk, Belarus
E-mail: Ermal.hep.belpak.minsk.by@demos.su

For many scientific applications there is a necessity of light processes decay curve registration in wide time range. First of all this problem exists in scintillator physics, luminofor physics and biophysics, where typical light processes have fast (nanoseconds) and slow (milliseconds) components. On the other hand at excited energy transformation light is radiated in wide spectral range from UV to IR. For its registration it is necessary to use special types of high sensitive photomultipliers.

For measuring such time processes a new type of multichannel system of synchronous photon counting was designed. Special 1024-channel analyzer executes photon counting at serial time intervals synchronized with the measured process. The electronic implementation on the basis of nontraditional (modular) number system gives the possibility to use only more simple TTL Shottky-base, but not more high speed and expensive ECL-base.

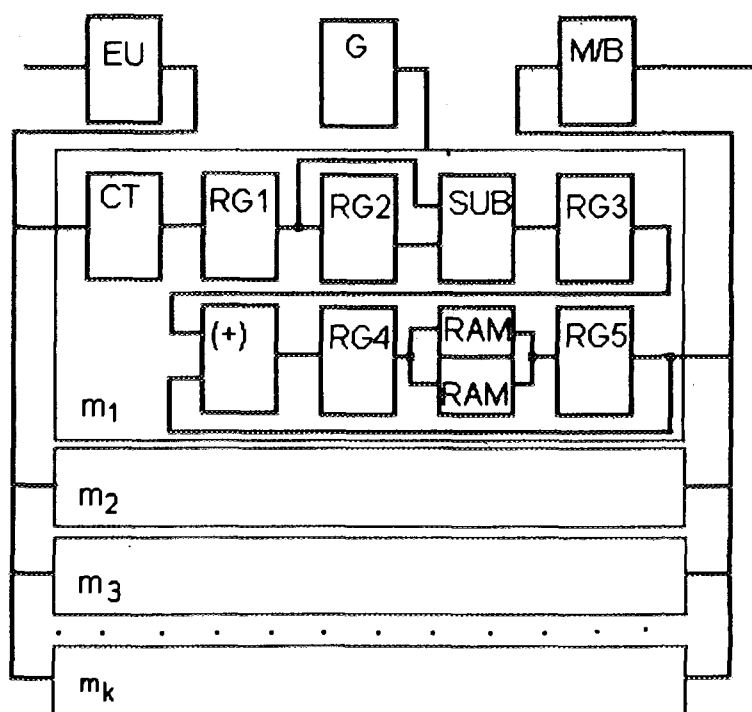


Fig 1. The block-diagram of the registration part

The whole measurement process consists of many separate registrations cycles and is continued until the any channel content achieves the given value, or after the end of time. During one measurement cycle the circuit in every channel counts the pulses, coming on signal input and accumulates the results in analyzer memory. To minimize the channel width the counting part of analyzer is based on modular number system (MNS). As it is known [1], in MNS the whole X is coded by vector (x_1, x_2, \dots, x_k) , where $x = \backslash X \backslash_m$ - the remainder from division X at m , and m_i (set of simple in pairs real modules) - radix of

MNS ($i = 1, 2, \dots, k$). $\backslash X \backslash_m$ denotes the least not negative deduction, comparative with X by module m . The fundamental difference MNS from position number system consists in independent implementation on every module the additive and multiplicative operations at whole A and B , given by their module codes ($A = (a_1, a_2, \dots, a_k)$, $B = (b_1, b_2, \dots, b_k)$), that is $\backslash A * B \backslash_{M_k} = (\backslash a * b \backslash_{m_1}, \backslash a * b \backslash_{m_2}, \dots, \backslash a * b \backslash_{m_k})$ where $M_k = m_1 m_2 \dots m_k$; $*C \{+, -, x\}$.

The multitude $\{0, 1, \dots, M_k - 1\}$ is the working range of MNS.

Thus absence of interdigital carryings and low code length of modules (< 5 bits) secures the high speed of proceeding of modular operations and, consequently, carrying out calculatings.

The block-diagram of registration part of analyzer is given on Fig 1.

The clock pulses that determine the analyzer channels width come from generator unit G. These pulses are given at all diagram registers and rewrite their contents at every cycle. The scheme includes k fully identical modular blocks of accumulation (MBA), working independent from one another and doing calculations on modules m_1, m_2, \dots, m_k , correspondingly. Input pulses through strain unit are given at all MBA. In the i -th MBA ($i = 1, 2, \dots, k$) input pulses come at calculating input of counter on module m_i . At the end of every clock pulse the counter content is entered in register RG1, that is the number C_t ($t = 0, 1, \dots, T - 1$; T - number of channels in analyzer) corresponds to t -th pulse (channel).

At the next clock pulse in the register RG2 value C_t is carried, and in the register RG1 value C_{t+1} is carried, corresponding to $(t + 1)$ -th channel. Then during the next cycle the modular subtractor SUB calculates true quantity of pulses, came at input in $(t + 1)$ -th channel $n_{t+1} = \backslash c_{t+1} - c_t \backslash_{m_i}$.

During the next cycle the calculated value n_{t+1} is added up in modular adder SM with value N_{t+1} accumulated before for $(t + 1)$ -th channel and calculated result $N_{t+1} := N_{t+1} + n_{t+1}$ is stored once more in the $(t + 1)$ -th RAM's cell. In practice two blocks of RAM are used in MBA. From one of them readings are taken at given measurement cycle, and the second receives new calculated values from adder. In the next measurement cycle RAM blocks exchange one another. So in every measurement cycle all readings array for every channel is rewritten in memory. After the measurement process is finished the readings of curve come into computer. They move through the block M/B, that converts the modular data form to 16-bits binary code.

One of the important aspects is reduction of interchannel losses during reading the counter content into register RG1. This is achieved by expansion unit EU, that continues input pulse at moment of writing into the register.

Registration of wide spectral range is provided with photodetectors at the base of special photomultiplier tubes. Two modifications of thermocooled single photon photo-receivers (with GaInAs- photocathode and with AgCsO- vacuum monitoring photocathode) give the possibility to measure light signals in range 300 - 1200 nm and 200 - 1450 nm accordingly.

With spectrometers at the base of this system light processes dynamics in organic and nonorganic scintillators and biology objects with singlet oxygen was measured.

Main characteristics of the analyzer

Number of channels	$2^4, 2^5, \dots, 2^{10}$
Channel width (ms)	$0.05 * 10^{-3}, \dots, 100$
Highest value of channel	65520
Input frequency (MHz)	75

References.

1. Kolyada A.A., Pak I.T. Modular structures of pipeline processing of digital information.- Minsk University, 1992.-256 p.

About using of the high speed modular computing structures in the systems of radiation express analysis

F.A.Ermalitski, A.A.Kolyada, V.V.Revinski, L.N.Vasilevich
The Institute of Applied Physical Problems, Minsk, Belarus
E-mail: Ermal%hep.belpak.minsk.by@demos.su.

The designing of high-performance methods, algorithmic and apparatus means for radiation analysis assumes the wide introduction of different parallelism forms, as during the measurement data forming [1], so during counting processes. In accordance with parallel processing conception the original method for definition of stream intensity of Poisson group is proposed. This method is based on the strategy of measurements with accidental syncs. Within the framework of this method the parallel measure-calculating procedure is created and the high speed pipeline table-type device is designed for its implementation.

The main speciality of used computer-algorithmic and scheme decision is the using of minimal redundant modular computing structures (MCS) [2].

The method of accidental syncs for definition of studied radiation intensity

$$\{f(n)\}_{0 \leq n \leq N} (f(n) = f(a + nd); d = \lfloor (b - a)/N \rfloor;$$

N - number of discretization centers; $[a, b]$ - the observed range; $\lfloor \cdot \rfloor$ - the least whole, but not lesser the x is based on measuring the auxiliary signal $\{W_n = W(nd)\}_{0 \leq n \leq N}$, which looks like:

$$W(nd) = e(nd) - g(nd)/(rd),$$

where $e(nd)$ - the contents of analyzer channel number n ; $g(nd)$ - the improve part for channel number n ; d - the width of channel; r - number of measurements.

In case the radiation is the accidental stream of Poisson group, the differentiation of signal $\{W_n\}$ is the key operation of procedure for intensity $\{f(n)\}$ determination by method of accidental syncs. According to the apparatus of descending finite differences the formula

$$W_n = d^{-1} \ln(1 + d_n),$$

where $d_n = W_{n+1} - W_n$, is correct for n -th reading of derivative function $W(nd)$. That is why received in [1] calculating correlations for intensity of Poisson, negative-binomial streams and Bernoulli stream generated by L independent sources, can be recorded as

$$f(n) = (\ln(1 + d_n))/(dW_n) \quad (1)$$

$$f(n) = -(\ln(1 + d_n))/((b - a)dW_n^2) \quad (2)$$

$$f(n) = -((b - a)/d) \ln(1 + d_n)((b - a)W_n)^{(1/L)-1} \quad (3)$$

The expressions (1) - (3) show, that using of modular number systems (MNS) for determining of intensity of Poisson and linked with it streams through the signal $\{W_n\}$ measured before, requires to enter into the composition of measuring-computing system the blocks of modular subtraction, fractions multiplication, general division and units for calculation of elementary functions.

The computer arithmetic of minimal redundant modular number systems (MRMNS) is used for designing of necessary blocks. MRMNS is determined by set of simple in pairs real modules m_1, m_2, \dots, m_k ($k \geq 2$) and also by auxiliary module $m_0 \geq k - 2$, so that $m_k \geq 2m_0 + k - 2$. The whole X in MRMNS is coded by vector (x_1, x_2, \dots, x_k) , where $x_i = X \setminus m_i$ - the remainder from division X at m_i ($i = 1, 2, \dots, k$). By $\setminus a \setminus m$ denotes the least not negative deduction, comparative with a by module m . Incidentally for MRMNS the working range is determined as

$$D = \{-M, -M + 1, \dots, M + 1\} \quad (M = m_1 m_2 \dots m_{k-1}).$$

Unlike the classic MNS, based on module m_1, m_2, \dots, m_k , MRMNS with the same mod-

ule is redundant. In spite of this redundancy is very small, it permits to synthesize more perfect computer algorithms of modular arithmetic, than existing one [2]. The fundamental differences MNS from position number systems consist in independent execution on every module the additive and multiplicative operations at wholes A and B , given by their modular codes

$$(A = (a_1, a_2, \dots, a_k), B = (b_1, b_2, \dots, b_k)),$$

that is to say properly

$$\backslash A * B \backslash M_k = (\backslash a * b \backslash m_1, \backslash a * b \backslash m_2, \dots, \backslash a * b \backslash m_k)$$

($M_k = m_1 m_2 \dots m_k; *C\{+, -, x\}$).

Natural internal parallelism of MNS secures:

- fulfillment of all ring module M_k operations at the same time, that is determined for biggest one among m_1, m_2, \dots, m_k ;
- decomposition of realized computing processes at independent or weak connected sub-processes, corresponded with module m_1, m_2, \dots, m_k ;
- simplicity of pipeline computings at the low number operations level;
- regularity and homogeneity of arithmetic blocks and their units;
- high extent of attainment of maximum integral scheme packaging density with limited number of pins.

Thanks to as named, so to set of another unique characteristics and dignities of minimal redundant MNS, they be in ideal conformity with conception of leading computer ideologies and also with special features and limitations of VLSI technologies.

Because processes of readings $f(n)$ forming for different meaning n in accordance with (1) - (3) are fully independent, the calculation of intensity $\{f(n)\}$ with a help of any mentioned before correlations can be proceeded at less than $10N + T + 25$ cycles, if used most high speed pipeline modular blocks and units [2 - 5] from the developed set. This takes 205.34 ns for $N = 1024$, the length of word $l = 12 - 20$ bit and modular cycle $t_{MC} = 20ns$.

References

1. Apanasovich V.V., Kolyada A.A., Chernyavski A.F. Statistical analysis at accidental streams in physical experiment.- Minsk: University, 1988.- 256 p.
2. Kolyada A.A., Pak I.T. Modular structures of pipeline processing of digital information.- Minsk: University, 1992.- 256 p.
3. A.s. 1287152 USSR, G06F7/72. The unit for dividing in remainder number system. A.A.Kolyada, Bul. 1987, N4.
4. A.s. 1325475 USSR, G06F7/72. The unit for number multiplying A.A.Kolyada, M.Y.Selyaninov, Bul. 1987, N27.
5. A.s. 1322268 USSR, G06F7/72, 7/544. The unit for functions calculating in modular number system, A.A.Kolyada, Bul. 1987, N25.



RU9710280

LOW-LEVEL BETA-ACTIVITY RADIOMETER WITH COMPENSATION OF THE BACKGROUND

I. Vankov, Ch. Kambourov, L. Dimitrov, B. Kunov, G. Georgiev

Institute for Nuclear Research and Nuclear Energy,
Bulgarian Academy of Sciences, Sofia, Bulgaria

E-mail: ivankov@bgearn.bitnet

For cosmic rays protection, all low level activity measuring systems use a guard detector, connected in anticoincidence with the measuring one [1]. In this way, all cosmic rays particles passing through both detectors are excluded from the final result and the residual background is drastically decreased. In [2] a new type low level beta-activity scintillation detector system is described (fig. 1). The system consists of two photomultipliers (PM1 and PM2). Each PM cathode contacts with a ϕ 80 mm plexiglass disc (GS1, GS2) in the center of which a ϕ 30 mm thin plastic scintillator disc (S1, S2) is mounted. The sample is placed between both plastic scintillators. The output pulses of each PM are fed to two amplifiers - one with low gain (A1, A4), called "measuring channel", and second - with high gain (A2, A3), called "guard channel". The gain of the measuring channel is so chosen that there are pulses corresponding only to the scintillations in the plastic scintillator at its output, while the output pulses of the guard channel correspond to the scintillations in the plastic scintillator (S1, S2) as well as in the plexiglass disc (GS1, GS2). The pulses from each measuring channel are fed to the active input of an one-way anticoincidence circuit (AC1, AC2). In the same time each anticoincidence circuit is controlled by the guard channel of the opposite PM. In this way each detector is very effectively protected from the cosmic rays by the plexiglass disc of the opposite one.

The ratio K between the number of excluded (N_e) and residual (N_r) background pulses in this scintillation detector system

$$(1) \quad K = N_e / N_r$$

is investigated for a long period (78 hours). The results obtained (fig. 2) show that K can be considered as constant ($K \approx 12.4$). The reason for this phenomenon is most probably the fact that the larger part of the residual background is due to cosmic rays, passing only through one of the detectors.

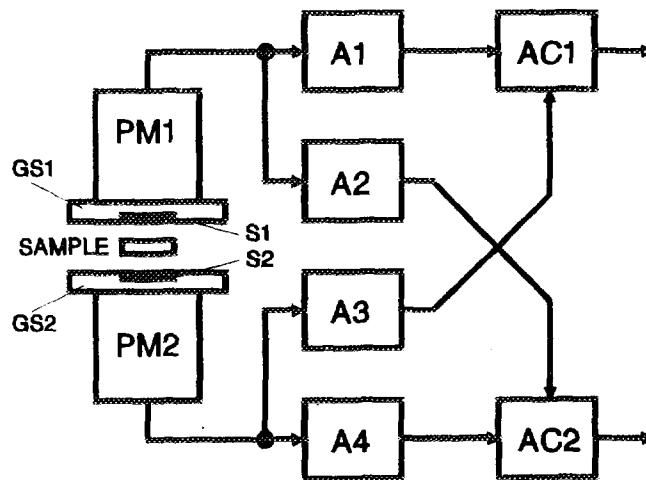


FIG. 1

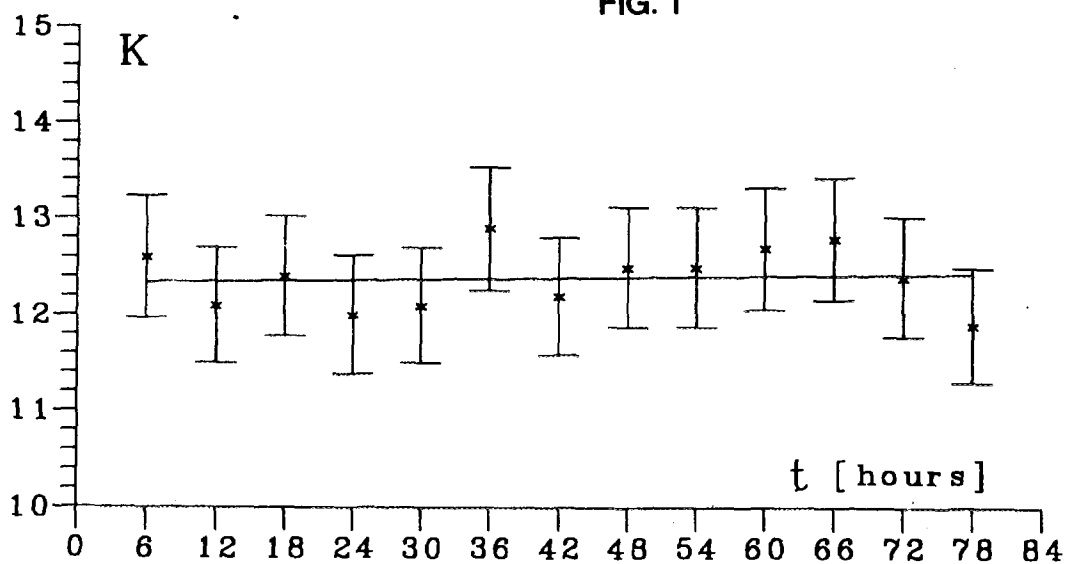


FIG. 2

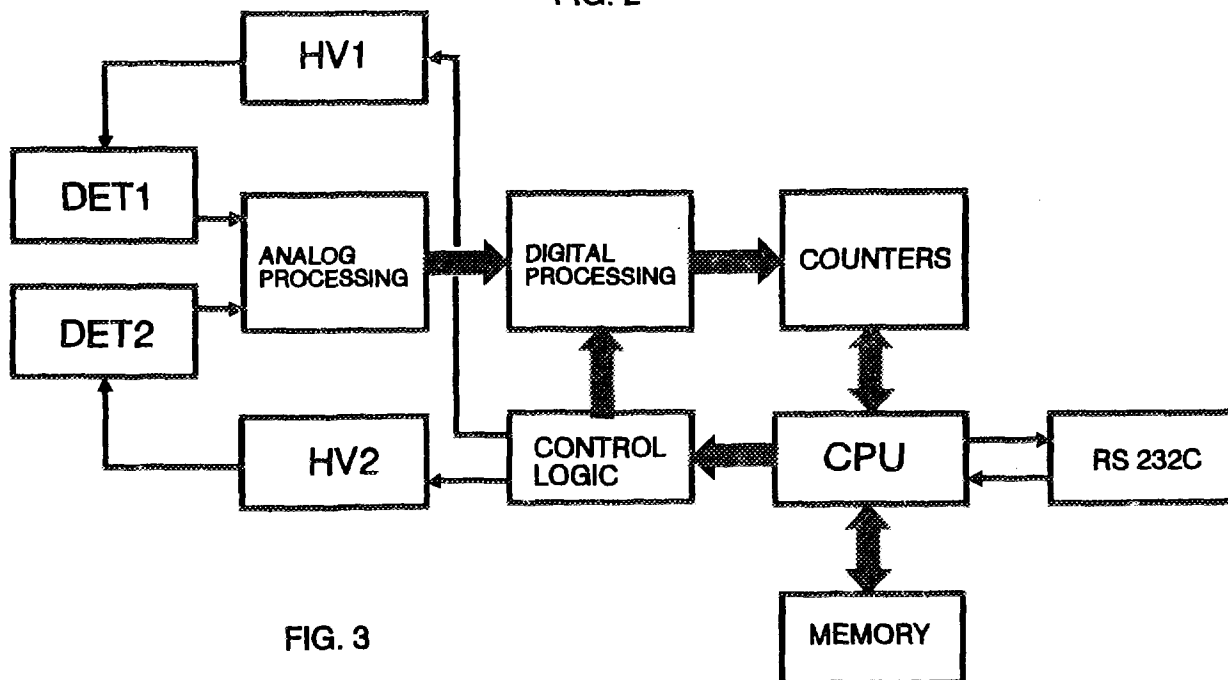


FIG. 3

When K is constant, its value can be measured in advance and after that the residual background count rate n_r can be determined by measuring the number of excluded pulses (N_e) and dividing this result by K , i.e.

$$(2) \quad n_r = N_e / TK,$$

where T is the time of the measurement.

Thus this method permits to "measure" the background simultaneously with the sample and to find its pure activity at the end of the measuring by subtracting the determined background n_r (using (1)) from the total result.

An essential advantage of this method is the decreasing of the statistical error of n_r when it is determined from (2). In fact, when n_r is measured directly by counting the output pulses of the anticoincidence circuit, the standard deviation is

$$(3) \quad \sigma_1 = \sqrt{N_r} / T,$$

(where N_r is the number of residual background pulses received in the time interval T) and when it is calculated by (2), the standard deviation is

$$(4) \quad \sigma_2 = \sqrt{N_e} / TK.$$

In (4) N_e can be replaced from (1), i.e.

$$(5) \quad \sigma_2 = \sqrt{KN_r} / TK = \sqrt{N_r} / T \sqrt{K}.$$

The comparison between (3) and (5) shows that in the second case the standard deviation of n_r is decreased \sqrt{K} times.

For an experimental verification of this conclusion, 21 measurements of the excluded and residual background pulses have been done, each with a duration of $T = 120$ min. The results are given in Table 1, where $n'_r = N_r / T$, $n''_r = N_e / TK$, $n'_{rm} = \sum n'_r / 21$, $n''_{rm} = \sum n''_r / 21$, $\delta' = |n'_{rm} - n'_r|$, $\delta'' = |n''_{rm} - n''_r|$. The standard deviations for both cases are

$$(6) \quad \sigma' = \sqrt{\sum \delta'^2 / 21} = 0.05997, \quad \sigma'' = \sqrt{\sum \delta''^2 / 21} = 0.0182.$$

The ratio between them $\sigma' / \sigma'' = 3.295$ is very close to the value $\sqrt{K} = \sqrt{12.4} = 3.521$ (especially taking into account the relatively small number of measurements - 21) which confirms the advantage of

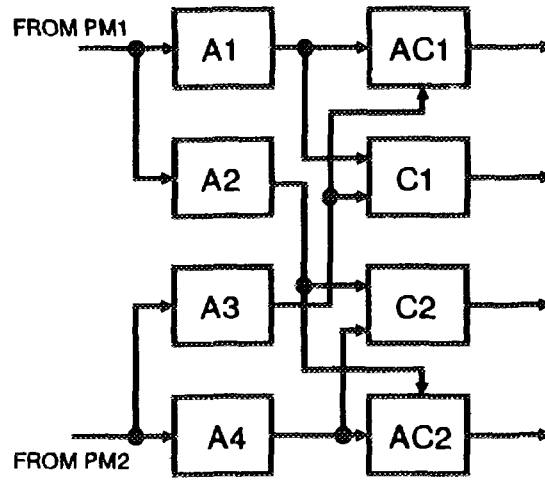


FIG. 4

Table 1

n_r' [min ⁻¹]	δ' [min ⁻¹]	n_r'' [min ⁻¹]	δ'' [min ⁻¹]
0.416	0.024	0.440	0.0036
0.484	0.044	0.442	0.0056
0.425	0.015	0.380	0.0564
0.416	0.024	0.415	0.0214
0.416	0.024	0.412	0.0244
0.408	0.032	0.446	0.0096
0.509	0.069	0.439	0.0026
0.308	0.132	0.439	0.0026
0.450	0.010	0.434	0.0024
0.433	0.007	0.450	0.0136
0.491	0.051	0.447	0.0106
0.466	0.026	0.435	0.0014
0.534	0.094	0.470	0.0336
0.458	0.018	0.440	0.0036
0.475	0.035	0.461	0.0246
0.508	0.068	0.435	0.0014
0.425	0.015	0.437	0.0006
0.375	0.065	0.445	0.0086
0.427	0.013	0.449	0.0126
0.516	0.076	0.427	0.0094
0.300	0.140	0.422	0.0144
$n_{rm}' = 0.440$		$n_{rm}'' = 0.4364$	

the method. Also the negligible difference between both mean values $n'_{rm} = 0.440$ and $n''_{rm} = 0.4364$ shows its correctness.

On the base of this method an universal low level beta-activity radiometer is constructed. The electronic device consists of two parts - measuring unit and PC for control and data processing. The measuring unit (fig. 3) includes two-channel high voltage power supply (HV1, HV2) for the scintillation detectors (DET1, DET2), blocks for analog and digital processing, counters and control logic. It operates under the control of an Intel 8031 microprocessor (CPU), supporting also the RS 232C interface with the PC. All user's control is realized through the keyboard and the display of the PC.

The diagram of the analog processing block (fig. 4) is similar to that shown on fig. 1. In addition, two coincidence circuits (C1, C2) are included at which outputs the excluded background pulses from both detectors are available. The digital processing block permits to establish different operating modes (described below), the results of which are registered in the counters.

Three modes of operation can be selected:

- **measuring in solid angle close to 4π without background compensation**; in this case the output pulses of both anticoincidence circuits (AC1, AC2, fig. 4) through an OR gate are fed to one of the counters; in 4π mode the method of background compensation cannot be used because some of the beta-particles from the sample pass through both scintillators due to the backscattering effect and will give fault pulses at the outputs of the coincidence circuits (C1, C2, fig. 4);

- **measuring in solid angle close to 2π with compensation of the background**; in this mode each one of the detectors can be used as "measuring" one, the other operating as "guarding"; one counter receives the output pulses from the anticoincidence circuit connected to the measuring channel of the "measuring" detector and a second counter - the output pulses from the coincidence circuit which has one input connected to the same channel (for example AC1 and C1 when PM1 is used as "measuring" detector); the count rate of the sample (n_s) is found from

$$(7) \quad n_s = N_r/T - N_e/TK,$$

where N_r and N_e are the number of pulses, received in first and second counter respectively; in order to avoid the influence of the backscattering

effect mentioned above, a metal reflector must be placed between the sample and the "guarding" detector, which in the same time increases the efficiency of the measurement [3]; also beta-gamma radioactive isotopes cannot be measured in this mode;

- **measuring the ratio K** ; for this purpose the output pulses of both anticoincidence (AC1, AC2) and both coincidence (C1, C2) circuits are counted separately; thus the ratio K for each channel can be calculated using (1); a significant decreasing in the K values is very often an indication for radioactive pollution of the detector system.

Plastic scintillators type NE 102 with 1 mm thickness and photomultipliers EMI 9804 are used in the detector system of the radiometer. The distance between both detectors is 6 mm. The system has a 8 cm lead shielding. The gain of A1 and A4 amplifiers is 1 and of A2 and A3 - 2000. Under these conditions the basic parameters of the radiometer are: residual background of each detector $n_r = 0,8 \text{ min}^{-1}$; $K \approx 7$; efficiency for ^{90}Y - 55 % in 4π mode and 32 % in 2π mode.

The control of the measuring unit can be realized from different types of PC using RS 232C interface. The specialized software provides the following possibilities:

- establishing the high voltage for both detectors separately from 500 to 1500 V by step of 1 V;
- operating mode selection;
- pulse or time preselection;
- realization of a cycle of a fixed number of successive measurements with equal duration; at the end a comparison procedure of the obtained results permits to reject these of them, having a higher standard deviation than a preselected limit.

REFERENCES

1. W. G. Cross, Report on 6th Tripartite Instruments Conf., Chalk River, Canada (1959).
2. Ch. Kambourov, I. Vankov and S. Avramov, Nucl. Instr. and Meth. 143 (1977) 537.
3. J. L. Wadchingham and J. D. Rowe. Report AERE-R 4246, Res. Group U.K. Atomic Energy Authority (1966).

**Измерительно-накопительный модуль
спектрометра на поляризованных нейтронах СПН-1**
В.В.Журавлев, Д.А.Корнеев, Е.И.Литвиненко, Д.И.Ляпин
Объединенный институт ядерных исследований, Дубна

В ЛНФ ОИЯИ на реакторе ИБР-2 действует спектрометр по времени пролета на поляризованных нейтронах СПН-1. В основном он предназначен для проведения деполяризационных и рефлектометрических экспериментов, требующих большой светосилы и умеренного разрешения. В частности, на нем ведутся исследования микромагнетизма в ферромагнетиках и сверхпроводниках, а также исследования моно и мультислойных магнитных и сверхпроводящих тонких пленок.

1.Общая организация спектрометра

Спектрометр СПН-1 расположен на 8 канале реактора ИБР-2. На схеме спектрометра (рис.1) представлено расположение его основных узлов. Основными отличительными элементами спектрометра являются два зеркальных поляризующих FeCo изогнутых нейтроновода. Анализатор поляризации пучка установлен на поворотной платформе и настраивается на пучок, проходящий через образец. Изменение знака поляризации падающего пучка осуществляется с помощью спин-флиппера, представляющего собой систему токовых катушек, создающих магнитное поле определенной конфигурации. Для снижения фона запаздывающих нейтронов и сателитных вспышек реактора в кольцевом коридоре реактора установлен двухдисковый прерыватель нейтронов со встречным вращением и отдельным управлением дисков. Образец размещается между полюсами электромагнита, установленного на 3° -осном гониометре. После образца нейтроны могут регистрироваться двумя детекторами.

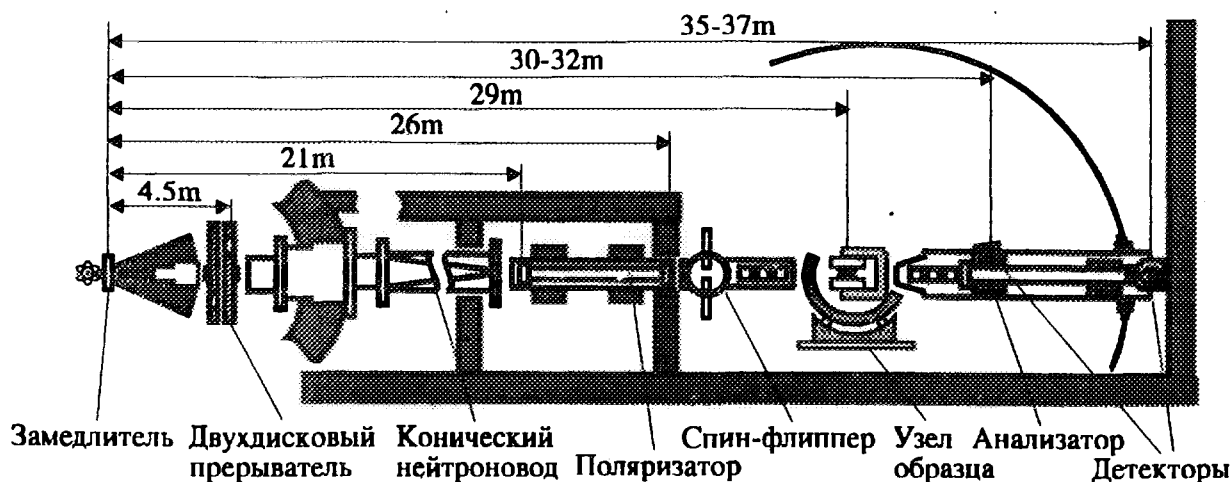


Рис.1. Схема размещения оборудования СПН-1.

За время с начала эксплуатации установки СПН-1 (1985 год) аппаратура и электроника прошли несколько этапов развития, отраженных в публикациях /1-6/. В настоящей работе описаны конфигурация и программное обеспечение измерительно-вычислительного модуля на базе аппаратуры КАМАК и ПЭВМ РС/АТ. Общая схема измерительно-накопительного модуля и автоматизации экспериментов показана на рис.2.

Аппаратура модуля выполнена в виде трех крейтов КАМАК и стойки управления позиционированием узлов спектрометра.

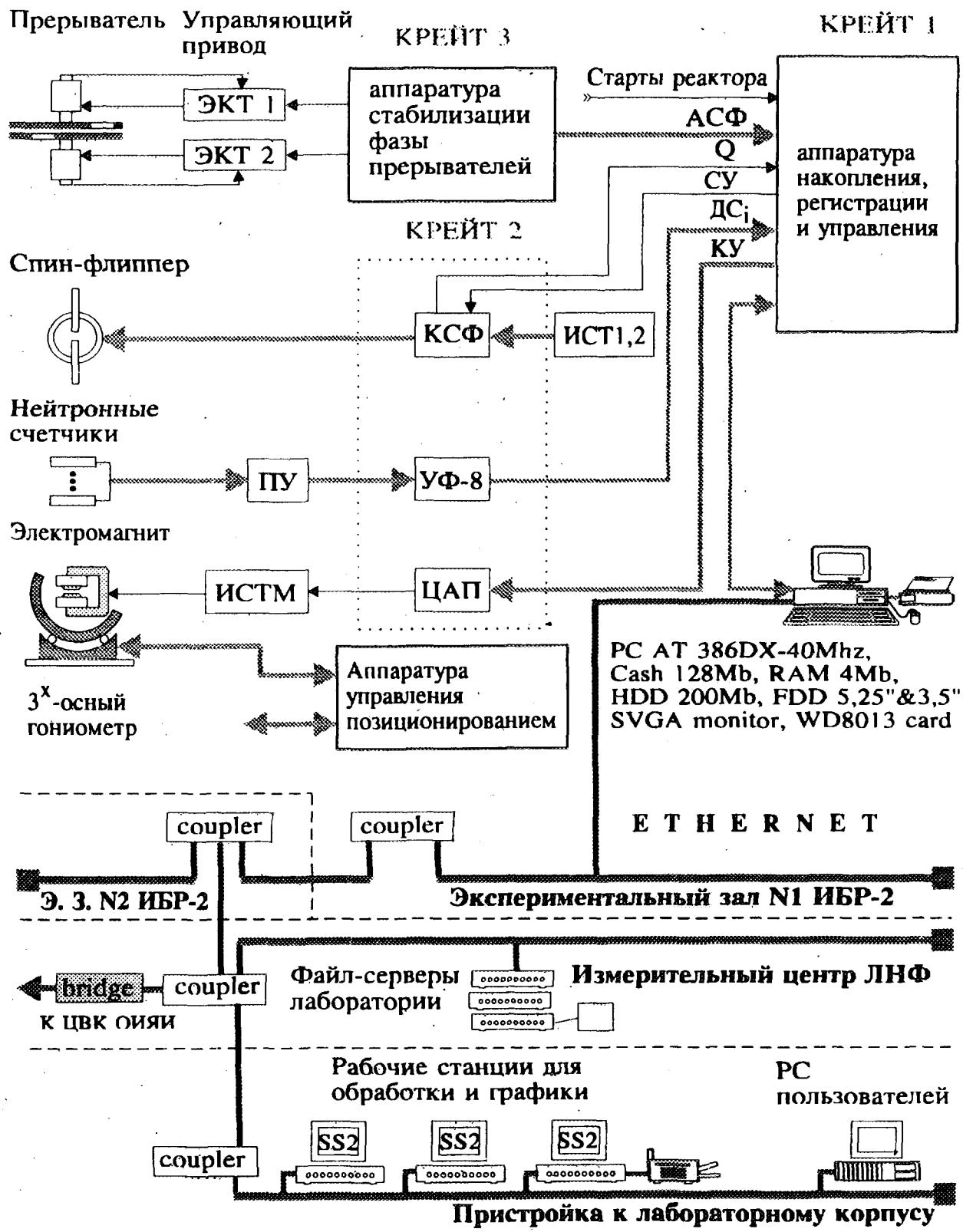


Рис.2. Организация измерительно-накопительного модуля.

Двигатели двухдискового прерывателя нейтронов (скорость вращения дисков 300, 600 или 900 об/мин) подключены к тиристорному электроприводу типа ЭКТ-2Д-63 с выходной мощностью 40 кВт, управляемому от аппаратуры стабилизации сдвига фазы прерывателей (крейт 3) относительно стартовых импульсов реактора ИБР-2. Точность стабилизации фазы

прерывателей - ± 300 мксек при периоде работы реактора - 207 мсек. При уходе фазы прерывателей более $\pm 1,5$ мсек в крейт 1 выдается аварийный сигнал расфазировки АСФ.

В **крейте 2** размещена управляющая и измерительная электроника. Коммутатор спин-флиппера КСФ позволяет прерывать ток и выдает сигнал состояния Q о наличии тока в обмотках спин-флиппера (1А), подключенных к двум источникам стабильного тока ИСТ1,2 (блоки Б5-47). КСФ управляется из крейта 1 сигналом СУ. Источник стабильного тока для питания обмоток электромагнита (0-130В, 0-10А, точность стабилизации тока - $\pm 0,2\%$), выполненный на базе тиристорного регулятора БТ-1004А /7/ создает максимальное поле на образце до 12 кЭ. Источник управляется аналоговым сигналом от цифроаналогового преобразователя (ЦАП), на вход которого подается цифровой код КУ из крейта 1. Сигналы с детекторов типа СНМ /8/ через предусилители ПУ и усилители-формирователи УФ-8 /11/ поступают в крейт 1.

Аппаратура управления позиционированием выполнена автономно на базе микро-ЭВМ К-1520 /6/ и служит для управления тремя осями гониометра, поворотом платформы, и поперечным смещением нейтроноводов.

Аппаратура накопления и управления (**крейт 1**) подключена к компьютеру РС АТ386, который через сеть ETHERNET подключен к локальной вычислительной сети лаборатории и ОИЯИ.

2. Электроника накопления, регистрации и управления

На рис.3 показана схема накопления данных, регистрации и управления. Для накопления спектрометрической информации в измерительно-накопительном модуле СПН-1 используется разработанный и освоенный в ЛНФ комплект программируемых спектрометрических блоков ВКП-4, ОЗУ-64 и КНД /12/.

Детекторные сигналы ДС_i поступают на входы коммутатора номера детектора КНД /11/. По сигналу запроса КНД на выходе временного кодировщика ВКП-4 /9/ формируется код временного канала детекторного сигнала относительно старта реактора и временное окно, ширина которого определяется шириной и количеством каналов. Смешанный код временного канала и номера детектора с КНД подается в качестве адресного кода на вход накопительного запоминающего устройства ОЗУ-64 /10/. ОЗУ-64 программируется для работы в инкрементном режиме работы по внешней магистрали (изменение данных, хранящихся в памяти, на единицу в ячейке, адрес которой принят на входе). Для разделения спектров при включенном ("темная" позиция) и при выключенном ("светлая" позиция) спин-флиппере ОЗУ-64 разбивается на две части перезаписью статусного слова в КНД. При этом в накопительной памяти ОЗУ-64 могут накапливаться спектры от 8 детекторов по 4К временным каналам по "темной" и "светлой" позициям (ТП и СП) с глубиной накопления по каждому каналу 2^{16} .

Программно управляемый *размножитель импульсов* Р (УР6-136 /13/), имеющий 16 отключаемых выходов, переделан на 2 входа с 8 выходами по каждому входу и позволяет осуществить программный старт-стоп измерений по заданному числу стартов, измерение числа рабочих стартов и интегрального счета детектора (монитор) как в ТП так и в СП. Количество стартов накопления (время экспозиции) записывается в *счетчик экспозиции* КС013, который после отсчета выдает запрос на прерывание в РС по L. В *счетчике* КС014 по входу 1 считаются "рабочие" старты, которые затем используются для нормировки. Сигналы детекторов с выходов 1,2 входа 2 размножителя подаются на входы 2,3 КС014 для счета монитора по ТП и СП при стробировании по временному окну ВКП.

Организация накопления спектрометрических данных по каналу прямого доступа непосредственно в инкрементную память обеспечивает минимальное мертвое время

Входной регистр КР005 служит для приема аварийных сигналов АС (шибер закрыт, прерыватель расфазирован, нет воды в обмотках магнита и др., всего до 16 сигналов) и сигналы состояния СС (спин-флиппер включен и др., всего до 16 сигналов), при этом аварийные сигналы одновременно подаются на управляющий вход (L1) для запроса на прерывание РС. По сигналу на управляющем входе в КР005 автоматически записываются сигналы состояния.

3. Организация программного обеспечения

Программный комплекс для накопления и первичной обработки экспериментальных данных включает следующие программы: SPNBASE - программа управления базой данных и первичной обработки; SPNMAIN - программа для автоматического накопления данных и контроля за условиями эксперимента; SPNSCAN - программа сканирования пучка.

Физические данные, накопленные в ходе эксперимента, и данные, описывающие условия его проведения, сохраняются в файлах базы данных. База данных организована в

виде набора деревьев, каждое из которых описывает один цикл реактора и имеет 5 уровней разделения данных: Cycle (данные о цикле реактора), Method (деполяризация или рефлектометрия), Sample (данные об образце), Measure (о состоянии аппаратуры спектрометра) и Spectrum (имена файлов спектров). Элементы Cycle, Method и Sample создаются пользователем перед началом эксперимента с помощью программы SPNBASE. Остальные элементы создаются автоматически программой SPNMAIN во время измерений.

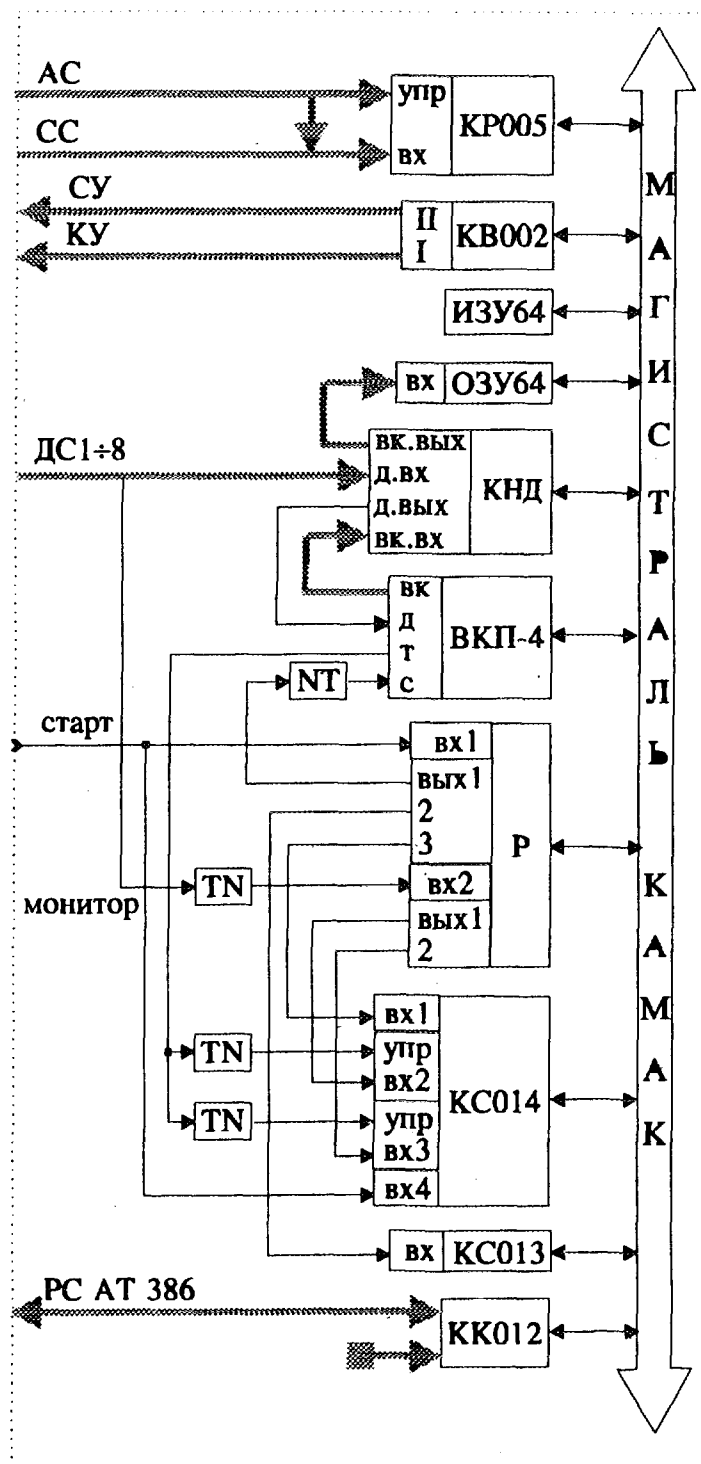


Рис. 3. Электроника накопления данных, регистрации и управления.

Каждое дерево базы данных описывается тремя файлами: файлом базы данных (системный рекорд базы данных, описывающий ее текущее состояние), файлом каталога (двусвязный список с регулярной структурой всех элементов текущего дерева базы, использующийся для поиска элементов в базе данных) и файлом данных (файл с нерегулярной структурой, в который записываются данные для каждого уровня дерева в процессе их создания). Эти три файла имеют стандартизованные имена, в которых зашифрованы в том числе номер цикла реактора в году и личный идентификатор пользователя, который запрашивается при входе в программы комплекса для затруднения несанкционированного доступа. Файлы базы данных сохраняются на жестком диске персонального компьютера, обслуживающего измерения, однако могут записываться по сети Ethernet на диски лабораторных файл-серверов (Рис.2) для просмотра и первичной обработки экспериментальных данных с рабочего места пользователя во время эксперимента.

Программа SPNBASE позволяет создавать элементы базы данных первых трех уровней, просматривать, изменять информацию и удалять элементы всех уровней; копировать текущее дерево базы данных; проводить просмотр спектров и их первичную обработку.

Программа SPNMAIN перед началом измерений запрашивает у пользователя задание на эксперимент (которое может загружаться из файла задания) и требует настроиться на одну из ветвей Cycle-Method-Sample базы данных. Затем она проводит измерение в соответствии с заданием и производит контроль условий проведения эксперимента. В процессе эксперимента при отсутствии аварийных сигналов на входном регистре KP005 программа периодически создает и записывает в файлы базы данных элементы Measure и Spectrum пока не закончится заданное время измерений. При этом данные суммируются в уже имеющиеся на диске файлы спектров. В файлы спектров дублируется также информация об элементе Measure. Во время измерений можно просматривать на спектре результаты текущих измерений и некоторые функции от них. Имеется возможность записать в базу данных файлы поляризации, деполяризации и коэффициентов отражения.

Программа SPNSCAN предназначена для автоматизации процесса определения профиля прямого и отраженного пучков и координаты их центра с целью настройки детектора на один из пучков.

Представленный измерительно-накопительный модуль успешно функционирует с 1992 года. Дальнейшая перспектива его развития изложена в работе /14/.

Литература

1. Gunter S. et all. Wissenschaftl. Berichte d. THL, 1983, 1, p. 135.
2. Беттге М. и др. ОИЯИ, P11-80-422, Дубна, 1980.
3. Беттге М. и др. ОИЯИ, 11-82-448, Дубна, 1982.
4. Гюнтер З. и др. ОИЯИ, 11-83-530, Дубна, 1983.
5. Гюнтер З. и др. ОИЯИ, 11-84-482, Дубна, 1984.
6. Гюнтер З. и др. ОИЯИ, P10-88-455, Дубна, 1988.
7. Омельченко Б.Д. и др. ОИЯИ, 13-80-469, Дубна, 1980.
8. Королев В.И. и др. ПТЭ, 1969, №4, с.208.
9. Барабаш И.П. и др. ОИЯИ, 10-84-158, Дубна, 1984.
10. Вагов А.А. и др. ОИЯИ, 13-89-131, Дубна, 1989.
11. Барабаш И.П. и др. ОИЯИ, P10-90-88, Дубна, 1990.
12. Балагуров А.М. и др. ОИЯИ, P10-91-155, Дубна, 1991.
13. Басиладзе С.Г. Нгуен Тхи Ша, ОИЯИ, 13-11783, Дубна, 1978.
14. Новожилов В.Е. и др. ОИЯИ, P10-94-8, Дубна, 1994.



RU9710282

КОМПЬЮТЕРНО-ИНТЕГРИРОВАННЫЕ СРЕДЫ ДЛЯ ПРОБЛЕМНОГО ОБУЧЕНИЯ ПО ЭЛЕКТРОНИКЕ НА ОСНОВЕ АНАЛОГОВОГО СИМУЛЯТОРА PSpICE

Н.Милева, А.Петров, Н.Павлов

Пловдивский университет — Пловдив, НРБ

Недостатки проведения лабораторных экспериментов в университетском образовании по инженерным и физическим наукам только при помощи аппаратных средств, такие как времяемкость, низкая эффективность и информативность, необходимость (в некоторых случаях) в работе с высокими напряжениями и большими токами и т.д. усиливают интерес к их компьютерному моделированию. Теория моделирования электронных схем уже хорошо разработана [1], а есть уже разработки и практического характера, применяемые в сфере образования [2]. Цель данной работы - создание подходящих компьютерно-интегрированных сред (КИС) для моделирования лабораторных экспериментов по различным предметам - разделам электроники и физики. Моделирование электронных схем проводится при помощи соответствующих аналоговых и цифровых симуляторов типа PSpice, PLogic, Design Center и т.д.[3]. В целях обучения весьма удобно подготовить заранее набор типовых схем к соответствующим разделам электроники: общая электроника, электроника силовых приборов, ядерная электроника, электронные схемы лазерной техники и др. и анализировать их впоследствии. Создание КИС для подготовки базы данных, содержащих подобные схемы и соответствующие исследовательские задания, а также КИС для проведения самых исследований типовых схем студентами, является важным этапом подготовки проблемного обучения методами компьютерного моделирования. Ниже приводится описание разработки двух подобных КИС.

1. КИС для создания базы данных — основы компьютерного моделирования

Назначения данной КИС, называемой **TEACHER'S MODULE** (коротко ТМ -модуль преподавателя), - создать базу данных, содержащую набор типовых электронных схем к соответствующим разделам электроники, изучаемым в ВУЗах. КИС ТМ работает в интерактивном режиме и имеет следующие возможности и особенности:

а) Введение и выбор соответствующего предмета (дисциплины), например Общая электроника, для которого будет создаваться набор типовых схем в базе данных, а также введение некоторой дополнительной информации к нему.

б) Введение и выбор определенной темы из данного предмета. Для предмета Общая электроника примерные темы могут быть: Транзисторные усилители, Операционные усилители и т.д.

в) Введение набора конкретных типовых схем для выбранной темы. Для темы транзисторные усилители примерные типовые схемы могут быть: Схема с общей базой (ОБ), Схема с общим эмиттером (ОЭ) и т.д. Здесь есть два момента:

- Введение текстовой части, содержащей наименование схемы и исследовательское задание для выполнения студентом;

- Введение графического изображения схемы по принятому стандарту.

г) Просмотр и коррекция (при необходимости) введенной информации.

д) Сохранение введенной информации на внешнем носителе (HD или FD) с целью дальнейшего ее использования.

е) Удобство при работе с КИС, которое требует, чтобы она была создана как иерархическая и модульная с широким использованием визуальных объектов типа "меню", окон статического и диалогового типа, сообщения статусного и вспомогательного характера и т.д. КИС не должна требовать специальных знаний по компьютерам и их программированию и должна изучаться легко.

ж) Надежность в работе, что требует создания соответствующей защиты против неправомерного введения и стирания информации и пр.

Проектирование КИС ТМ. Проектирование КИС ТМ было согласовано с вышеуказанными требованиями, а также с наиболее применяемыми к настоящему времени аппаратными и программными средствами для ее реализации. Исходя из этого за основу были приняты ПЭВМ типа IBM PC XT/AT и программный язык Turbo Pascal в его последних версиях для MS DOS (V 6.0 и 7.0 с пакетом Turbo Vision) и WINDOWS (Turbo Pascal for WINDOWS или Borland Pascal). Широко были использованы все преимущества объектно-ориентированного программирования (ООП) и готовых библиотек визуальных и невизуальных объектов (меню, статусные строки, статические и диалоговые окна, текстовый редактор и т.д.) которые предлагают указанные средства, в том числе и удобства для создания баз данных и их сохранения на диске в виде ресурсных файлов и коллекций [4]. При использовании этих пакетов автоматически обеспечивается работа с мышью. Этим способом был создан надежный потребительский интерфейс КИС.

На рис.1 показана функциональная декомпозиция КИС ТМ.

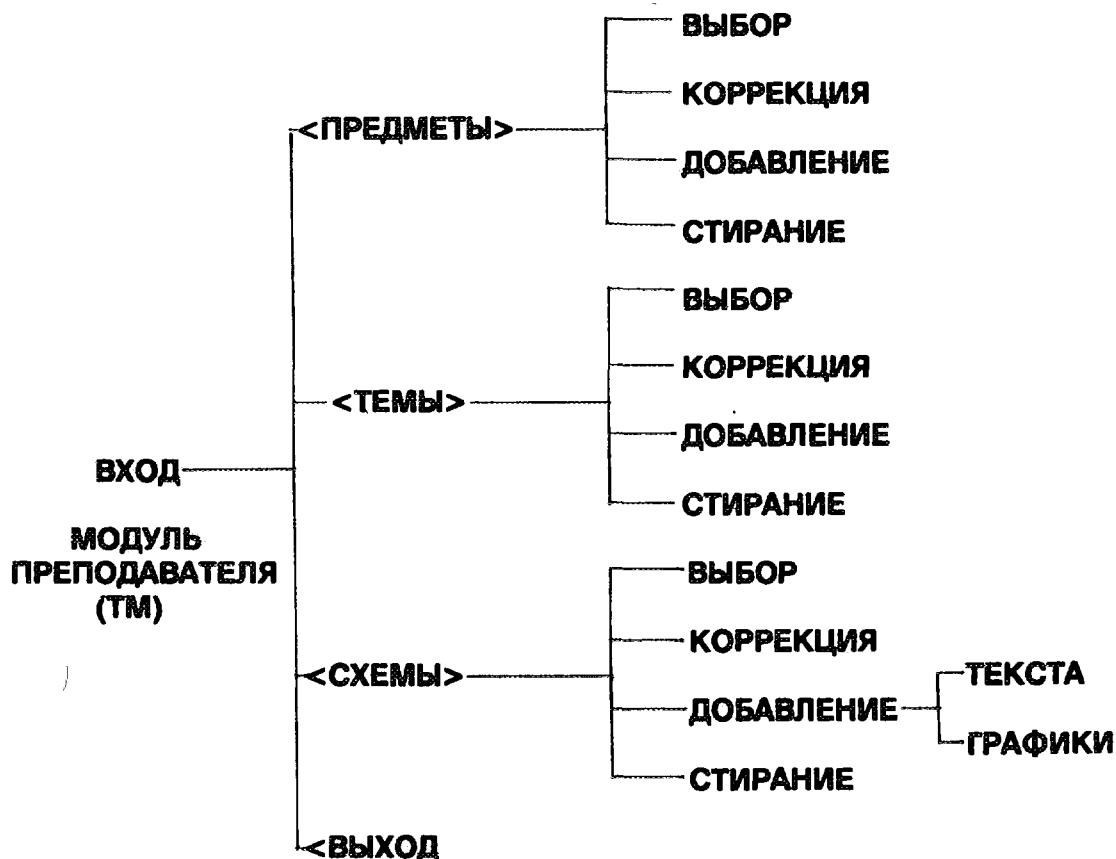


Рис.1

В главном меню КИС включены четыре элемента: *Предметы*, *Темы*, *Схемы* и *Выход*. Структура элементов *Предметы*, *Темы* и *Схемы* полностью идентична. Они созданы как параллельные, но иерархически-связанные объекты, так что элемент *Темы* может быть выбран только если создана база данных для данного предмета и выбран именно этот предмет. Аналогична зависимость элемента *Схемы* от элемента *Темы*. Подэлементы: *Выбор*, *Коррекция*, *Добавление*, *Стирание*, составляющие подменю для каждого из указанных элементов одинаковые, что облегчает создание объектов.

При выборе подэлемента *Выбор* для данного элемента, появляется соответствующий список предметов, тем или схем (если уже был создан) с возможностью выбора. Наименование выбранного предмета (темы, схемы) появляется в нижней части экрана в виде статического текста и потом разрешается выбор эле-

мента, подчиненного данному из соответствующего списка, имея в виду, что иерархия следующая: *Предметы --> Темы --> Схемы*.

При выборе подэлемента *Коррекция* появляется диалоговое окно, содержащее все поля записи данных соответствующего элемента, например, наименование предмета (темы, схемы), фамилия преподавателя, аннотация и т.д. В диалоговом окне возможен доступ ко всем полям записи с целью коррекции.

При выборе подэлемента *Добавления* появляется пустое диалоговое окно такого же типа, как и при выборе *Коррекции*, поля которого можно заполнить и сохранить на диске впоследствии, с целью расширения базы данных.

При выборе подэлемента *Стирание* появляется такой же список, как и при подэлементе *Выбор*, но теперь есть возможность стереть выбранный из списка элемент со всей сопутствующей информации.

Последовательность создания базы данных в КИС ТМ следующая:

1. Ведущий преподаватель выбирает элемент из меню *Предметы* и начинает вводить список предметов и записи данных, связанных с ними.
2. Потом преподаватель - специалист по данному предмету, выбирает этот предмет и начинает вводить список тем и записи данных к ним.
3. Тот же преподаватель выбирает по очереди соответствующие темы из меню *Темы* и начинает вводить соответствующие списки типовых схем и связанные с ними задания.
4. Далее для каждой типовой схемы вводится ее графическое изображение и запоминается в соответствующий файл при помощи графического редактора программной системы OrCAD [5]. Для этой цели предусмотрена возможность совместной работы КИС ТМ с программной системой OrCAD.
5. Пункты 2,3 и 4 повторяются другим преподавателем - специалистом по другому предмету и т.д.

КИС ТМ разработана в двух вариантах - для работы под управлением MS DOS и под управлением WINDOWS. Второй вариант значительно удобнее и нагляднее, так как там среда работает всегда в графическом режиме, но его нельзя использовать на каждом ПЭВМ типа IBM PC, что вызвало необходимость в разработке и первого варианта.

2. КИС для исследования типовых аналоговых электронных схем методом компьютерного моделирования для целей проблемного обучения

Предназначение данной КИС - проведение лабораторных экспериментов методом компьютерного моделирования, используя базу данных, созданную КИС ТМ и содержащую наборы типовых электронных схем из различных разделов электроники. КИС называется STUDENT'S MODULE (коротко SM - модуль студента) и использует в своей работе аналоговый симулятор электронных схем PSpice.

КИС SM работает в интерактивном режиме и имеет следующие возможности и особенности:

1. Выбор предмета, по которому будет проводиться обучение.
2. Выбор темы и конкретной схемы для исследования.
3. Проведение самого компьютерного эксперимента как следует:
 - а) Визуальное знакомство с графическим изображением схемы и текстом задания для выполнения.
 - б) Введение студентом условия предстоящего компьютерного эксперимента (вид анализа, параметры, выходные величины и т.д.), т.е. планирование эксперимента.
 - в) Подготовка рабочего файла *.CIR для симулятора PSpice на основе текстового файла типа *.CON, содержащего описание топологии и элементов исследуемой схемы. Файл типа *.CON образуется в результате компиляции графического файла *.SCH, созданного графическим редактором OrCAD. Рабочий файл *.CIR создается в соответствии с исследовательским заданием и синтаксисом текстовых описаний заданий, требуемым симулятором PSpice.

г) Стартинг симулятора PSpice и проведение анализа схемы в зависимости от задания (анализа по постоянному току, переменному току, временного анализа и анализа чувствительности [6,7]). При этом автоматически формируются файлы *.OUT, PROBE.DAT и *.DAT.

д) Представление результатов эксперимента на экране в табличной форме или в графическом виде при помощи графического постпроцессора PROBE.

е) Повторение пунктов б), в) и г) при других значениях некоторых из элементов схемы.

ж) Документирование результатов эксперимента в виде персонального файла студента и/или на принтере.

4. Повторение компьютерного эксперимента с т.3 для другой типовой схемы в соответствии с заданием преподавателя при условии, что заданный преподавателем заранее лимит времени еще не кончился.

5. Оценка качества проделанной студентом исследовательской работы соответствующим преподавателем на основе полученных результатов, скорость и качество выполнения работы и т.д. и запись ее в персональный файл студента, а также в архивный файл самого преподавателя.

Дополнительными требованиями к КИС SM являются еще: удобство в работе, наглядность, возможность легкого освоения и высокая степень надежности. Идея следующая: не углубляясь в изучение входного языка симулятора PSpice, предоставить возможность студенту использовать его для целей компьютерного эксперимента. При этом в максимально упрощенном диалоге студент задает важнейшие для эксперимента и самого обучения параметры и выходные величины, а задание остальных параметров и величин, как и получение рабочего файла для PSpice, вводятся автоматически. В случае необходимости студент всегда может обращаться к КИС SM для получения вспомогательной информации.

Проектирование КИС SM. При выборе аппаратных и программных средств при реализации КИС SM были учтены сделанные при разработке КИС TM соображения и были выбраны те же аппаратные и программные средства, т.е. ПЭВМ типа IBM PC/XT/AT и программная система Turbo Pascal с Turbo Vision в первом варианте и Turbo Pascal for WINDOWS или Borland Pascal во втором варианте. На рис.2 показана в упрощенном виде функциональная декомпозиция КИС SM.

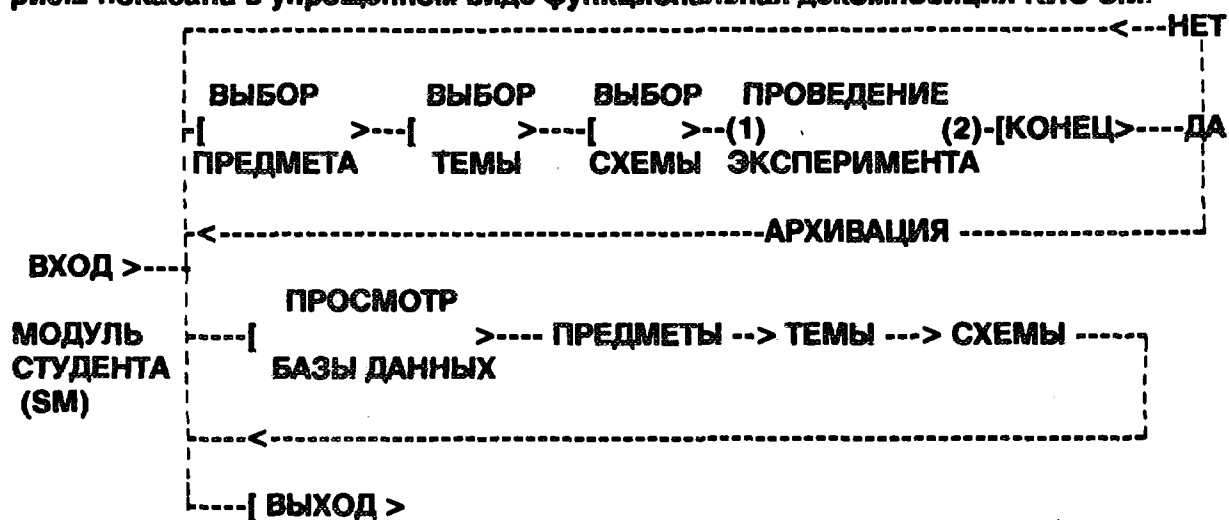


Рис.2

Блок-схема алгоритма, описывающего действие программного модуля среды для проведения самого компьютерного эксперимента, показана на рис.3.



Проделаны некоторые предварительные испытания обеих КИС. В будущем предусматривается дополнение библиотеки базы данных с некоторыми макро-моделями электронных элементов [8,9].

Литература

1. Чуа Л.О., Пен-Мин Лин, Машинный анализ электронных схем, М., 1980.
2. Шойкова Е. и др. Компьютерно-интегрирани среди за синтез и изследване на електронни схеми - ТУ - София, 1989.
3. The Design Center (Family of Products) - MicroSim Corporation - USA.
4. Turbo Pascal V.7.0, Turbo Vision, Borland Pascal 7.0 with Objects, User's Guides.
5. OrCAD Version 3.01, User's Guide.
6. Милева Н., Шойкова Е., Създаване на присъединени модели на електронни елементи в интегрираната среда DENIA, сп. „Електротехника и електроника“ - в печати.
7. Милева Н., Шойкова Е., Програмна система за анализ на многопараметрична чувствителност от първи ред в честотна област в работната среда на DENIA, сп. „Електротехника и електроника“ - в печати.
8. Милева Н., Милев С., Унифициран макромодел на тиристор за аналогов симулатор PSpice, сп. „Електротехника и електроника“, кн.7. 8. 1993.
9. Милева Н., Милев С., Макромодел на ОУ на проводимост от типа CA 3080 за аналогов симулатор PSPICE, сп. „Електротехника и електроника“ - в печати.

CICERO : RESEARCH in the DESIGN of SOFTWARE for CONTROL SYSTEMS using OBJECT-ORIENTED TECHNIQUES

The CICERO Group

R.Barillere, A.Daneels, A.Herve, J.M Le Goff, D.Myers, W.von Ruden
CERN, Geneva, Switzerland

C.Willmot CIEMAT, Madrid, Spain

P.Rinta-Filppula, M.Meri, M.Visuri IVO International, Helsinki, Finland

E.Futo, G.Vesztergombi, Z.Kovacs

Central Research Institute for Physics KFKI, Budapest, Hungary

M.Capitao, P.Inacio, J.Gouveia OBLOG, Lisbon, Portugal

E.Pietarinen, R.Lauhakangas Research Institute for HEP, SEFT, Helsinki, Finland

P.Assis-Arantes, C.Ngo duc, F.Quartier, E.Bernard SPACEBEL, Brussels, Belgium

K.Lundberg, E.Wagner UID, Lindkoping, Sweden

M.Chandler, E.F Mangiaratti, M.Walters USDATA, Dallas, USA

N.Baker, W.Harris, P.Martin, R.McClatchey, J.Meech, A.Solomonides, C.Wallace
University of the West of England, Bristol, UK

J.Ervast, E.Jokiniemi, E.Salonen, M.Vanne VALMET Automation, Tampere, Finland

M.Oivo, P.Huuskonen VTT, Oulu, Finland

Abstract

The latest generation of High Energy Physics (HEP) experiments and accelerators require complex control systems to guarantee their safe operation and to optimise their performance. Due to their sophistication and to the very large number of sensors needed for monitoring and control, these so-called *slow-control systems* tend to be complex to implement and increasingly expensive to maintain. This situation can only worsen with the forthcoming Large Hadron Collider (LHC) experimental era. These problems are mirrored in research departments of large industrial companies involved in the control of power plants, satellite monitoring and other complex automated systems. The CICERO project [1] aims to combine the efforts of research institutes and industrial partners to study the various aspects of this problem. The main building blocks of a generic control information system will be identified and designed using emerging object-based methods. The project will produce an integrating framework (Cortex [2]), into which distributed user control objects may be plugged and a supporting control information system for the configuration and management of that framework. Development of Cortex will follow the ESA PSS-05-02 [3] software engineering standards. Technical solutions will be identified in CICERO which could later be the major components of a basic turnkey system for future medium to large scale HEP experiments and accelerators as well as forming the basis for industrial control systems.

Introduction

Modern HEP experiments are composed of many sophisticated (sub-)detectors each built potentially by different institutes using different complex electronics and software. The detectors require many sensors and actuators to ensure the stability of the experiment and minimise downtime: one recent CERN experiment, DELPHI, had over 96000 sensors. The slow-control system of such experiments monitors the supervision and operation of these sensors and actuators, guarantees the safety of the experiment and controls the low level automation loops to automatically maintain devices in operational conditions.

The four CERN experiments at the Large Electron Positron (LEP) [5] collider have invested heavily in slow-control systems [6] using large numbers of sensors distributed at critical points to ensure stability and to minimise electronic damage. This large number of sensors required complex electronic instruments, sophisticated read-out systems (normally VME crates) and substantial dedicated software. The induced complexity of more sensors has made the LEP experiments difficult to operate, upgrade and maintain and thus less reliable. The next generation of experiments (LHC), due for completion in the next few years, will see an order of magnitude increase in complexity of detectors and a consequent increase in complexity required for operational control.

Each of the LEP experiments has layered their software and distributed the functions of their systems; to reduce redundancy in the code, each group has written layer-dedicated and general-purpose slow-control programs. They have gone to considerable effort to employ (commercial) databases and to design data-driven systems. This has largely been successful only at the higher levels of experimental control. In general the LEP experiments have not used modern software engineering tools nor a standard framework and provide no shell to help integrate experiments into the general system; there is no general mechanism for one slow-control component to share data and services with another.

Similar problems are confronted by the research and development departments of companies involved in industrial automation systems for eg power or chemical plants. These problem may be alleviated with the emergence of the CORBA [7] standard from OMG, since industrial automation systems designed following that specification should become more 'open' with transparent collaboration between user objects involved in industrial control systems. The CICERO project (Control Information system Concepts based on Encapsulated Real-time Objects) is a research and development project involving both academic institutions and industrial partners which aims to investigate the use of object-oriented techniques and commercial products to address the needs of complex control systems both at CERN and, ultimately, in industry.

CICERO aims to design and build a system which allows control systems to share information, control and analysis functions; which presents a uniform human interface; which permits upgrades and additions without code modification; and which is sufficiently generic to allow its use by most of the existing or future control systems at CERN. It will provide both high level data access, abstracting objects to a level appropriate for online control and low level data access to allow views of experimental sub-components for detailed control. The need for expert interventions will be reduced by the use of expert-assistance facilities in CICERO and the control information system will also provide operational, maintenance and alarm reports to aid in experimental monitoring.

Future HEP Control Systems

The development of control systems for LHC experiments will involve considerable problems both of logistics and technical complexity. LHC experiments will involve many tens of institutes and over 1,000 physicists, engineers and computer scientists from around the world. The knowledge required to construct and monitor the (sub-)detectors will be distributed between these institutes and it will be difficult to impose experimental standards. The responsibility of detector monitoring will probably lie with the constructing institute and each detector will work independently other than for overall experimental monitoring and supervision. There will be significant problems of information transfer to ensure that each (sub-)detector is autonomous but can work with other (sub-)detectors for data-acquisition.

Technical constraints will be severe: LHC experiments may have more than 100,000 input/output channels each requiring monitoring. These experiments must also operate in potentially hazardous environments eg in radiation zones and underground conditions and are often very heterogeneous in nature. The LHC detectors will need to have a long lifecycle since the experiments will take data for several years and as a consequence maintainability is an important consideration. In addition, as the experiments grow, so the control systems should grow from an initial lab-based test system to the fully-fledged experimental system. The control system must therefore be both scalable and flexible to change.

To reduce development costs physicists are looking for partially reusable solutions to their technical problems. The object-oriented approach to designing control systems adopted in CICERO should ensure reusability of software where appropriate. Also the LHC experiments are looking to incorporate industrial tools for tasks in the control system. Such products include low-level Programmable Logic Controllers (PLCs) with commercial supervisory software such as FactoryLink [8], Vigil [9], Imagin [10] or Monitrol [11], VME with supervisory software (eg Damatic XD [12]) and artificial intelligence tools such as Expert Systems (eg G2 [13]) covering high-level features such as intelligent user interfaces. It is hoped that incorporating these 'off-the-shelf' commercial products potentially with existing 'home-made' systems (such as EPICS [14]) will reduce the manpower needed to operate the LHC experiments thereby reducing costs. Additionally, research and development [15] is underway in industry to provide a generic approach to providing user assistance for operators in the Process industries. CICERO aims to capitalise on this research and supplement it with complex alarm diagnosis, maintenance (preventive or post-mortem) and global operational facilities in providing user interfaces which greatly simplify HEP experiment control.

The Cortex Approach

In the recent past HEP experimental control systems have been built using commercial products such as VME and FactoryLink. However, it has proved difficult to integrate different commercial products together (eg PLCs with VME) and to integrate these products with existing CERN-made control (sub-)systems. In addition, most of the implemented HEP control systems have been based on client-server or point-to-point communication which have lead to a problem of multiple distribution of control information by servers throughout the system. The complex procedure of integrating control sub-systems over many (sub-)detectors in the absence of a central repository describing the experiment and the lack of a mechanism for standard information exchange between experimental components has lead to further problems. In essence, what is needed is an overall framework to facilitate integration between control system components. Such a framework (or software integration platform) should

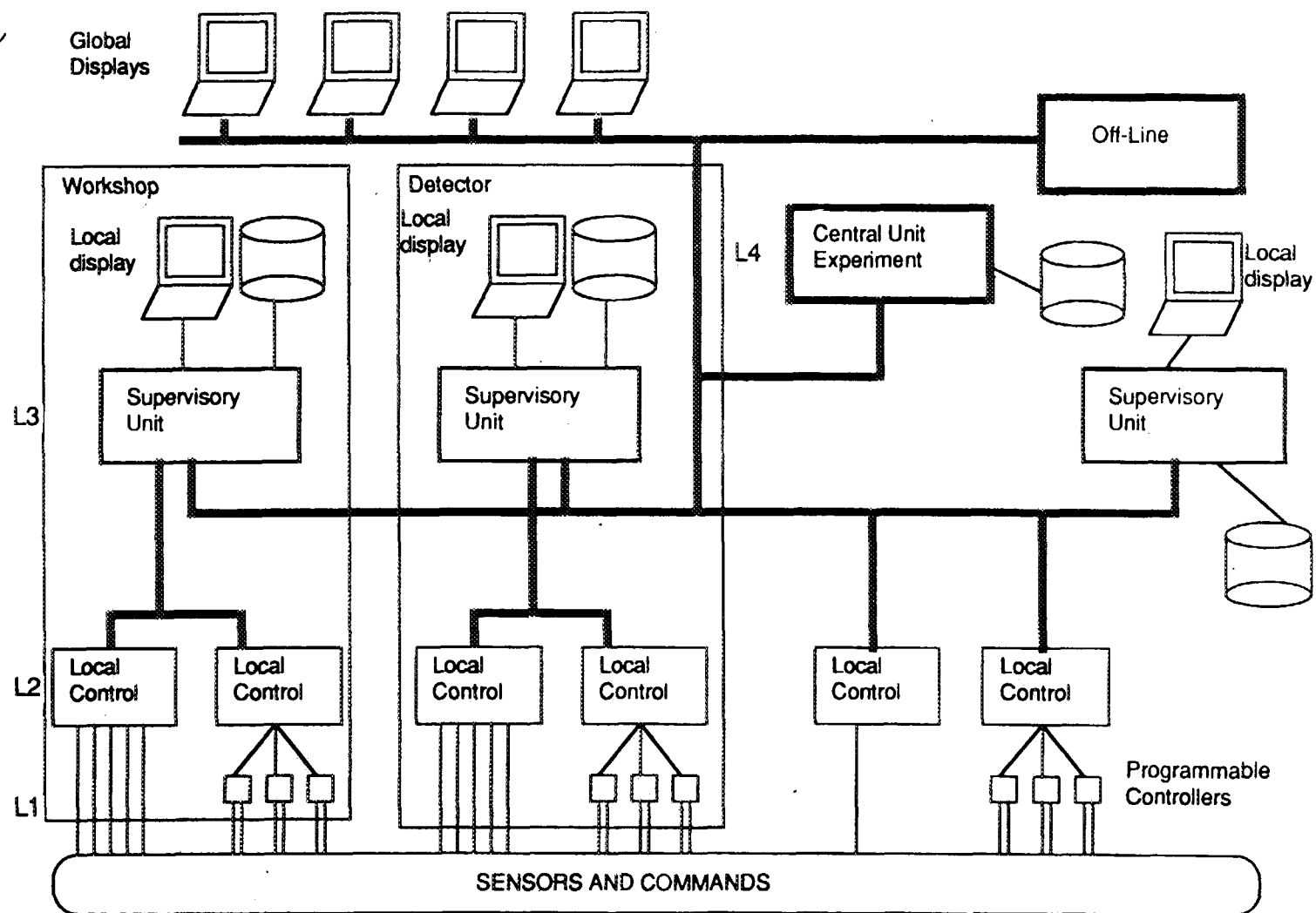


Figure 1. The CIM model adapted to high-energy physics experiments

go beyond defining standard interfaces, it should guarantee that commercial products can exchange information and collaborate regardless of the organisation of the overall control system. The Cortex element of the CICERO project intends to provide an integrating scheme to build distributed control systems where responsibilities are distributed among nodes that have to collaborate together.

In Cortex the concepts behind the CIM (computer-integrated manufacturing) model of industrial control systems have been used. In the CIM model, 'integrated' means that various software vendors use standard interfaces, and customise where necessary, in order to deliver a system that meets the users's needs. The CIM model comprises several software layers in which the lowest level (level 1, L1) consists of individual control devices such as PLCs, level 2 (L2) is the first control level for crates of PLCs or VME boards, level 3 (L3) is a general-purpose supervisory control platform and higher levels provide general summary information and forward information to other systems. Similarly, we can identify such levels in a typical LEP experiment (see figure 1). Here L1 corresponds to the functions performed by VME cards, L2 corresponds to local slow-control management of groups of sensors, L3 to the management of a (sub-)detector and L4 to the overall management for the entire experiment. In general, lower levels gather information, intermediate levels filter and refine the data and make it available for monitoring at the higher supervisory levels where control decisions are made appropriate to their domains.

The Cortex Backbone implemented on top of CORBA will be the mechanism to allow communication between the layers of the CIM model. It will facilitate integration of control system components and will appear like a 'software bus' with plug-in/plug-out components dedicated to specific activities. The Backbone will enable nodes in a control system to collaborate by sharing data and services over a software bus with improved performance and flexibility of communication over the normal peer-to-peer communications. Figure 2 shows a demonstrator system, currently under development, in which a collection of (sub-)detector control systems exchange data and services through a Cortex/CORBA software layer. To facilitate ongoing modification of such a Cortex control system without disturbing the currently operating system, a stand-by development system is used in Cortex. The Cortex Backbone will be generated from an Offline Repository which contains both a description of the Run-Time Model (the actual online system) and a Development Model for holding ongoing amendments to the Real-Time Model. The Offline Repository will be a database comprising the control system architecture. Cortex will facilitate integration of existing control systems by providing interfaces to existing control databases. The Cortex system will be scalable to cope with the inevitable upgrades of the overall control system. It will reduce costs during the lifecycle of control systems by providing a CERN standard, allowing shareability and therefore reducing effort during the maintenance and upgrade phases.

Cortex and CICERO Research

CICERO will investigate firstly aspects of low-level control where information is stored in an automation hardware and software database and from which actual automation code will be automatically generated, compiled and installed on target platforms. Secondly, CICERO will research high-level operational tools such as alarm handling, preventive maintenance, fault diagnosis and user assistance in an attempt to reduce the apparent complexity of HEP experiments by providing more refined information. Ultimately it will allow generic operational tools to be reused in HEP experiments and industry simply by redefining the databases used in those environments. The control applications implemented by experiments

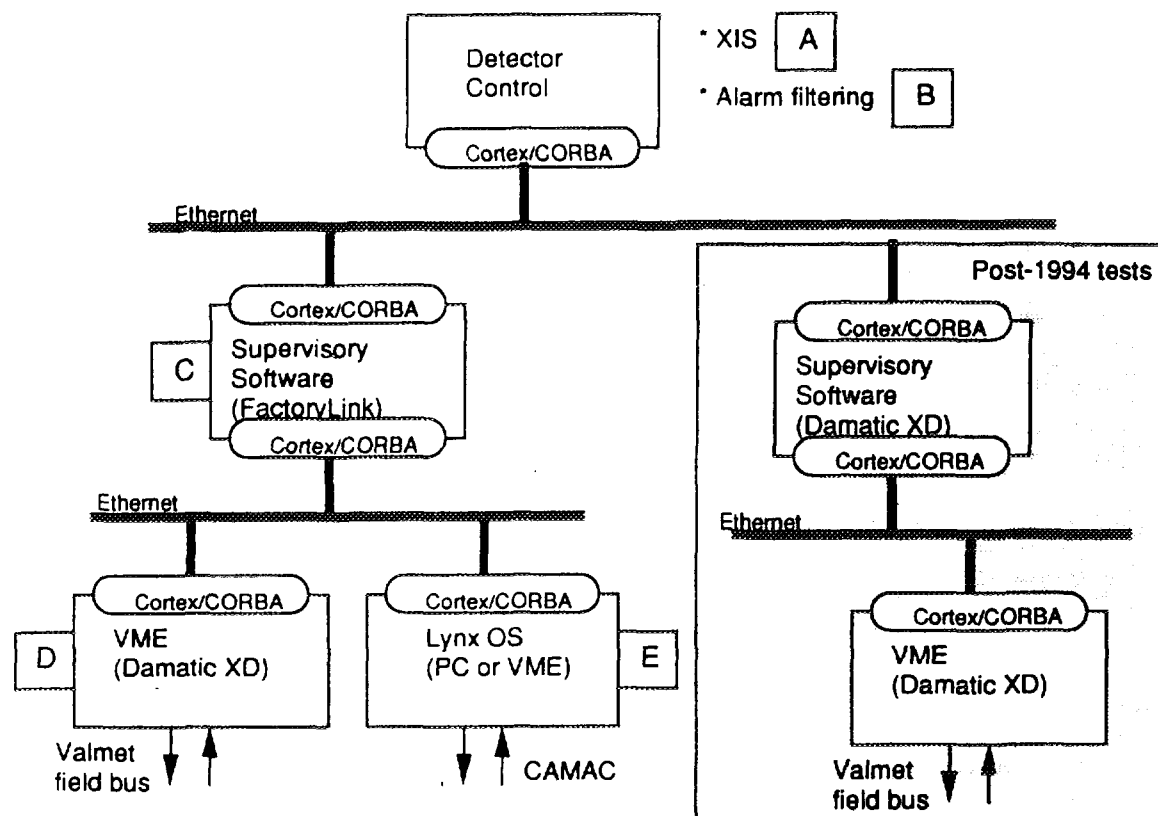


Figure 2. Architecture of the CICERO 1994 Demonstrator

using CICERO therefore become reduced in size while the common control infrastructure increases. The CICERO project will use the Cortex Backbone as its integrating framework.

The CICERO Offline Repository will allow capture of all the configuration information needed to describe the system to be controlled. This will include the system architecture, the definition of data to be exchanged and any knowledge engineering data required. The Repository will contain device descriptions, and the relationships between devices together with a process model which describes possible alarm chains, alarm filtering schemes and any automatic actions required by the control system. This Repository will facilitate the creation (generation) of a new on-line system by providing the relevant information that is required by each part of the on-line system and will incorporate version management to minimise disruption to the operating control system.

The CICERO Online System will provide the autonomous control required by those responsible for HEP (sub-)detectors. Each sub-system will be responsible for its own input/output and for its own automation. Each sub-system will be able to produce and consume information and services from other units. In effect sub-systems are autonomous units in a **modular control system**. Communication with other sub-systems will be through a so-called *Distributor* whose role is to provide or request Items (data parameters or services) to/from other Distributors using CORBA as the underlying mechanism. Each Distributor may or may not be a parent to one or more so-called *User Controllers*. These User Controllers are the 'plug-and-play' modules written by the detector specialists to perform the detector monitoring and control (or higher level user-oriented functions). Each User Controller will integrate different modules (either commercial or home-grown) and shall provide data persistency. Controllers exchange data with other controllers through Distributors.

The CICERO Online System provides active collaboration between Distributors by the mechanisms of *publication* of and *subscription* to Items. These mechanisms are fully captured in the Offline Repository and are generated to provide interfaces between User Controllers and Distributors or between Distributors. The act of publishing Items makes data and services available to other User Controllers or Distributors, updates and maintains data for subscribers and allows services to be carried out upon request of a subscriber. The execution of the service is the decision and responsibility of the publisher. The act of subscribing to information allows User Controllers or Distributors to obtain data and access to services in other (sub-)systems and to request the execution of a service to a publisher of that service.

These publication and subscription mechanisms allow the development of a generic integrating framework with active collaboration between (sub-)detector systems and inside (sub-)detector systems in a pre-defined and clear manner (through Distributors) without compromising the autonomy of individual (sub-)detectors. So that, for example, in an HEP experiment the Muon Chamber Detector system using FactoryLink for supervisory control can communicate to the Electromagnetic Calorimeter Detector system using Vigil and to the Hadron Calorimeter Detector system using CERN-supplied monitoring and control software transparently through the Cortex Backbone element of CICERO.

Status of CICERO

The CICERO project was approved as a CERN research and development project (RD-38) in February 1994. Since then the project has grown and has attracted further commercial and research interest. It has undertaken a period of specification following the ESA Software Engineering standards [4]. Following these standards the Cortex element of CICERO has had both User and Software Requirements [16] specified and is now undergoing Architectural and Detailed Design. Rumbaugh's OMT object-oriented modelling technique [17] is being used to supplement the ESA standards with object models of the Cortex system.

The platform on which the Cortex Backbone will be implemented in the CICERO project is that of CORBA [7]. CORBA offers a dynamic invocation interface called the Object Request Broker(ORB). This provides the mechanisms by which modules, called objects in this context, transparently make requests and receive responses. CICERO is investigating how the ORB provides interoperability between applications on different machines in heterogeneous distributed environments and how it seamlessly interconnects multiple control object systems. CICERO will extend this architecture by adding a layer which will support

timing and sequencing functionality at the module level. Presently Orbix [18] from IONA Technologies is being evaluated as an implementation of CORBA.

Technical research is being carried out into the use of Object Oriented Database management Systems (OODBMS) such as GemStone [19] for the Offline Repository of Cortex. In addition Object Oriented languages such as C++ and Smalltalk will be used to implement the User Controller and Distributor Objects and are being investigated. Extended graphic design (AutoCAD) tools are being studied to define the input/output automation loops graphically so that executable C++ code may be automatically generated for User Controllers and/or Distributors. Finally, Expert System tools are being coupled to semantic networks and the OODBMS to look into online user assistance facilities.

CICERO will produce a field demonstration late in 1994 or early in 1995. It aims to:

- * validate the basic concepts of the Cortex/CORBA integrating scheme
- * employ an OODBMS as the Cortex Repository
- * investigate basic automatic code generation of Cortex objects
- * evaluate industrial software for use in CICERO
- * study basic alarm filtering, fault diagnosis and user assistance

Figure 2 shows the intended demonstrator architecture. Following successful delivery of the 1994 demonstrator, a further prototype will look into the following areas:

- * further evaluation of basic concepts (reusability, scalability, reliability)
- * preventive maintenance and knowledge-based tools
- * extension of automation system production
- * extended analysis facilities (alarm filtering, fault diagnosis, user assistance)
- * integrated scheme extensions (generation, simulation)

Conclusion

CICERO is a collaborative project between industrial companies and research institutes to study how heterogeneous tools for control systems can be integrated into a single generic control information system environment. It aims to simplify the design and use of control systems for the next generation of HEP experiments and for the control of industrial processes. CICERO is investing heavily in emerging software techniques such as CORBA, OODBMS, OMT and Expert Systems to ensure that it can achieve its aims.

Acknowledgements

The CICERO project is funded by each of the collaborators and to a large extent by CERN. I take this opportunity of thanking each of the institutions and industries in CICERO for continuing to support this research. In addition, I would like to acknowledge the leadership and enthusiasm of the CICERO spokesman Jean-Marie Le Goff and the particular efforts of all those involved in the Cortex specifications.

References

- [1] LHC: The Large Hadron Collider accelerator project. CERN AC-93-03 LHC (1993)
- [2] CICERO: Control Information system Concepts based on Encapsulated Real-time Objects CERN/DRDC/93-50 (1993)
- [3] R.Barillere et al., The Cortex Project: A quasi-real-time information system to build control systems for High Energy Physics experiments. Submitted to Nuclear Instruments and Methods, 1993.
- [4] ESA PSS-02-05 Board for Software Standardisation & Control (BSSC), 1991.
- [5] LEP design report, v1: The LEP injector chain. CERN LEP TH 83-29 (1983) and LEP design report, v2: The LEP main ring. CERN LEP 84-01 (1984).
- [6] R.Barillere et al., Ideas on a generic control system based on the experience on the 4 LEP experiments control systems. ICALEPS'91, Tsukuba, Nov. 11-15, 1991, pp 246-253.
- [7] The Object Management ARchitecture Guide, version 2.1, OMG Publications (1992) and the Common Object Request Broker: Architecture and Specifications, OMG Publications (1992).
- [8] FactoryLink. Supervisory software produced by USDATA, Dallas, USA.
- [9] Imagin. Supervisory software produced by SFERCA, France.
- [10] Vigil. Supervisory software produced by SLIGOS, France.
- [11] Monitrol. Supervisory software produced by HILCO, USA.
- [12] Damatic XD. Process computer produced by Valmet Automation, Finland.
- [13] G2. Expert System software produced by Gensym Corp, Cambridge, USA.
- [14] L.R.Dalesio et al., EPICS Architecture. ICALEPS'91, Tsukuba, Nov. 11-15, 1991, pp 278-282.
- [15] G.Stephanopoulos, Artificial Intelligence in Process Engineering - Current State and Future Trends. Computers in Chemical Engineering, Vol 14, No.11, pp 1259-1270, 1990 and D.A Rowen, On-line Expert Systems in the Process Industries. AI Expert, Aug 1989, pp 30-38
- [16] R.Barillere et al., CORTEX User Requirements CERN RD-38/D/94-4-1 (1994)
R.Barillere et al., CORTEX Software Requirements CERN RD-38/D/94 (1994)
- [17] J.Rumbaugh et al., Object-Oriented Modeling & Design Prentice Hall (1991)
- [18] The Orbix Architecture, IONA Technologies Ltd., August 1993
- [19] GemStone. Object-oriented database management system from Servio, USA.

Концепция систем автоматизации контроля и управления технологическими объектами ускорителя

К.А.Гудков, А.С.Чепурнов, А.В.Шумаков

НИИЯФ МГУ, Москва, Россия

В.И.Виноградов

ИЯИ РАН, Москва, Россия

Введение

В настоящее время в ускорительных центрах - CERN, CEBAF, LANL, SLAC ведутся исследования и разработки новых систем управления на основе использования новых информационных технологий и DSP. Большое внимание уделяется выбору системного объектно-ориентированного интерфейса (fieldbus) [1,2,5]. Проведение исследований и разработок таких систем управления является особенно эффективным на базе компактного современного ускорителя, в качестве которого может служить проектируемый совместно НИИЯФ МГУ и ИЯИ РАН разрезной микротрон. К 1995 г. планируется завершить эскизный проект нового многосекционного ускорителя на 100 МэВ с мощностью пучка до 100 Мвт. К 2000 г. возможно создание прототипа мощного ускорителя электронов на 10 МэВ с мощностью пучка 200-400 КВт, пригодного для переработки отходов ядерного топлива и для решения других задач в промышленности и экологии. Увеличение энергии высокоэнергетического непрерывного пучка может быть достигнуто на основе применения разрабатываемых сверхпроводящих структур и современных систем автоматизации.

1. Итоги автоматизации первой части ускорителя

В настоящее время создан инжектор разрезного микротрона (РМ) с максимальной энергией электронов 6.5 МэВ [3,4], работающий в непрерывном режиме и используемый для экспериментов по ядерной флуоресценции. Инжектор РМ управляется системой управления, спроектированной ранее для ускорителя РМ непрерывного действия. Система представляет собой многоуровневую иерархическую структуру, обеспечивающую доступ оператора к объекту управления, работу 'станций управления', специализированную аппаратуру обработки сигналов, аналоговые системы регулирования и блокировок. Используется ограниченный набор модулей: АЦП, МУШД, аналоговый мультиплексор, таймер, входной и выходной регистры. Измерение основных аналоговых параметров, выдача аналоговых управляющих уставок, контроль и выдача сигналов осуществляется через многоканальные АЦП, ЦАП и приемопередатчики с оптоволоконными линиями связи. Температура воды во всех точках (около 20 в настоящее время) измеряются с помощью термосопротивления ТСМ-50. Сигналы со всех термосопротивлений поступают в аналоговом виде на вход мультиплексора АЦП (станции 'СВЧ') и обрабатываются централизованно.

Особенностью ускорителей подобного типа является достаточно сложная процедура ввода СВЧ-мощности в секции и поддержание оптимального режима ускорения, что приводит к созданию систем стабилизации основных СВЧ-параметров (фазы, амплитуды и собственной частоты каждой секции). Для стабилизации фазы СВЧ-поля, амплитуды и частоты ускорителя применяются аналоговые системы стабилизации, реализующие пропорционально-интегральный алгоритм регулирования. Эти локальные системы работают под управлением САУ и обеспечивают кроме стабилизации функции управления, логическое переключение различных элементов СВЧ тракта и блокировку в аварийных ситуациях. Кроме того реализованы динамические алгоритмы прямого цифрового управления, которые применяются для стабилизации температуры охлаждающей воды и удержания частоты задающего генератора в заданном диапазоне.

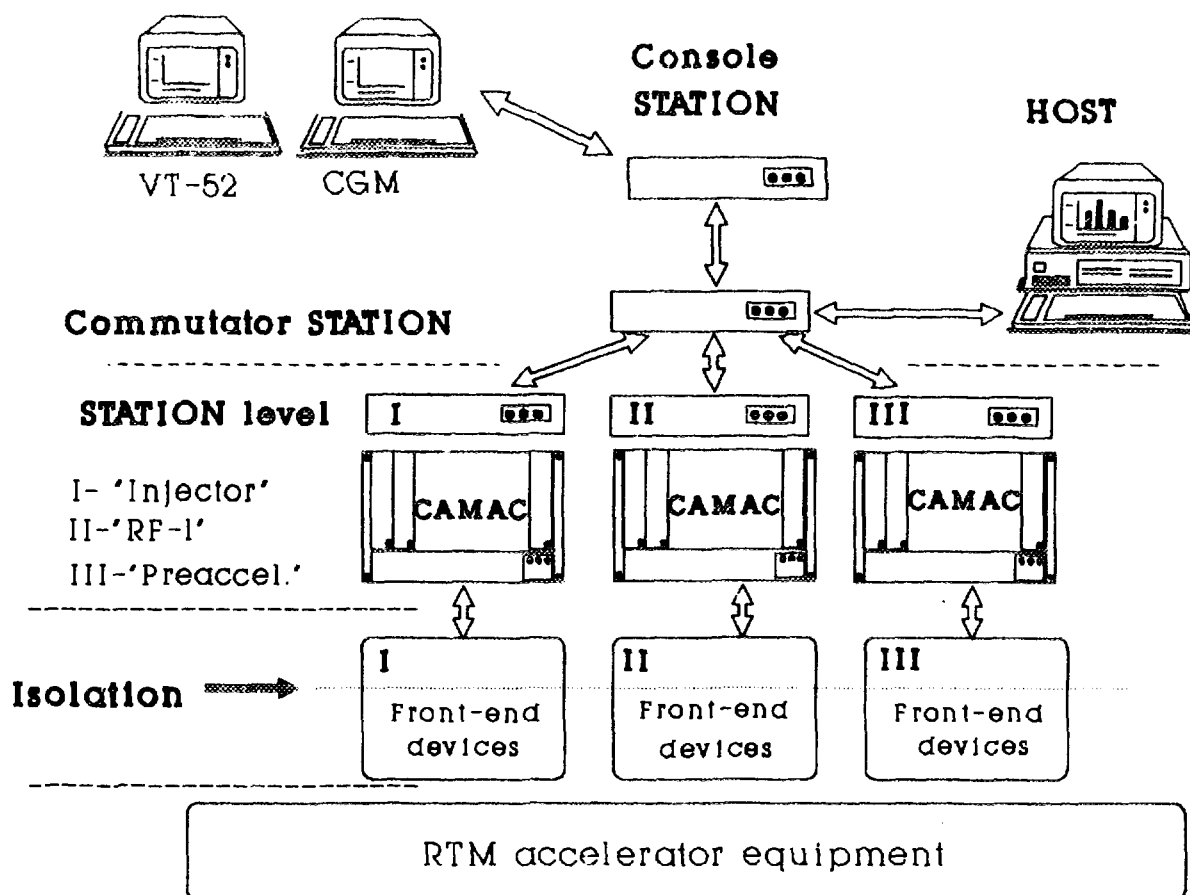


Рис. 1.

2. Требования к системам управления объектами

Ускоритель электронов непрерывного действия на энергию 175 МэВ с разбросом по энергии 0.01% и нормализованным эмиттансом $0.05 \text{ mm}^2/\text{mrad}$ соответствует требованиям современных ядерно-физических исследовательских программ в области средних и низких энергий. Ускоритель состоит из инжектора, предускорителя на 6 МэВ и рециркулятора. Они определяют требования к системам контроля и управления, а также общую концепцию построения модульных систем (Рис. 1).

Для температурного слежения необходима дискретная система управления, включающая подсистему охлаждения, датчики, АЦП и ЦАП. Температура воды стабилизируется с точностью $0,02^\circ\text{C}$. Время установки параметров 100 нс. Обратная связь аналоговой системы управления резонансной частоты замыкается после поступления питания радиочастотной мощности и включения внешнего возбуждения базовой частоты. Обратная связь дискретной системы управления температурой в это время разомкнута по команде из системы. Сигнал ошибки системы управления резонансной частотой обеспечивает фазовый детектор, сравнивающий фазы поля ускорительной секции и падающего поля. Необходимый фазовый сдвиг устанавливается фазовым сдвигателем по командам системы управления. Входные схемы аналоговой системы управления содержат операционный усилитель, суммирующий 2 входных сигнала, результирующий сигнал которого пропорционален косинусу фазовой разницы. Аналоговый регулятор состоит из усилителя сигналов датчика, низкопропускного фильтра и схем PI-компенсации. Полоса частот аналогового регулятора 40 Гц. Оптимальный коэффициент усиления компенсатора 10, а время интегрирования 8 с, коэффициент пропорциональности 1,5. Стабильность резонансной частоты $\pm 2 \text{ КГц}$. Аналоговая система управления фазой с обратной связью подобна. Точность системы 0,5%.

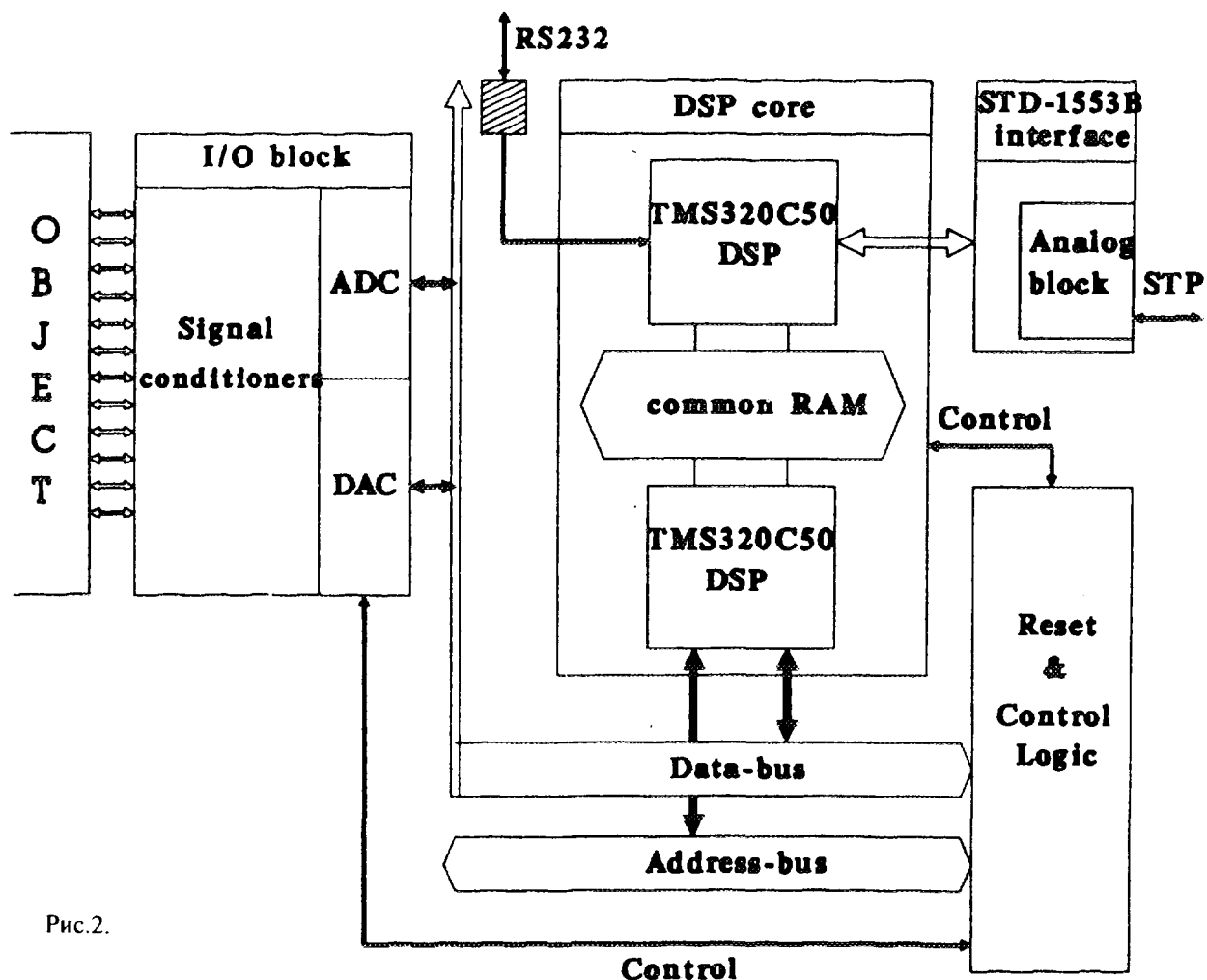


Рис.2.

В ИИИЯФ МГУ создан инжектор на энергию 6 МэВ [7], на котором ведется исследование в области ядерной флуоресценции [8]. Готовы к установке основные компоненты рециркулятора: поворотные магниты с юстировочными столами, ускоряющие секции основного ускорителя, клистроны, вакуумные камеры и т.д. Система управления [9,10], обеспечивает запуск, настройку и эксплуатацию первой части ускорителя.

Вторая часть ускорителя представляет собой рециркулятор, который состоит из линейного ускорителя, полностью аналогичного с точки зрения управления линейному ускорителю инжектора, поворотных магнитов, и 27 поворотных орбит. На данном этапе требуется создание единой системы контроля и управления вакуумным оборудованием (общее число насосов типа ПОРД-100 до 15 шт.), единой системы контроля радиационной безопасности - до 10 точек измерения фона, системы контроля системой электропитания и водоснабжения. Система управления оптическими элементами и системой СВЧ-питания линейного ускорителя полностью аналогична системе, применяемой в инжекторе РМ. Для питания поворотных магнитов требуются источники высокостабильного тока для обеспечения высокой однородности магнитного поля на уровне 10^{-5} Тл при напряженности магнитного поля 1 Тл. Для успешной проводки пучка через рециркулятор на каждой поворотной орбите рециркулятора устанавливается корректор (в горизонтальной и вертикальной плоскости). Общее число корректоров достигает 108 шт.

Уровень локальных систем стабилизации будет реализован на основе специально разработанных интеллектуальных устройств на базе дискретных сигнальных процессоров (DSP).

например, серии TMS320CXX) для цифровой обработки сигналов (Рис.2). Они будут состоять из трех частей: процессорное ядро, устройство связи с объектами (плата аналогового и цифрового ввода-вывода и интерфейс RS232 и интерфейс межмодульного обмена по магистральным (типа MIL-STD-1553B) или кольцевым структурам.

3. Развитие систем автоматизации технологических объектов

Предусмотрены следующие этапы развития систем автоматизации.

1. Новая система контроля технологическими параметрами планируется на базе интеграции комплексов PC-CAMAC и PC-VME, включающих требуемый набор модульных подсистем дистанционного измерения и управления технологическими объектами на основе световодов. Данная станция соединяется с центральной модульной микропроцессорной (на базе MC680XX) станцией VME по электронным и оптическим каналам связи, обеспечивающей их интеграцию с существующими модульными системами.

Разработка новых методов и средств управления включает создание всех уровней и подсистем основного линейного ускорителя на базе современных микропроцессорных средств, включая нижние уровни программного дискретного управления (контроллеры), регулирование с помощью встраиваемых DSP, коммуникационных кольцевых структур с детерминированным управлением в сетях и средств интегрального управления ускорителем с дружественным интерфейсом пользователя.

На нижнем уровне для задач прямого последовательного управления и регулирования параметров исследуются возможности использования магистрального системного сопряжения (типа MIL1553) для связи МП (DSP) и кольцевых структур. Используемые аналоговые и дискретные системы управления с обратной связью не всегда полностью соответствуют требованиям объекта. Нелинейные свойства радиочастотных элементов и наличие разных источников возмущений требует использования быстрых микропроцессоров для локального управления по более сложным алгоритмам. Один из возможных вариантов - использование DSP в качестве контроллеров.

На втором уровне управления процессами предполагается использовать 32-разрядные микропроцессоры типа MC680xx, а также кольцевые сети в качестве нового варианта полевого интерфейса. Для систем управления требуются двухпортовые модули дистанционного измерения и управления на базе световодов и кольцевых структур и МП в стандарте VME.

На третьем супервизорном уровне предполагается использовать для интеграции сети связи с протоколом типа TCP/IP для организации взаимодействия распределенных DSP и микропроцессоров VME с рабочими станциями с целью архивирования, анализа и обработки данных. Особое внимание уделяется графическому интерфейсу оператора на дисплейных станциях. Данный этап является основополагающим для развития интеграции современных систем и будет в дальнейшем использован для исследования и совершенствования всех систем управления ускорителя.

Центральная станция супервизорного уровня управления на базе VME будет соединяться с базовым компьютером (например, типа microVAX), который предполагается использовать для всех подсистем ускорителя. На данном уровне связь выполняется по сети типа ETHERNET.

2. Второй этап программы предусматривает исследования и разработки ряда инновационных проектов по новым информационным технологиям. В настоящее время в системотехнике начинается переход от разработок регистро-ориентированных структур к системам на основе распределенной памяти.

Это требует исследований и разработок методов сопряжения с использованием электронных и оптических линий связи при переходе от традиционных методов передачи сообщений к прямому доступу в большие адресные пространства микропроцессорных узлов.

Одним из наиболее совершенных методов являются разрабатываемые методы для подсистем распределенной памяти типа. На основе распределенной памяти можно создать более эффективные системы управления, сбора и обработки данных на основе МП и перспективных кольцевых структур. Структурной основой систем является ринглет, управляемый контроллером. Связь узлов выполняется на основе передачи пакетов. Целью данной работы является исследование и разработка электронных устройств на базе цифровых сигнальных процессоров для построения интеллектуальных систем регулирования и управления ядерно-физическими и СВЧ-установками, а также технологическими процессами с большим числом параметров.

3. Создание современных модульных подсистем и интеграция их в единую систему контроля и управления процессами как ускорителя, так и экспериментального комплекса, включая задачи диагностики пучка и оптимизации его параметров, позволит впервые обеспечить новый уровень организации автоматизации и компьютеризации процессов сбора данных в экспериментальных исследованиях, а также управления технологическими процессами и объектами.

4. Исследование характеристик и анализ отдельных подсистем и методов, реализованных в аппаратно-программных комплексах, позволит получить в результате рекомендации по созданию распределенных модульных систем с открытой архитектурой для автоматизации научных и технологических объектов в реальном времени на основе современных МП-структур.

Выводы

1. Переход на кольцевые структуры может оказаться эффективным для создания объектно-ориентированных систем автоматизации научных и технологических объектов, а также достижения в дальнейшем более высокой производительности систем с использованием отечественных и новых зарубежных технологий (включая микропроцессоры и DSP), при более экономичных методах их построения систем на базе новых принципов прямого доступа к распределенной памяти и МП, а не ряда традиционных регистро-ориентированных методов передачи сообщений.

2. Полученные результаты могут быть использованы при создании линейных ускорителей электронов непрерывного действия для промышленности, для энергетики и экологии. В области более 10 Мэв и мощности пучка 100-150 МВт таким ускорителям нет альтернативы.

Разработанные методы, средства и результаты исследований в виде рекомендаций и стандартизации могут быть использованы для автоматизации и компьютеризации других научных и промышленных объектов.

Литература

1. В.И. Виноградов. Информационно-вычислительные системы. ЭНЕРГОАТОМИЗДАТ, М., 1986г.
2. В.И. Виноградов. Параллельно-конвейерная архитектура систем сбора и обработки потоков данных. Препринт ИЯИ РАН. 1986
3. Cepurnov A.S., Gribov I.V., Morozov S.Yu., Shumakov A.V., Zinoviev S.V. Moscow University Race-track Microtron Control System: Ideas and Development.
4. Chepurnov A.S., Gribov I.V., Morozov S.Yu., Shumakov A.V., Zinoviev S.V. Feedback systems for local control of race track microtron RF accelerating sections.
5. Vinogradov V.I., Gustavson B.G. Advanced modular systems on the base of distributed memory. Proceeding of 10-th International Symposium on problems of modular systems and networks. S-Petersburg. 1993.



RU9710285

PC-BASED CONTROL OF THE INTERNAL TARGET STATION AT THE NUCLOTRON

J.Kliman, V.Matoušek, M.Morhác, I.Turzo

Institute of Physics, Slovak Academy of Sciences, Bratislava, Slovakia

Y.Anisimov, A.Artemov, S.Basilev, V.Slepnyov

Laboratory of High Energies, JINR, Dubna

Abstract

A PC-based control system of the internal target station at the Nuclotron is described. The system is based on CAMAC-control of the step motor of the station and screen representation of information about needed beam parameters and space-time position of targets relative to a beam. It allows one by means of a mouse to choose operatively a necessary target for experiment, to point a desirable algorithm of target motion into a beam in depth and time exposure, and also to control visually the peculiarities of beam-target interaction by means of target material radiation.

1. Introduction

Beginning with the fundamental paper [1], internal targets are widely used for nuclear physics experiments in circulating beams. First experiments at the Nuclotron (a strong focusing superconducting accelerator of relativistic nuclei at the Laboratory of High Energies, JINR, Dubna) have shown good possibilities for internal target technique [2,3]. The internal target station, which was used in these experiments, is described in ref.[4]. The extraction of all the targets from the beam transport line, choice of a necessary target for experiment and control of its spatial position relative to the transport line axis are realized by means of an electro-optical device and a distant control system of the step motor. Operative information on the ion energy, current of the circulating beam, lifetime of ions interacting with the target and beam profiles at the target station area allow one to choose an optimum algorithm of target motion into the beam in depth and at a needed time moment relative to the beginning of an ion acceleration cycle.

The contribution describes the current status of the PC-based control system of the internal target station at the Nuclotron, which is being developed in collaboration between LHE JINR (Dubna) and Institute of Physics SAS (Bratislava).

2. Description of experimental equipment and requirements on control system

The developed system is based on CAMAC-control of the step motor of the station and screen representation of information about needed beam parameters and space-time position of targets relative to a beam.

Information on the magnetic field of the Nuclotron dipoles comes in the form of NIM-pulses. One pulse corresponds to a magnetic field (H) change of 10 Gauss. The

interval between pulses depends on the gradient of changing the magnetic field. The signals corresponding to a rise and a fall of the field are separated from one another.

The kinetic energy per projectile nucleon (E_k/A) is calculated at each point of measurement of the magnetic field to its fall by means of the expression

$$\frac{E_k}{A} = a \left[\sqrt{1 + b \left(\frac{Z \cdot H}{A} \right)^2} - 1 \right] \quad (1)$$

where $a = 0.938 \text{ GeV}/u$, $b = 4.95 \cdot 10^{-7} \text{ Gauss}^{-2}$, A and Z are the mass number and charge of the projectile, respectively.

Information about the current of a circulating beam is fed to CAMAC as an analog signal. The beam profile monitors based on residual gas ionization at the target station area are used. During an acceleration cycle approximately 10 readouts from all the counters are assumed. The radiation of a scintillation fibre crossing the beam can be used as a variant for measuring the profile of a low intensity beam.

To control the beam-target interaction and lifetime of projectiles crossing the target, two detectors registering the radiation of the target material are used. The signals coming from these detectors are converted to ADCs plugged in the CAMAC crate. The theoretical value of lifetime is calculated by means of the algorithm described in ref.[5].

The control of the internal target station includes:

- screen representation of the values of A and Z for accelerating ions;
- screen representation of the type of internal targets and their characteristics (thickness, effective mass number and charge);
- time representation of the magnetic field of the Nuclotron dipoles, ion energy, current of the circulating beam, signals from the target radiation detectors and theoretical value of the lifetime of projectiles crossing the used target on the PC-screen every cycle of the accelerator ($f = 1/10 \text{ Hz}$);
- screen representation of the space-position of the targets relative to the station;
- mouse-definition of a necessary target for experiment and its starting position in space-time relative to the beam;
- definition of the direction of target motion into the beam;
- target must follow the space-time trajectory presented by means of a mouse on the screen every cycle of the accelerator run to the next commands of the operator.

3. Hardware configuration

A block-diagram of Nuclotron data acquisition and internal target station control is shown in fig. 1.

Description of the modules

- *B-timer* - it provides to measure the intensity of the magnetic field, beam profiles in both horizontal and vertical directions (10 imbedded counters per profile) and to define the start of measuring and the control cycle.
- *ADC1* - it is used to measure ion current in the beam;

- *ADC2, 3* - they are applied to measure the target radiation registered by the detectors;
- *Input register* - 3-bit information about the target placed in the starting position for experiment;
- *Motor control interface CAM 2.13* - step motor control. The unit was made at KFKI Budapest, Hungary;
- *CC-KK012* - crate controller [6];
- *Motor driver-MS 0107/50* - power module used to control step motors. Produced by MicroStep Limited, Bratislava, Slovakia (a rotation step of 0.18°).

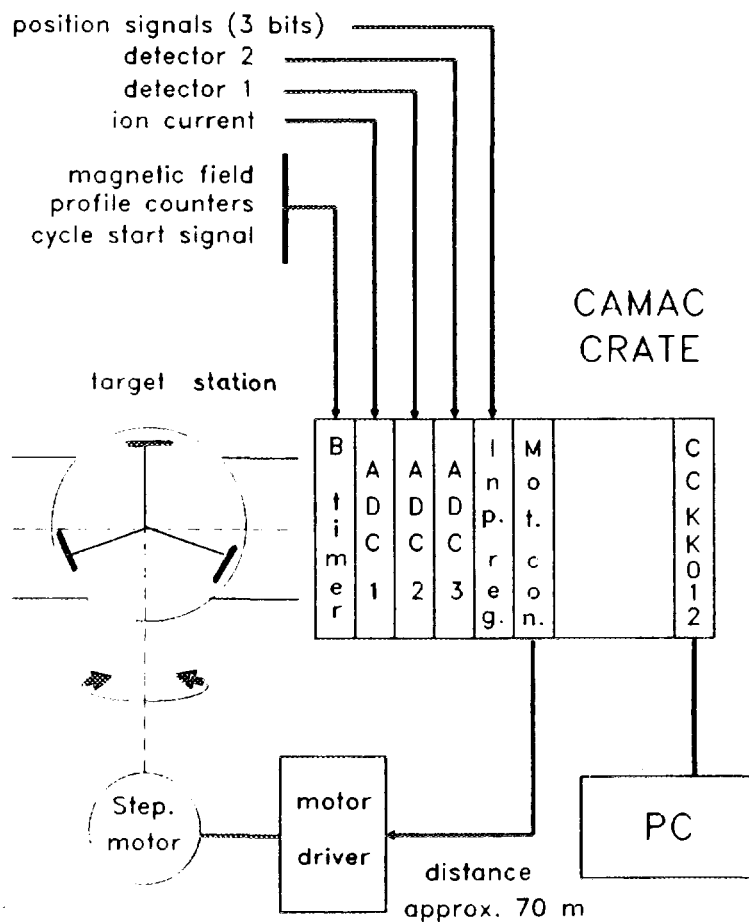


Fig. 1

4. Software

The program TARGET, aimed to collect some selected data from the Nuclotron needed to control the internal target station, was written in C language. It works under DOS-system. The program is an interactive menu driven and controlled by a mouse. It intensively utilizes a system of windows. It is written in an object-oriented style that ensures its modularity and easy adaptability. Commands are organized in a command tree. In each tree node the user can proceed one level down after selecting a window by

pressing a left mouse push-button or return one level up by pressing a right mouse push-button. When the accelerator cycle starts, the acquisition part of the program TARGET:

- periodically reads out the values of magnetic field from the B-timer;
- periodically calculates, using (1), the values of ion kinetic energy;
- periodically reads out the values of ion current from ADC1;
- periodically reads out the beam profiles from the counters built in the B-timer module;
- after bringing the operating target into the beam, reads out periodically signals from the detectors of target radiation converted in ADC2, ADC3;
- calculates the lifetime of the beam crossing the target for every combination of the target, projectiles and their energy.

During one accelerator cycle all these values and characteristics of the used target are recorded in the computer memory. At the determined instant of time the control part of the program TARGET begins to insert the target into the beam. The situation of time insertion is derived as shown in fig. 2. The operator defines by means of a mouse the space-time trajectory of target motion by a broken line consisting of three segments. The broken line defines:

- starting space-position of the working target;
- starting time-moment and speed of target motion to the beam;
- space-time position of the target at the beginning of exposure;
- direction and speed of target motion during the exposure;
- space-time position of the target at the end of exposure;
- speed and direction of target motion out of the beam;
- final space-position of the target after the exposure.

Control can be also realized by the program TARGET when the speed of target motion during the exposure is automatically chosen from the calculated value of projectile lifetime. During acquisition, pictures are presented on the screen according to the defined display configuration. The display configuration can be defined by the operator. In fig.3 we give an example of a possible display configuration. The internal target station with target space-position relative to the beam can be also displayed (fig. 4).

After completing the measurement, the recorded data (magnetic field, ion current, kinetic energy of ions, beam profiles, signals from the detectors of target radiation and space-time position of the target during the exposure) can be written as files. Reading out information from these files and its looking through the analysis of other experimental data are possible. In the program TARGET one can modify

- configuration of measurement (measuring time, number of measured points, etc.);
- display configuration (display, deletion, replacement, printing the contents) of the above data;

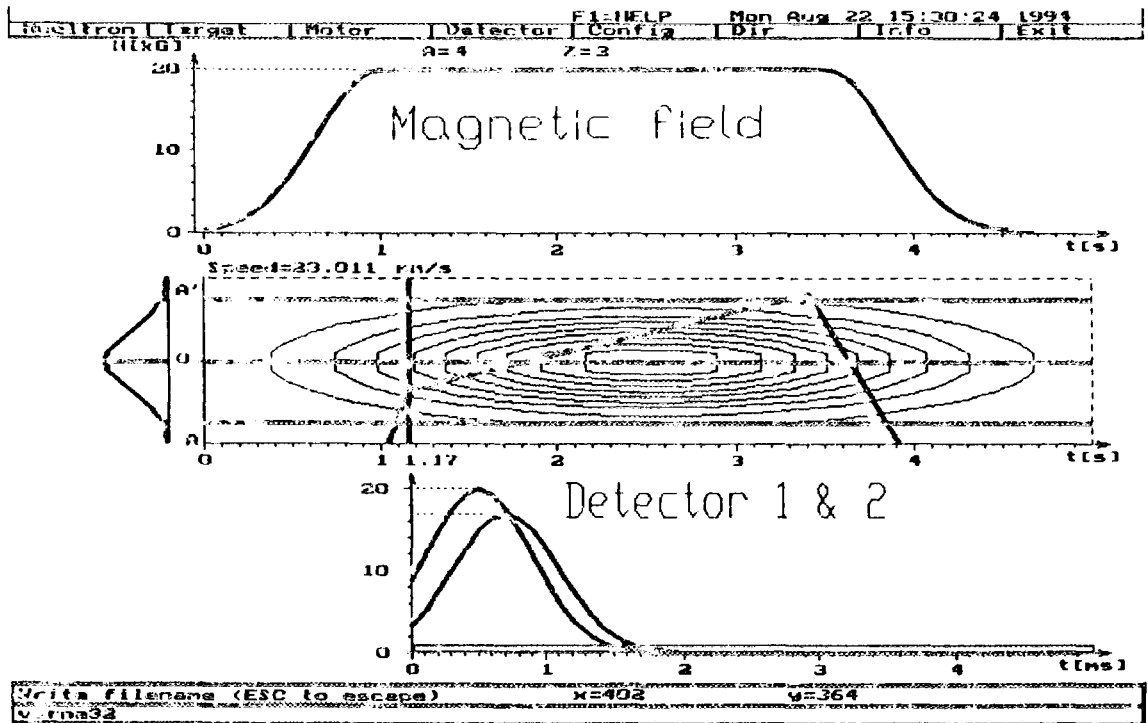


Fig. 2

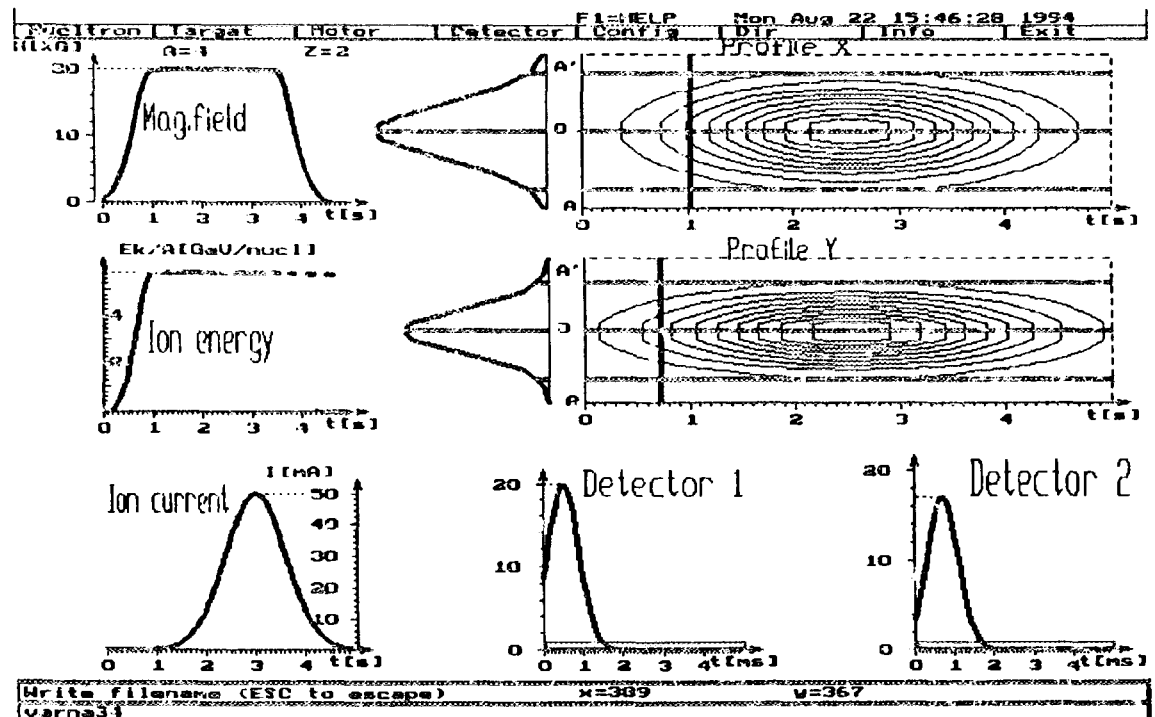


Fig. 3

- definition of the working target, its type, thickness, effective mass, effective charge;
- definition of the starting position of the working target and the target motion trajectory in space-time.

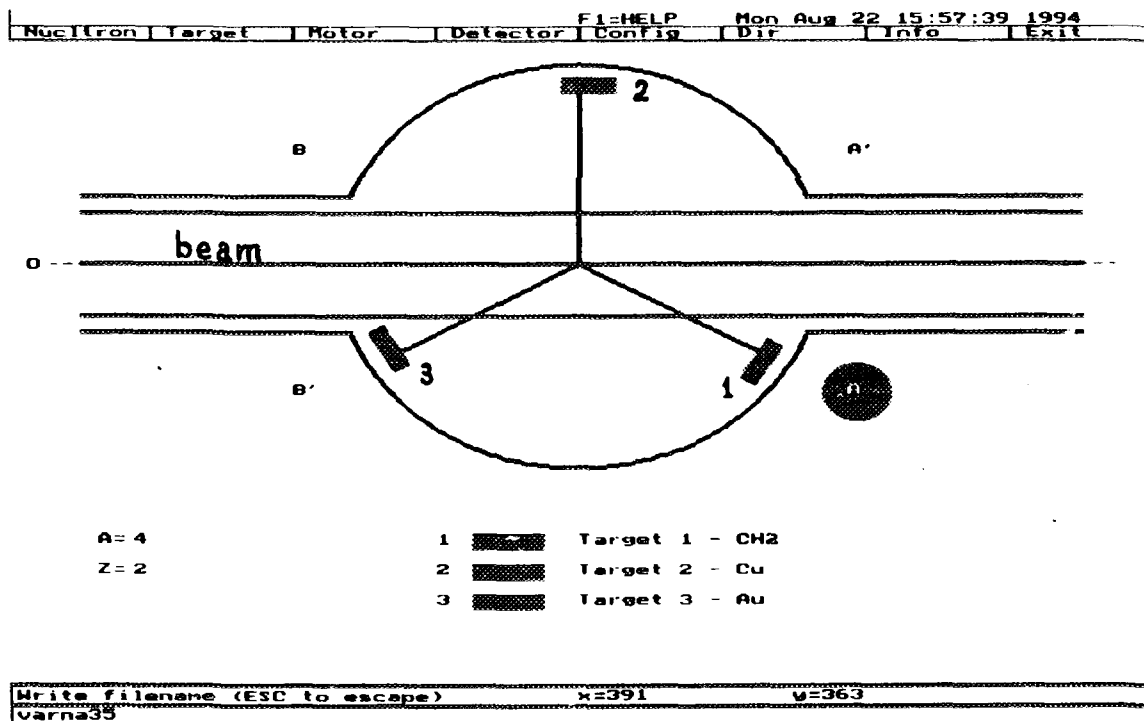


Fig. 4

The entire configuration of the program can be shown on the screen, modified, stored as file. This file can be used in the next application.

5. Conclusions

The developed PC-based system of control of the internal target station allows one to choose operatively a necessary target for experiment, an optimum algorithm of beam-internal target interaction and to present required information about this interaction on a PC-screen. At present the program TARGET is adjusted along with the hardware configuration, and the whole system is prepared for final testing in a real experiment at the Nuclotron. The system is modular from the hardware as well as the software point of view. Therefore it can be easily modified for other applications.

References

- [1] V.A.Nikitin et al., *Pribory i tekhnika eksperimenta*, No.6, 1963, p.18.
- [2] A.M.Baldin et.al., *JINR Rapid Communications*, No.4[61]-93, Dubna, 1993, p.13.
- [3] A.M.Baldin et.al., *JINR Rapid Communications*, No.2[65]-94, Dubna, 1994, p.26.
- [4] A.S.Artiomov, *JINR Rapid Communications*, No.4[61]-93, Dubna, 1993, p.6.
- [5] A.S.Artiomov, *JINR Rapid Communications*, No.4[67]-94, Dubna, 1994.
- [6] A.Georgiev, I.N.Churin, *Preprint JINR*, P10-88-381, Dubna, 1988.

Автоматизация электростатического и магнитного β -спектрометров

В.Т.Сидоров, П.А.Петев

Объединенный институт ядерных исследований, Дубна

Для накопления β -спектров в области физики низких энергий используются электростатические и магнитные β -спектрометры. Накопление одного спектра в зависимости от параметров источника может занимать время от нескольких часов до нескольких суток.

Для электростатического β -спектрометра напряжение от 0 до 50000 В должно изменяться с минимальным шагом не более 1В и должно быть стабильно во время измерения любой точки спектра (измерение одной точки спектра может длиться от 1 сек до 5-6 часов).

Для магнитного β -спектрометра ток от 0 до 400 А с шагом 4 мА не должен меняться в течение измерения одной точки.

Эти предварительные условия обязывают разработчика систем автоматизации использовать для управления спектрометров источник высоковольтного питания и источник тока с дистанционным управлением, которые должны обеспечить изменение напряжения и тока с нужной точностью и стабильностью.

Высокие требования, предъявляемые к стабильности, вынуждают принимать меры стабилизации управляющего компонента в самой системе автоматизации спектрометра. Для этой цели потребовалось спроектировать и реализовать блоки управления напряжением и током спектрометров, отвечающие следующим условиям:

1. Входное воздействие - код числа, соответствующий величине задаваемого тока или напряжения.
2. Выходной сигнал - напряжение с амплитудой от 0 до 5 В, либо от 0 до 10 В с шагом изменения 100 мВ.
3. Стабильность управляющего компонента системы не хуже 10^{-5} .

Преобразование кода в напряжение при такой стабильности не обеспечивает ни один ЦАП. Существуют много способов повысить стабильность преобразования ЦАП вплоть до введения микрокомпьютера, единственной задачей которого является коррекция напряжения ЦАП в зависимости от температуры окружающей среды и других дестабилизирующих факторов.

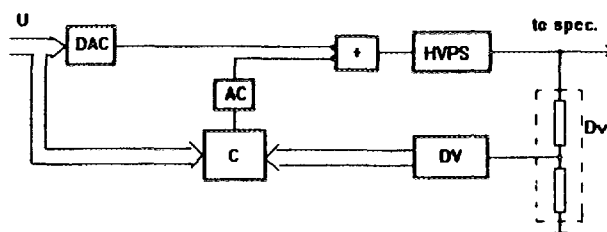


Рис. 1 Управляющая часть электростатического β -спектрометра.

Поскольку входная и выходная величины разнотипны, для реализации обратной связи надо преобразовывать выходную величину из аналоговой в цифровую форму и сравнивать ее с заданной. Поскольку реализовать технически это преобразование с достаточной стабильностью сложно, то для этих целей использован цифровой вольтметр с нужными характеристиками, которые гарантируются производителем.

Точные вольтметры не измеряют напряжение больше 1000 В. Для измерений напряжения до 50000 В надо использовать достаточно стабильный делитель напряжения. Создание

такого делителя само по себе тоже достаточно сложная задача, поэтому используется делитель 1:10000 фирмы SPELMAN, который гарантирует точность 0,5

В этом случае отличие заключается в том, что вместо высоковольтного источника питания есть высокоамперный источник тока и используется не делитель, а последовательно включенный резистор для измерения тока (рис. 2).

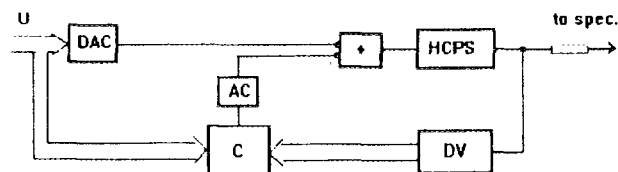


Рис. 2 Управляющая часть магнитного β -спектрометра

Существует другой способ реализовать обратную связь (рис.3), когда компьютер считывает каждую секунду показание вольтметра, в режиме прерывания сравнивает его с заданным и корректирует число, которое подается на вход ЦАП.

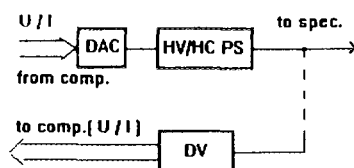


Рис. 3. Вариант реализации компьютерной обратной связи

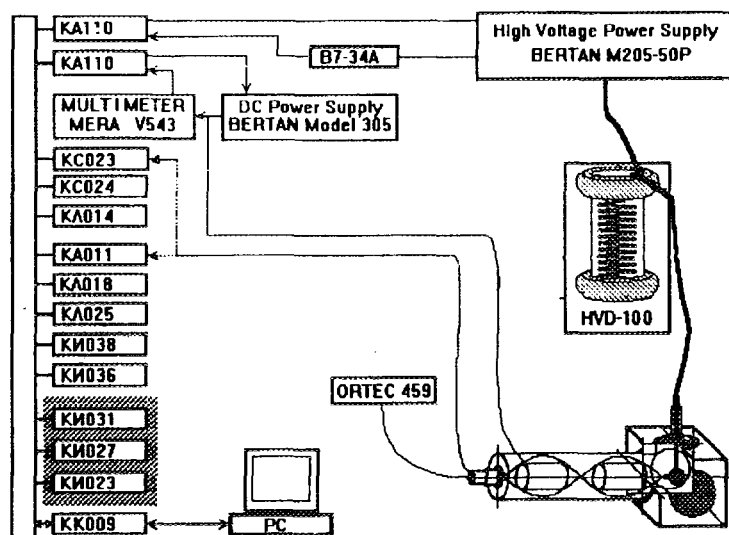


Рис. 4 Блок-схема автоматизированного электростатического β -спектрометра в стандарте SAMAC.

Программное обеспечение такой системы может быть выполнено двумя способами:

1. Реализовать программу, которая занимает все время компьютера и реализует накопление спектра, визуализацию спектра на экране с возможностью изменять масштаб спектра, просматривать отдельные его части, а также записывать спектры в виде файла на диск.
2. Реализовать две программы. Первая из них резидентна и реализует накопление спектра в режиме прерывания, записывает спектр в виде файла на диск, записывая каждую точку либо весь спектр, когда он полностью накоплен.

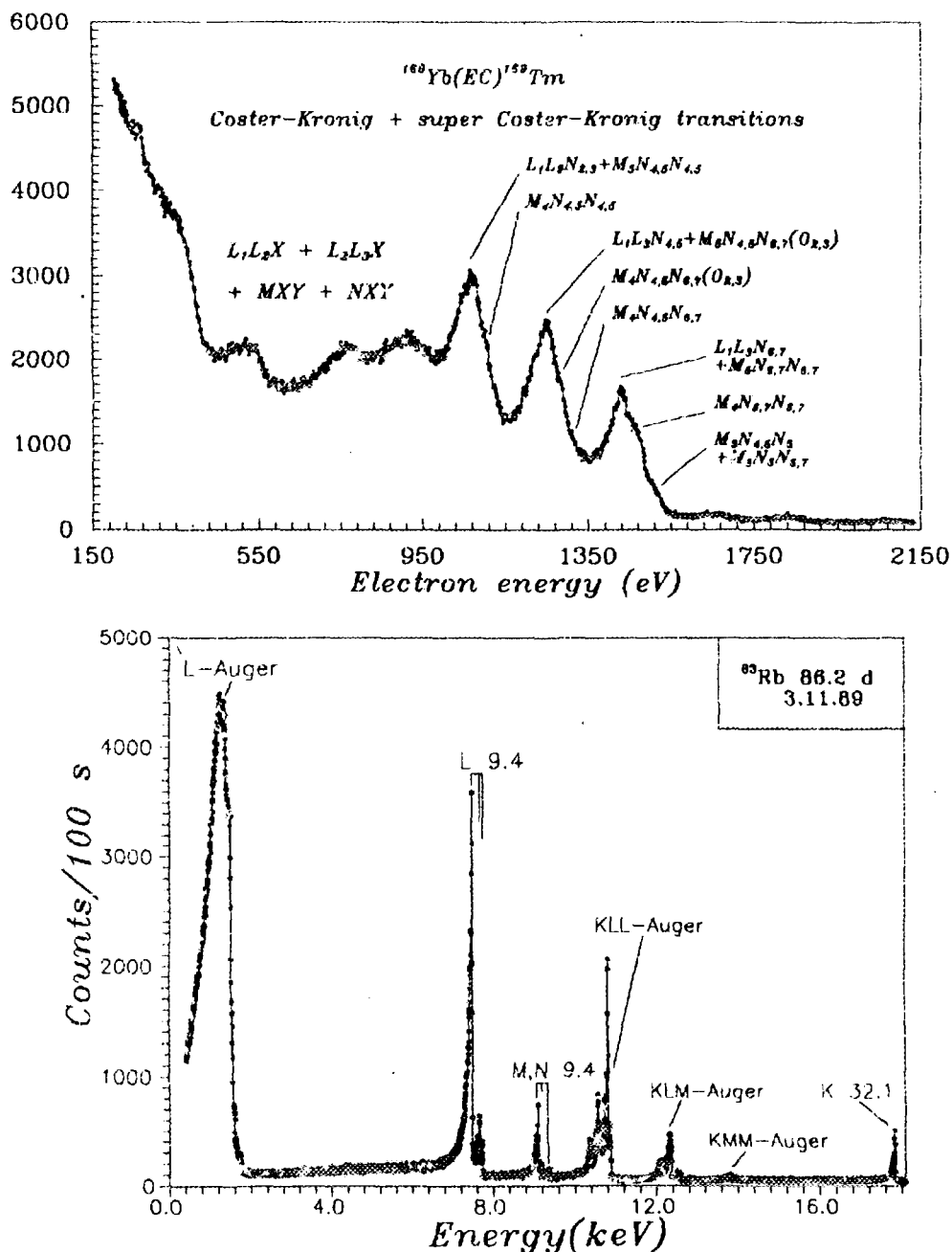


Рис. 5. Спектры, измеренные на электростатическом β -спектрометре

Вторая вызывается по желанию оператора и кроме визуализации спектра на экране монитора компьютера, как в первой программе, дает возможность узнать, сколько времени истекло от начала эксперимента и сколько остается до конца. Такой способ работы системы освобождает компьютер во время накопления для использования в других целях.

В этой работе были реализованы оба способа. При первом сделаны следующие основные шаги алгоритма:

1. Подготовительные операции (задание начальных величин).
2. Чтение конфигурационного файла, который должен быть создан предварительно и содержит номер крейта, базовый адрес контроллера крейта, номера станций в крейте блока цифроаналогового: управления и счетчика импульсов фотоумножителя спектрометра.
3. Проверка, что крейт включен.
4. Диалог с оператором, при котором задаются параметры эксперимента: начальная и конечная величины и шаг изменения напряжения или тока, времена экспозиции и мертвое время.

5. Реализация измерения одной точки спектра, которая включает:

а) задание конкретной величины тока или напряжения;

б) измерение мертвого времени, необходимого для стабилизации управляющей величины около заданной, считывание счетчика импульсов фотоумножителя (зарегистрированных во время предыдущего измерения) и изображение предыдущей точки на экране монитора;

в) измерение времени экспозиции, когда регистрируются импульсы от фотоумножителя.

6. Если не все точки измерены, выполняется снова пункт 5.

7. Если все точки измерены - спектр переписывается из буфера на диск. При втором способе эта программа делится на две части.

Первая реализует полностью первые четыре пункта алгоритма, из пятого выполняет все, кроме изображения точки на экране. Шестой и седьмой пункт выполняются полностью. Эта часть резидентна и не мешает работе компьютера.

Вторая программа отображает на экране монитора начальную и конечную величины, шаг изменения напряжения или тока, времена экспозиции, мертвое время, продолжительность эксперимента, время до его окончания, спектр, накопленный до момента вызова программы и во время ее работы, его масштабирование, окно для детального просмотра частей спектра, количество импульсов, соответствующих любой точке спектра, указанную маркером.

При этом варианте измерения время задается не программно, а при помощи таймера компьютера.



RU9710287

Измерение параметров выведенных пучков заряженных частиц на ускорительном комплексе ЛВЭ

А.Н.Баландиков, В.И.Волков, В.М.Горченко, И.И.Куликов,
С.В.Романов, А.П.Царенков

Объединенный институт ядерных исследований, Дубна

С целью расширения диагностических возможностей автоматизированных систем контроля параметров ускорительного комплекса ЛВЭ [1,2] была создана и введена в действие описываемая аппаратура для измерений интенсивности и пространственных характеристик пучков, выводимых из синхрофазотрона.

При абсолютных измерениях интенсивности в качестве детекторов используются плоскопараллельные восьми- и четырехзорные ионизационные камеры (ИК), наполненные аргоном.

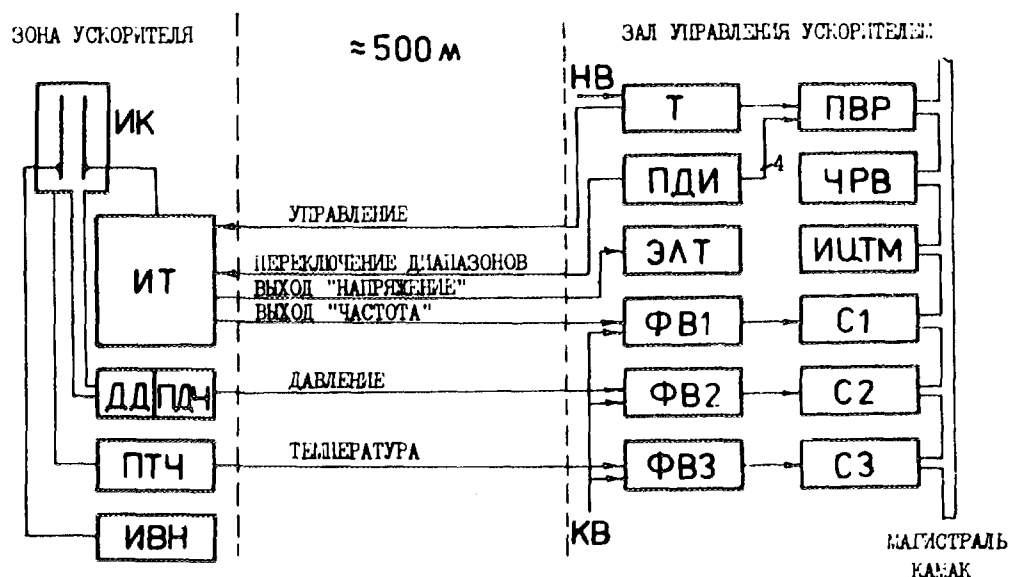


Рис. 1. Структурная схема аппаратуры измерения интенсивности пучка

Наиболее ответственным модулем аппаратуры регистрации данных от ионизационной камеры (рис.1) является интегратор тока ионизации (ИТ, рис.2). Он состоит из преобразователя "ток-напряжение", высокоэффективной схемы компенсации возможных фоновых токов, вызванных наведенной радиоактивностью элементов камеры и конструкций канала транспортировки пучка, соб-

Схема компенсации выполнена на двух операционных усилителях в ней применены прецизионные резисторы типа С5-5В. Схема эффективно отслеживает постоянную составляющую фоновых токов камеры благодаря наличию интегрирующей цепи с постоянной времени 1 с.

Передача информации от интегратора к ЭВМ, расположенной в зале управления ускорителем, производится с помощью ПНЧ для полного исключения влияния помех, возникающих на протяженной линии связи ($\sim 500\text{м}$).

ИТ работает в трех диапазонах чувствительности с коэффициентами преобразования заряда в напряжение $2 \cdot 10^9$ В/Кл, $2 \cdot 10^7$ В/Кл и $2 \cdot 10^5$ В/Кл соответственно. На всех диапазонах чувствительности скорость дрейфа выходного сигнала интегратора, подключенного к ИК, не превышает 0.3 мВ/с. Переключение диапазонов производится дистанционно (блок ПДИ). Для контроля регистрирующей аппаратуры предусмотрен режим "тест", при выборе которого на выходах ИТ появляются эталонные напряжение и частота. ИТ управляется сигналами таймера (Т). В паузе между циклами вывода пучка интегратор находится в состоянии "сброс" ($\sim 8\text{с}$). Синхроимпульсом "начало вывода" (НВ) он на две секунды переводится в режим "интегрирование". По окончании вывода (500 мс) сигналом КВ запускается схема формирования временного сигнала и ворот ($\Phi В1$), пропускающая в течение 1 с импульсы от ПНЧ интегратора на вход счетчика (С1). Достигнутая высокая чувствительность аппаратуры позволила провести ее калибровку с использованием методики сцинтиляционных счетчиков на выведенном пучке ядер углерода при интенсивности $\sim 10^4$ частиц/цикл в условиях, когда вероятность просчетов крайне незначительна. Эксперименты проведены при нескольких энергиях выведенного пучка. Результат калибровки - величина заряда, образуемого одной частицей пучка в рабочем объеме ИК при определенных давлении и температуре газа. Для учета поправок при обработке данных на ЭВМ в каждом цикле измерения производится регистрация давления и температуры. Отображение информации об интенсивности вместе с другими параметрами систем вывода пучка производится на экране цветного телевизионного монитора (ИЦТМ - интерфейс монитора).

Проведенные исследования показали, что введенная в действие аппаратура позволяет проводить абсолютные измерения интенсивности в диапазоне $10^5 \dots 10^{12}$ однозарядных частиц/цикл с погрешностью не более $\pm 3\%$.

Наряду с обеспечением контроля одного из основных параметров выведенных пучков, созданные диагностические средства представляют широкие возможности для экспериментаторов по оптимизации режимов вывода и транспортировки пучков к физическим установкам.

Для измерения пространственных характеристик пучков в каналах медленного вывода [3] применяются двухкоординатные многопроволочные (30×30 сигнальных нитей) пропорциональные ионизационные камеры (ПИК) в аналоговом режиме.

Аппаратура предварительной регистрации сигналов от ПИК размещена на каналах транспортировки пучков. Ее основные узлы - преобразователи "ток-напряжение" и аналоговые коммутаторы. Прием-накопление и обработка данных производится в месте расположения ЭВМ (зал управления ускорителем). Аппаратура включает таймерные устройства, линейные приемники сигналов, аналогоцифровые преобразователи. Перечисленное диагностическое

оборудование входит в состав автоматизированных систем контроля и управления параметрами вывода пучка [4,5].

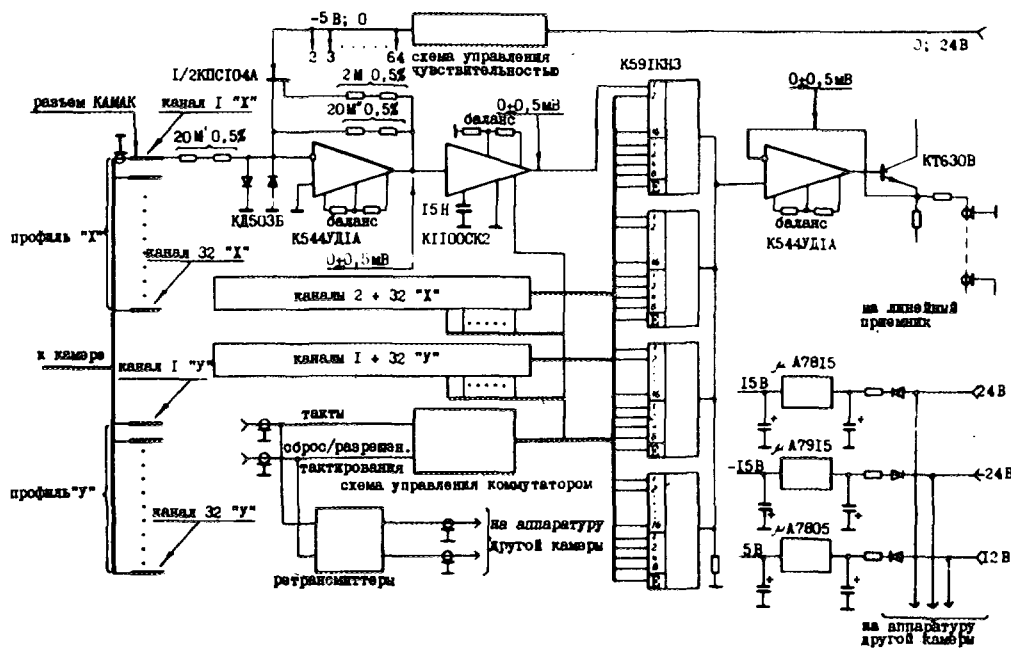


Рис.3. Структурная схема прикамерной аппаратуры

Структурная схема прикамерной электронной аппаратуры (ЭПИК) показана на рис.3. Входные резисторы 20 МОм и емкости кабелей связи с ПИК образуют фильтрующие цепи, усредняющие ток ионизации по высокочастотным составляющим. Преобразователи "ток-напряжение" выполнены на операционных усилителях (ОУ) К544УД1А, которые имеют малые входные токи, высокую термостабильность и нормированы по шумам. В процессе наладки ОУ балансируются до уровня выходного напряжения $0 \pm 0,5$ мВ подбором постоянных резисторов в цепях балансировки. Входные резисторы и диоды КД503Б выполняют функции защиты от возможных перенапряжений, вызываемых электрическими разрядами в рабочем объеме ПИК, аварийными замыканиями сигнальных нитей на высоковольтные электроды в результате обрывов и т.д. Преобразователи "ток-напряжение" имеют ступенчатое регулирование чувствительности.

64-канальный аналоговый коммутатор выполнен на четырех микросхемах К591КНЗ. Коммутатор управляется внешними сигналами "сброс/разрешение тактирования" (СРТ) и "такты". Формирователи служебных импульсов в месте расположения ЭВМ, генерирующие на входных согласующих (50 Ом)

резисторах ЭПИК сигналы уровней TTL, обеспечивают надежное управление прикамерной аппаратурой. Каждый комплект аппаратуры содержит ретрансмиттеры служебных сигналов (микросхемы К531ЛА16), что позволяет использовать только два магистральных кабеля для управления любым количеством измерителей.

Главная особенность ЭПИК, существенно отличающая ее от аппаратуры предыдущих версий, состоит в применении устройств выборки-хранения (УВХ, микросхемы К1100СК2), включенных между преобразователями "Ток-напряжение" и аналоговыми коммутаторами. Применение УВХ позволяет получать идеальные "мгновенные" профили пучка. Реализуется возможность регистрации профилей, относящихся к одному моменту времени, в системах с последовательным опросом ПИК.

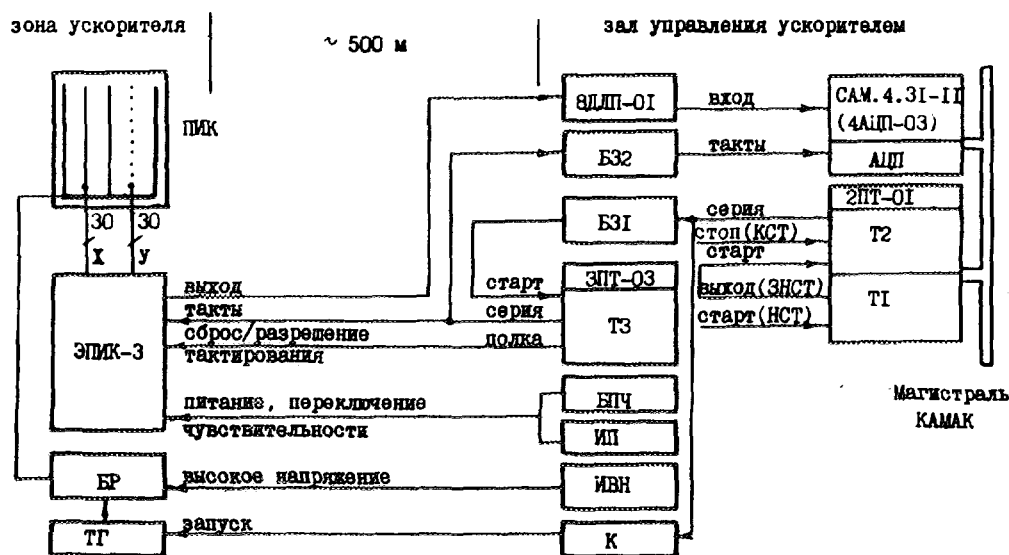


Рис.4. Структурная схема аппаратуры приема данных

Далее, появляется возможность тестирования ПИК и электронной аппаратуры путем подачи испытательного импульса на высоковольтные электроды камеры.

В процессе длительных стендовых испытаний ЭПИК в режиме сканирования по всем каналам установлено, что при отсутствии информации на входах измерителей и изменении температуры окружающей среды на 20°C уровни отклонения от нуля выходного сигнала в месте приема данных не превышают $\pm 1 \text{ мВ}$.

Конструктивно прикамерная аппаратура выполнена на четырех платах КАМАК, размещенных в боксе размерами 90х210х390 мм.

Структурная схема аппаратуры приема и накопления данных от ПИК показана на рис.4. Временные диаграммы работы представлены на рис.5.

Вывод пучка производится на плато главного магнитного поля ускорителя. В процессе вывода осуществляются многократные измерения профилей [6]. Одна из целей указанной операции - регистрация возможных нестабильностей пучка и дальнейшее устранение вызвавших их факторов. На основании этих измерений определяются также интегральные за время вывода характеристики пучка. Все камеры, подключенные к ЭВМ, опрашиваются одновременно. Начальная задержка и период опроса ПИК определяются временными параметрами растяжки пучка и характером работы диагностической аппаратуры. Прием и накопление информации в каждом цикле ускорителя производится без участия ЭВМ.

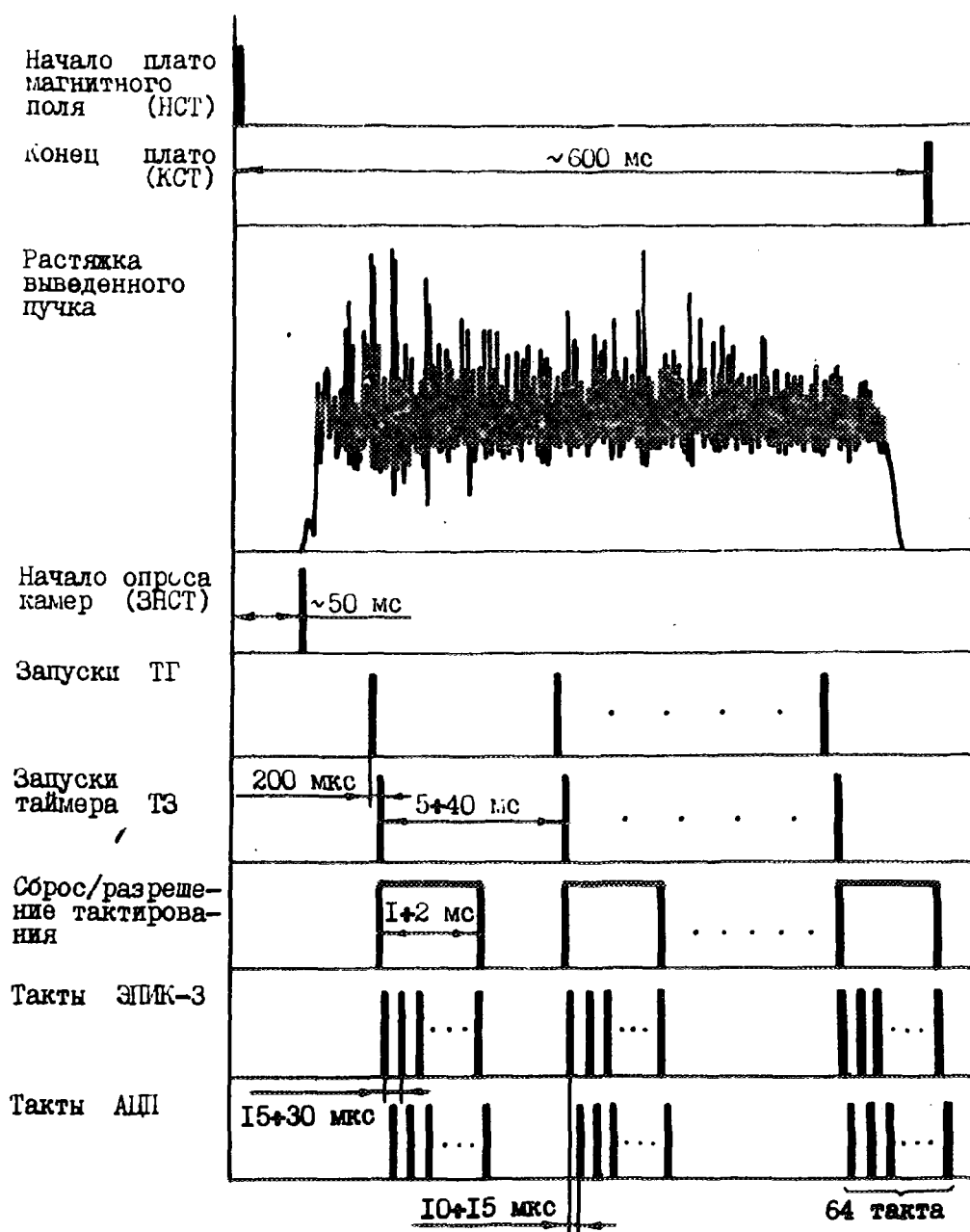


Рис.5. Временные диаграммы работы аппаратуры

Опытная эксплуатация двух комплектов ЭПИК подтвердила правильность технических решений, использованных при создании аппаратуры, показала ее высокую надежность. К настоящему времени уже изготовлено и введено в эксплуатацию более 10 комплектов измерителей.

Литература

1. Волков В.И. и др. В сб.: Труды седьмого Всесоюзного совещания по ускорителям заряженных частиц. Дубна, ОИЯИ, 1980, т.2, с.268.
2. Бalandиков А.Н. и др. Сообщение ОИЯИ 9-88-396, Дубна, 1988.
3. Василишин Б.В. и др. Сообщение ОИЯИ Р9-6973, Дубна, 1973.
4. Волков В.И. и др. В сб.: Труды седьмого Всесоюзного совещания по ускорителям заряженных частиц. Дубна, ОИЯИ, 1980, т.2, с.268.
5. Бalandиков А.Н. и др. Сообщение ОИЯИ 9-88-396, Дубна, 1988.
6. Волков В.И., Куликов И.И. Сообщение ОИЯИ 10-12498, Дубна, 1979.



RU9710288

БЛОК ОТБОРА И СОХРАНЕНИЯ ВИДЕОИЗОБРАЖЕНИЯ

Л.Димитров, Г.Георгиев, И.Ванков

Институт ядерных исследований и ядерной энергетики БАН,

София, Болгария

*В.Волков**

*Объединенный институт ядерных исследований, Дубна

E-mail: ivankov@bgearn.bitnet

Блок отбора и сохранения видеоизображения (**Frame grabber**) выполнен в виде модуля КАМАК единичной ширины и имеет вход для стандартного видеосигнала. Из этого сигнала по внутренней или внешней команде изображение размером 256x256 точек преобразуется в восьмибитовой цифровой код и запоминается в собственной видеопамяти блока для последующей компьютерной обработки.

Блок-схема модуля приведена на рисунке.

Команды КАМАК дешифруются в блоке **CML** и поступают для выполнения в блок **CNL**. Кроме этого, в **CNL** поступают строчные **HIS** и кадровые **VS** синхроимпульсы с выходов делителя синхроимпульсов **SD**, сигнал переполнения **OVL** адресного счетчика **AC**, а также и сигнал внешнего запуска запоминания кадра **EXT START**. В зависимости от состояния модуля **CNL** формирует ответы **DW-X**, **DW-Q** и **DW-L** и вырабатывает следующие управляющие сигналы:

- **RDA** - считывание адресного счетчика **AC**. При этом открываются буферы **RAB**.

- **RDD** - считывание байта из памяти **SRAM** /адрес указан **AC**/. При этом открываются буферы **RDB**.

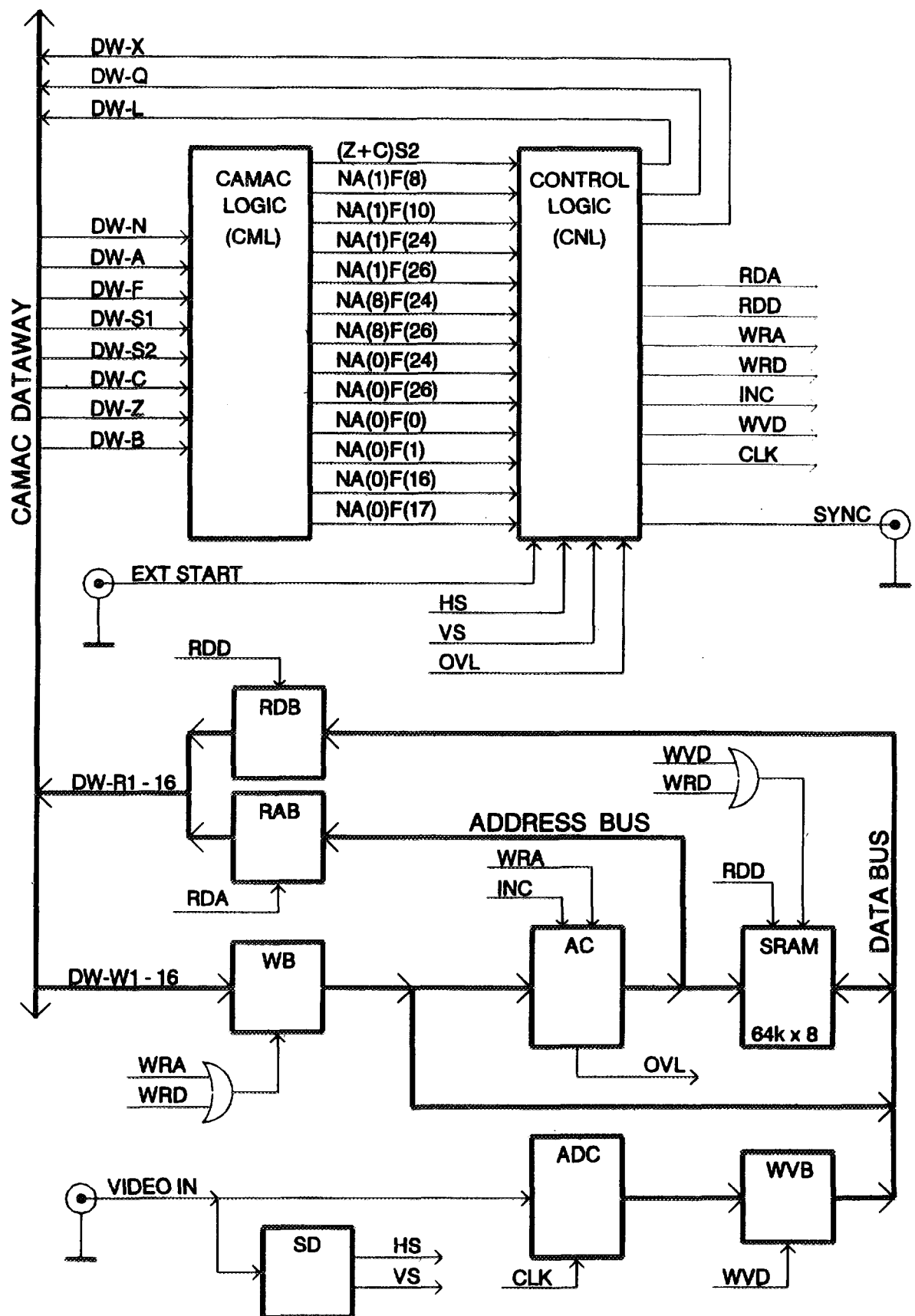
- **WRA** - запись в адресный счетчик **AC**. При этом открываются буферы **WB**.

- **WRD** - запись байта в память **SRAM** /адрес указан **AC**/. При этом открываются буферы **WB**.

- **INC** - инкрементирование адресного счетчика **AC**.

- **WVD** - запись байта из аналогоцифрового преобразователя **ADC** в память **SRAM** /адрес указан **AC**/. При этом открываются буферы **WVD**.

- **CLK** - тактовые импульсы с частотой 6,75 МГц для быстрого параллельного **ADC**. Система фазовой синхронизации синхронизирует работу модуля с видеокамерой.



CNL вырабатывает также и сигнал внешней синхронизации SYNC, синхронный с кадровым синхроимпульсом.

Номер начальной строки каждого кадра и номер начальной точки каждой строки записываемого изображения задаются встроенными в CNL программируемыми /перемычками/ счетчиками до 255.

В следующей таблице описаны все действующие КАМАК команды:

Команда	Описание	Q	X
(Z+C)S2	инициализация модуля	L	1
NA(1)F(8)	проверка запроса	1	1
NA(1)F(10)	сброс запроса	1	1
NA(1)F(24)	блокировка запроса	1	1
NA(1)F(26)	разблокировка запроса	1	1
NA(8)F(24)	блокировка внешнего запуска	1	1
NA(8)F(26)	разрешение внешнего запуска	1	1
NA(0)F(24)	запрет записи видеокадра	1	а)
NA(0)F(26)	старт записи видеокадра	1	а)
NA(0)F(0)	считывание адресного счетчика /R1-R16/	б)	1
NA(0)F(1)	считывание байта памяти /R1-R8/, с последующим инкрементированием адресного счетчика	в)	1
NA(0)F(16)	запись в адресной счетчик /W1-W16/	б)	1
NA(0)F(17)	запись байта в памяти /W1-W8/, с последующим инкрементированием адресного счетчика	б)	1
Замечания:			
а) X=0 если не поступает видеосигнал			
б) Q=0 если модуль находится в режиме записи видеокадра			
в) Q=0 если модуль находится в режиме записи видеокадра или после переполнения адресного счетчика при передаче массива /STOP MODE/			

Блок отбора и сохранения видеоизображения предназначен для наблюдения и контроля траектории пучка на Нуклотроне в ЛВЭ - Дубна, но поскольку работает со стандартным видеосигналом, то существует возможность и для других применений.

Система пакетного ввода и вывода изображений для нейтронной радиографии на базе ПЭВМ IBM PC XT/AT

О. Аварзад, В.С. Рихвицкий
Объединенный институт ядерных исследований, Дубна

1. ВВЕДЕНИЕ

На ядерном реакторе ИБР-2 /1/ ЛНФ ОИЯИ пучковый канал многоцелевого применения имеет 3 экспериментальные установки с пролетными базами 7,2, 15 и 27 м с устройствами формирования нейтронных пучков и детекторами. Статическая нейтронная радиография осуществляется на всех пролетных базах, а динамическая только на 7,2 м базе с возможным выбором энергетического интервала нейтронов от 1,0 до 10^{-3} эВ по методу времени пролета /2/. Использование видеотехники с конвертором $\text{ZnS}(\text{Ag}) + {}^6\text{LiF}$ позволяет получать наглядное черно-белое или цветное изображение объекта за одну вспышку реактора при эффективной длительности импульса тепловых нейтронов на этой базе 1,5 мс и частоте следования 5 с^{-1} . Анализ изучения медленных и быстрых процессов переноса воды, водорода, органических жидкостей в катализаторах, сорбантах, цементах и бетонах с помощью статической и динамической радиографии, а также по гамма-квантам, возникающим при захвате нейтронов водородом, показывает, что автоматизированные системы обработки изображений будут полезны в прикладных исследованиях.

Вопрос быстрого запоминания нескольких последовательных кадров представляет экспериментальный интерес для изучения динамики быстрого изменения оптического изображения радиографии после физического старта быстрого импульсного реактора ИБР-2, когда нужно использовать весь скоростной ресурс аппаратуры.

Описываемая система сбора и анализа как статических, так и динамических визуальных данных нейтронной радиографии включает в себя ПЭВМ, совместимую с IBM PC XT/AT, нестандартный видеодатчик, построенный на основе супервидиконной телекамеры, цветной полутоновый монитор для визуализации изображений и интерфейсную плату ввода и вывода изображений.

В циклическом режиме быстрого накопления данные записываются на НМД, служащий для переноса данных на другие более мощные вычислительные машины для дальнейшей обработки экспериментальной информации.

2. ТРЕБОВАНИЯ К РЕАЛИЗАЦИИ СИСТЕМЫ

1. Считывание информации, преобразование и запись ее в кадровую память (КП) производится в темпе работы ТВ-камеры, т. е. за один такт работы кадровой развертки в КП записывается весь кадр (65536 элементов ячейки памяти). Для переноса кадра из КП на магнитный диск требуется время и соответственно в это время происходит потеря кадров. В описанных ранее системах выполнялся ввод одного кадра.

В данной работе в реальном времени регистрируется некоторое количество кадров, снимаемых подряд на пучке реактора с переносом их на магнитный диск ПЭВМ за время между вспышками.

2. Для соблюдения очередности действий необходим синхронизирующий импульс, который используется для последовательного выполнения ряда шагов, включая доступ к ячейке памяти, доступ к периферийным устройствам и выполнение команд. Для доступа к ячейке

памяти, например, требуется несколько тактов. для IBM PC XT это $210 \text{ нс} \times 4 \text{ такта} = 840 \text{ нс}$.

При формировании изображений минимальные элементы представляет собой точки и каждой точке соответствует одна ячейка кадровой памяти. Обращение к КП и аналого-цифровое преобразование видеосигнала осуществляется синхронно с частотой тактовой серии, поэтому целесообразно использовать единую тактовую серию шины ПЭВМ для оцифровки и запоминания всех элементов кадра в КП.

3. В модуле использована трехпортовая КП для временного хранения изображений размером 256×256 (2^8) элементов, поскольку, во-первых, обработка изображений размером 512×256 элементов на кадр требует вдвое большего времени по сравнению с нами выбранным размером, а, во-вторых, один кадр с 65536 элементами занимает один сегмент ПЭВМ IBM PC емкостью 64 Кбайт, что упрощает аппаратную реализацию.

4. В настоящее время видеоадаптеры ПЭВМ IBM PC отображают на экране обычно всего восемь бит на точку. Сбор, обработка и выдача с помощью ПЭВМ двумерных радиографических изображений с разрядностью одного пиксела 6-бит достаточна, т. е. квантование производится на 64 уровня яркости, хотя система может в принципе работать с изображениями 16 бит/пиксел и больше. В модуле используется параллельный 6-разрядный АЦП типа K1107ПВ1.

5. В модуле предусмотрена возможность выдачи всего содержимого КП на дополнительный монохромный или цветной дисплей для сравнения изображений при одинаковой развертке в телевизионной камере и на мониторе.

3. ПЛАТА ПАКЕТНОГО ВВОДА И ВЫВОДА ИЗОБРАЖЕНИЙ

Основным функциональным блоком системы пакетного ввода и вывода изображений является интерфейсная плата, разработанная нами для IBM PC. Плата включает в себя следующие узлы: аналого-цифровой преобразователь для преобразования видеосигнала в цифровой код, трехпортовая кадровая память на 64 Кбайт для запоминания цифрового массива кадра, и интерфейсная логика, с помощью которой осуществляется связь между видеокамерой, КП и шиной IBM PC, цифро-аналоговые преобразователи для отображения информации в качестве обратной связи контроля результатов кодирования АЦП, формирователи управляющих и синхронизирующих импульсов (ФУСИ).

4. СИНХРОННОСТЬ РАДИОГРАФИЧЕСКОЙ АППАРАТУРЫ

Нормальное функционирование комплексов, состоящих из многих функциональных элементов, таких как импульсный реактор, ПЭВМ, АЦП для кодирования и ЦАП для декодирования видеосигнала, цифровая буферная КП, невозможно без четкого согласования режимов работы всех входящих в него элементов, поэтому надо было обеспечить совместную синхронную и синфазную работу всех элементов аппаратуры.

С помощью ФУСИ осуществляется синхронность и синфазность во всех промежуточных звенах преобразования, запоминания, считывания и отображения видеoinформации.

При синхронизации видеомодуля с источником нейтронов периодического действия ИБР-2 используется метод стробирования, позволяющий осуществить оперативный и синхронный с выходом вспышки ввод полутонных изображений. Принцип метода заключается в том, что оцифровка кадра начинается сразу по приходу сигнала СТАРТ, синхронного с событием. Оцифровка происходит произвольно по отношению к началу кадра телевизионной развертки и начинается с той строки, на которую пришелся сигнал СТАРТ. Строки вводятся до тех пор, пока не будут считаны последовательно все строки в объеме целого кадра.

Регистрация радиографических событий, накапливаемых в экспериментах с время-пролетной методикой в области тепловых нейтронов начинается примерно через 1-2 мс после сигнала СТАРТ и продолжается в течении 3-5 мс по шкале временного распределения пучка. Имеется возможность задержки сигнала СТАРТ для определения начала интересующей области.

5. ПРОГРАММЫ СИСТЕМЫ РЕГИСТРАЦИИ ИЗОБРАЖЕНИЙ

Программное обеспечение реализует минимальные возможности, необходимые для регистрации видеоданных в экспериментах по радиографии на реакторе ИБР-2. Данные накапливаются на диске и могут быть использованы для просмотра и обработки впоследствии. Управление программой осуществляется командами, перечисленными в меню. В их число входят как команды однократных операций, так и команды, задающие циклический ввод и запоминание изображений на диске. Меню высвечиваются на экране сразу при загрузке программы.

Назначение команд:

Exес -однократный ввод изображения через интерфейсную логику в КП (64К DRAM) платы пакетного ввода и вывода изображений;

Display -вывод изображения из КП платы на видеотерминал в графическом режиме в псевдоцветах;

Monitor -вывод изображения из КП платы на монитор ПЭВМ в графическом режиме;

Histogram -вывод гистограммы, полученной как сумма значений раstra изображения вдоль вертикальных линий;

Save -запоминание изображения на диске;

Load -чтение с диска файла изображения на терминал;

Auto -включение режима, в котором циклически выполняются команды Exес и Save, пока не будет введена какая либо другая команда. Номера файлов при этом автоматически наращиваются;

stoP -останавливает циклический режим, не выполняя при этом никаких других действий;

Test -переход в тестовый режим со своим меню, в котором можно подавать любые сигналы в порты видеоадаптера для целей проверки аппаратуры;

Frame -задает тип внутренней синхронизации по сигналу "Начало кадра";

EXt -задает тип внешней синхронизации;

delay -позволяет ввести величину временной задержки (в секундах) между завершением команды Save и началом команды Exес в циклическом режиме(см. команду Auto).

6. ЗАКЛЮЧЕНИЕ

Благодаря применению цифровых телевизионных методов, быстрых интерфейсов многопортовой памяти, современных ПЭВМ и метода взаимной синхронной работы компонентов описанного комплекса, физик-экспериментатор получил возможность наблюдать и обрабатывать события на базовом установке.

Преимуществом данной системы является, то что она разработана для широко распространенных ЭВМ IBM PC XT и AT.

Плата пакетного ввода и вывода изображений позволяет использовать ТВ-камеры для ввода в ПЭВМ необычной информации: изображений с экрана осциллографа, например, сложного наносекундного импульса; люминесцирующих поверхностей, нагретых деталей,

фрагментов и т.д., а также в других областях, где требуется регистрация светового излучения в однократных быстропротекающих процессах.

В заключении отметим полезность и универсальность разработанной аппаратуры и в других областях обработки данных физического эксперимента как быстродействующих, динамических, так и статистических изображений по стандартным кадровым, периодическим или случайным внешним синхронизирующим или командным сигналам.

ЛИТЕРАТУРА

1. Назаров В. М., Павлов С. С., Переседов В. Ф., Фронтасьева М. В. Развитие активационного анализа на ИБР-2. Труды: International Workshop Modern Trends in Activation Analysis in JINR, Dubna. 26-28 June, 1988
2. Назаров В. М., Павлов С. С., Эррера Э. Современные направления развития радиоаналитических методов на импульсном быстром реакторе ИБР-2 ОИЯИ. ОИЯИ, Д14-91-395, Дубна, 1991

Контроллер крейта КАМАК КК014 на основе однокристалльной микро-ЭВМ 8031 для работы с ПЭВМ через последовательную линию связи RS-232C

И.Н.Чурин

Объединенный институт ядерных исследований, Дубна

В Лаборатории ядерных проблем ОИЯИ для работы с персональными компьютерами разных типов на линии с крейтом КАМАК в применениях не требующих высокого быстродействия при передаче данных разработан контроллер крейта со связью по стандарту RS232C. Его назначение - чтение и запись 16 и 24-разрядных слов и выполнение управляющих операций под управлением встроенной однокристалльной микро-ЭВМ типа INTEL 8031 или ее аналогов в автономном режиме или на линии с ПЭВМ.

Максимальное удаление крейта от ПЭВМ составляет 15 метров.

Контроллер может работать в однокреитной системе, имеет аппаратные средства для быстрой обработки сигналов L и выполнения многокрейтных операций, а также средства для тестирования магистрали крейта и самого блока.

Скорость пересылки данных зависит от максимальной скорости последовательного интерфейса RS-232 в используемой ПЭВМ. Скорости работы 19.2 КБод соответствует скорость передачи массива 500 слов КАМАК в секунду.

Связь контроллера с ПЭВМ по стандарту RS-232C осуществляется через последовательный порт ввода-вывода, входящий в состав компьютера.

На передней панели контроллера размещены коаксиальный разъем Лемо для ввода внешнего сигнала L с логическими уровнями NIM, индикатор "Крейт выбран", а также два разъема РП15-9 для связи с ПЭВМ.

Применяется прямая адресация всех регистров КАМАК в крейте: по линиям A0-A3 - субадрес КАМАК A; по линиям A4-A8 - номер станции N, по линиям A9-A13 - функция КАМАК F. Цикл магистрали запускается при считывании из псевдоячейки по адресу КАМАК.

Команда чтения данных в крейте КАМАК выполняется в микро-ЭВМ путем обращения к внешней памяти по адресу КАМАК и последующего считывания данных магистрали из двух или трех регистров R.

Команда записи данных в модуль КАМАК выполняется в микро-ЭВМ путем предварительной записи двух или трех байтов данных в регистры W, а затем обращения к внешней памяти по адресу КАМАК.

Управляющая команда (с F8=1) выполняется в микро-ЭВМ путем обращения к внешней памяти по адресу КАМАК, при котором запускается цикл магистрали и последующего считывания статусных сигналов магистрали.

Распределение памяти микро-ЭВМ показано на следующей таблице:

C000-FFFF	Поле команд NAF
8008-DFFF	Резерв
8000-8007	Регистры данных, управления и статуса
4000-7FFF	Резерв
2000-3FFF	Внешнее ОЗУ данных 8 Кбайт
0000-1FFF	Внешнее ОЗУ данных 8 Кбайт
0000-1FFF	Внешнее СППЗУ программ 8 Кбайт.

Поле адресов, занимаемое регистрами блоков КАМАК:

FE00-FF7F F(31)N(0-23)A(0-15)	DE00-DF7F F(15)N(0-23)A(0-15)
FC00-FD7F F(30)N(0-23)A(0-15)	DC00-DD7F F(14)N(0-23)A(0-15)
FA00-FB7F F(29)N(0-23)A(0-15)	DA00-DB7F F(13)N(0-23)A(0-15)
F800-F97F F(28)N(0-23)A(0-15)	D800-D97F F(12)N(0-23)A(0-15)
F600-F77F F(27)N(0-23)A(0-15)	D600-D77F F(11)N(0-23)A(0-15)
F400-F57F F(26)N(0-23)A(0-15)	D400-D57F F(10)N(0-23)A(0-15)
F200-F37F F(25)N(0-23)A(0-15)	D200-D37F F(09)N(0-23)A(0-15)
F000-F17F F(24)N(0-23)A(0-15)	D000-D17F F(08)N(0-23)A(0-15)
EE00-EF7F F(23)N(0-23)A(0-15)	CE00-CF7F F(07)N(0-23)A(0-15)
EC00-ED7F F(22)N(0-23)A(0-15)	CC00-CD7F F(06)N(0-23)A(0-15)
EA00-EB7F F(21)N(0-23)A(0-15)	CA00-CB7F F(05)N(0-23)A(0-15)
E800-E97F F(20)N(0-23)A(0-15)	C800-C97F F(04)N(0-23)A(0-15)
E600-E77F F(19)N(0-23)A(0-15)	C600-C77F F(03)N(0-23)A(0-15)
E400-E57F F(18)N(0-23)A(0-15)	C400-C57F F(02)N(0-23)A(0-15)
E200-E37F F(17)N(0-23)A(0-15)	C200-C37F F(01)N(0-23)A(0-15)
E000-E17F F(16)N(0-23)A(0-15)	C000-C17F F(00)N(0-23)A(0-15)

Адрес, соответствующий команде NAF определяется по формуле:

$$NAF_ADDRESS = BASE_ADDRESS + F * 200H + N * 10H + A$$

Базовый адрес фиксирован и равен 0C000H. Команде F(16)N(5)A(8) будет соответствовать адрес 0E058H.

Для безадресных команд применена адресация через станцию 0.

F(24)N(0)A(0)	Генерация Z, установка I;
F(24)N(0)A(1)	Генерация C;
F(24)N(0)A(2)	Установка I;
F(26)N(0)A(3)	Снятие I.

Регистры, предназначенные для записи:

Адр.	7	6	5	4	3	2	1	0	Р/С
8007	-	-	-	-	-	-	-	-	
8006	-	-	-	-	-	-	-	-	
8005	-	-	-	-	-	-	-	-	
8004	-	-	-	-	-	-	-	-	
8003	IE	-	-	FS16	FS8	FS4	FS2	FS1	WFS
8002	W24	W23	W22	W21	W20	W19	W18	W17	WWU
8001	W16	W15	W14	W13	W12	W11	W10	W9	WWM
8000	W8	W7	W6	W5	W4	W3	W2	W1	WWL

Регистры, предназначенные для считывания:

Адр	7	6	5	4	3	2	1	0	Р/С
8007	FL	Q	X	I	ORA	ORU	ORM	ORL	RDS
8006	L23	L22	L21	L20	L19	L18	L17	L16	RDU
8005	L15	L14	L13	L12	L11	L10	L9	L8	RDM
8004	L7	L6	L5	L4	L3	L2	L1	L0	RDL
8003	IE	-	-	FS16	FS8	FS4	FS2	FS1	RFS
8002	R24	R23	R22	R21	R20	R19	R18	R17	RRU
8001	R16	R15	R14	R13	R12	R11	R10	R9	RRM
8000	R8	R7	R6	R5	R4	R3	R2	R1	RRL

При записи в РУС WFS в разряды 0-4 заносится номер флага, выбираемый по линиям данных в соответствии со следующей таблицей:

FS(0)	Вн.сигнал L0	FS(27)	"Или" L0-L23
FS(1)-FS(23)	L1-L23	FS(28)	-6 В в норме
FS(24)	"Или" L0-L7	FS(29)	+12 В и -12 В в норме
FS(25)	"Или" L8-L15	FS(30)	+24 В и -24 В в норме
FS(26)	"Или" L16-L23	FS(31)	Логический "0"

Сигнал флага FL поступает на вход прерывания INT1 микро-ЭВМ.

Процедуры работы с магистралью крейта КАМАК:

; 24-bit CAMAC Read MOV DPTR,#FreadNA MOVX A,@DPTR MOV DPTR,#PortR1_R8Addr MOVX A,@DPTR MOV mem1,A MOV DPTR,#PortR9_R16Addr MOVX A,@DPTR MOV mem2,A MOV DPTR,#PortR17_R24Addr MOVX A,@DPTR MOV mem3,A	; 24-bit CAMAC write MOV A,mem1 MOV DPTR,#PortW1_W8Addr MOVX @DTPR,A MOV A,mem2 MOV DPTR,#PortW9_W16Addr MOVX @DTPR,A MOV A,mem3 MOV DPTR,#PortW17_W24Addr MOVX @DTPR,A MOV DPTR,#FwriteNA MOVX A,@DPTR
; CAMAC control	
MOV DPTR,#FcontrolNA MOVX A,@DPTR	

Чтение и запись в регистры управления и статуса выполняются аналогично операциям с регистрами данных.

Запись "1" в разряд 7 РУС A00B означает разрешение прерывания при появлении флага. При записи "0" в указанный разряд прерывание запрещаются.

При чтении РУС A003 выдается информация о выбранном флаге FS и о разрешении прерывания INT1 при появлении выбранного флага.

При чтении РУС A004, A005 и A006 выдается информация соответственно о состоянии сигналов L0-L7, L8-L15 и L16-23.

При чтении РУС A007, выдается информация о комбинациях сигналов LAM:

ORL - Логическое "ИЛИ" L0-L7;

ORM - Логическое "ИЛИ" L8-L15;

ORU - Логическое "ИЛИ" L16-L23;

ORA - Логическое "ИЛИ" L0-L23;

а также о состоянии сигналов X, Q и I во время последнего цикла магистрали и состоянии выбранного флага FL.

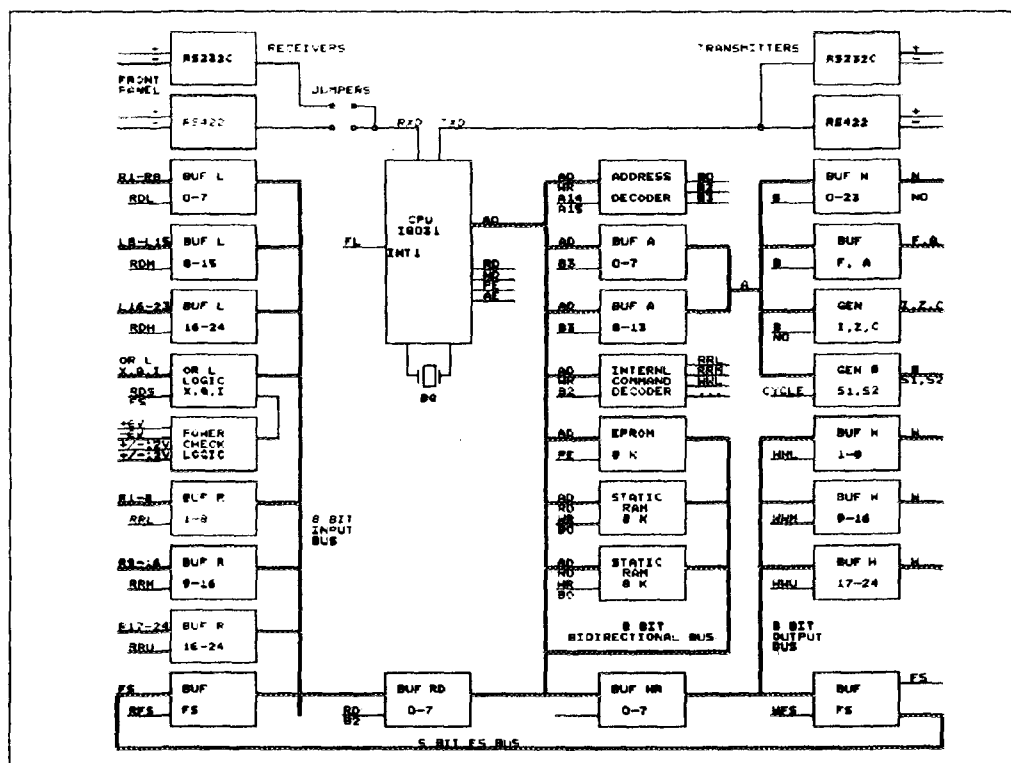


Рис. 1. Блок-схема контроллера КК014

Работа с последовательной линией связи ведется в соответствии с описанием однокристалльной микро-ЭВМ 8031 и скрыта для пользователя. Протокол обмена информацией между ПЭВМ и контроллером обеспечивается программой, записанной в СППЗУ и обеспечивает выполнение однократных 16 и 24-разрядных пересылок данных, однократных управляющих команд, пересылку массивов данных в обоих направлениях в стандартных режимах (адресное сканирование, ULS, ULC и др.).

Для персональных ЭВМ типа IBM PC применен стандартный пакет подпрограмм ES-ONE Subroutines for CAMAC.



RU9710291

MULTIFUNCTION INPUT-OUTPUT BOARD FOR THE IBM PC AT/XT (Lab-Master)

A.V.Pilyar

Joint Institute for Nuclear Research, Dubna

E-mail: pilyar@lhe07.jinr.dubna.su

As the price of personal computers becomes cheaper and the number of different input-output interface products increases, PC based data acquisition and control systems find wide application in the areas of laboratory automation, industrial monitoring and control, automatic test and measurements.

Such firms as National Instruments /1/, Advantech /2/, Canberra produce different analog input-output PC cards for measurements and control.

A multifunction input-output board for the IBM PC is described in this paper.

It is easy to use the multichannel analog input for voltage measurements, signal and transient analysis, and data logging.

Four analog output channels are useful for process and machine control, analog function generation, variable voltage sources, and programmable signal attenuation.

You can use eight TTL-compatible digital input & output lines for machine and process control and relay switching control.

Figure 1 shows a block diagram of the multifunction PC board circuitry.

The Lab-Master has a CMOS analog input multiplexer with eight single-ended inputs. The input circuitry has an input overvoltage protection of $\pm 12V$ powered on or off.

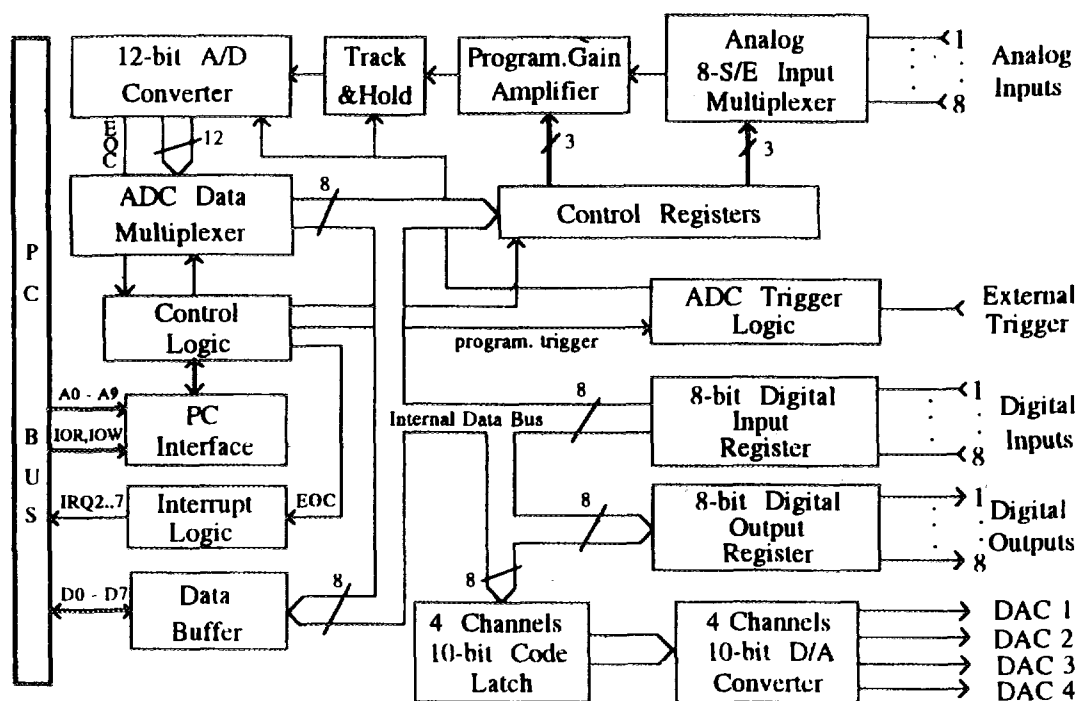


Figure 1. Multifunction input-output board for the IBM PC AT/XT. Block Diagram.

A software-programmable gain amplifier has gain selections of 1, 2, 4, 8.

A "Sample and Hold" circuit designed as "Track and Hold" /3/ provides a fast conversion time and a good accuracy.

The voltage input range for ADC is software-selectable for $\pm 2.5V$ (bipolar) or 0 to +5V (unipolar).

The board has a fast 12-bit ADC with a successive approximation (K1107PV2, conversion time = 2 μsec /4/); this provides an analog signal resolution of 2.44 mV at an amplifier gain of 1.

It is possible to initiate A/D conversion strobe signals from either software or external timing control signals.

The End of Conversion signal (EOC) from the A/D converter controlled by Control Logic is used for data readout from an ADC register to the PC or for interrupt generation.

The Lab-Master has four 10-bit double-buffered D/A converters that are connected to four analog output channels. Each channel can independently generate bipolar ($\pm 5V$) signals. The resolution of the 10-bit DAC is 9.77 mV. Each channel is constructed on the basis of a K572PA1A (analog of AD7520) DAC chip and a K140UD20 (analog of $\mu A747$) operational amplifier /4/.

There are two parallel 8-bit digital Input-Output registers. The Output register constructed on the basis of a SN74LS374 can sink 2.5 mA on each line. The Input port is constructed on the basis of a SN74LS244 data buffer. The digital I/O lines are TTL compatible.

The PC input-output interface circuitry includes an 8-bit data buffer, address decoding logic with an 8-position DIP switch for selecting the base address, control and timing interface logic and interrupt logic. The Lab-Master is operated by software control of the input-output port read-write activities (see table 1).

Table 1

I/O Port	Read	Write
Base+0	A/D bit 8-11 (4-7) & A/D channel number (1-3) & Bit End of Conversion (EOC)	A/D channel number (0-2) & A/D bipolar or unipolar (3) & Internal or external trigger (4) & Gain of amplifier (5-7)
Base+1	A/D bit 0-7 (programmable A/D trigger)	Channels scanning enable (0) & Enable of Interrupt(1)
Base+2	Data from Input register 0-7	D/A ch.1 bit 0-7
Base+3	N/A	D/A ch.2 bit 0-7
Base+4	N/A	D/A ch.3 bit 0-7
Base+5	N/A	D/A ch.4 bit 0-7
Base+6	N/A	D/A ch.1 bit 8-9 & D/A ch.2 bit 8-9 & D/A ch.3 bit 8-9 & D/A ch.4 bit 8-9
Base+7	N/A	Data to Output register 0-7

The maximum single-channel sampling rate for an analog input is 200 KHz (if you use an IBM PC AT 286/287).

As the Lab-Master has a simple PC interface for programming, it is easy to construct data acquisition and control systems based on the popular application software products (such as LabVIEW, LabWindows /1/) or own programs /5/.

It is easy to use the multifunction input-output board in many environments for control and measurement of analog and digital signals in PC-based data acquisition and control systems. The Lab-Master is successfully used in the experiment on the Nuclotron internal target (JINR, Dubna, Russia) /6/ and in the control system of superconductivity materials (Institute Physics and Technology of Materials, Bucharest, Romania).

SPECIFICATIONS

Analog Input

- Channels: 8 single - ended
- Resolution: 12 Bit
- Conversion time: 5 μ sec (max 200 KHz)
- Input range: 0 - +5V ; \pm 2,5V (software selectable)
- Gains: 1, 2, 4, 8 (software selectable)
- Trigger mode: by software or external trigger
- Input impedance: 10 MOhms
- Overvoltage: \pm 12V

Analog Output

- Channels: 4 Digital to Analog converters
- Type of DAC: 10 bit, multiplying
- Output range: \pm 5V
- Settling time: 10 μ sec

Digital Input and Output

- Input 8-bit digital register
- Output 8-bit digital register
- TTL - compatible

References

1. IEEE488 and VXIbus Control, Data Acquisition and Analysis. National Instruments 1993 Catalogue. Austin, Texas, USA, 1993.
2. Total Solution for PC-based Industrial and Lab Automation, vol. 41. Advantech. San Jose, USA, 1994.
3. MAXIM 1992 New Releases Data Book. Buckeburg, p.7-12.
4. B.G. Fedorkov, V.A. Telec. DAC and ADC Integrated Circuits (in Russian), Energoatomizdat, Moscow, 1990.
5. A.S. Nikiforov. Proceedings of the XV International Symposium on Nuclear Electronics and International Seminar CAMAC-92, D13-92-581, Dubna, 1993, p.149.
6. A.M. Baldin et al. JINR Rapid Communications, No.2[65]-94, Dubna, 1994, p.26.

Система сбора данных сверхпроводящего соленоида на базе РС

В.И.Дацков, А.С.Никифоров, В.П.Николаев, Ю.А.Шишов

Объединенный институт ядерных исследований, Дубна

Введение

Система сбора данных на базе РС осуществляет чтение, хранение и представление функциональных параметров сверхпроводящего соленоида установки СФЕРА [1]. Система выполнена в стандарте КАМАК. Информация отображается в табличной и графической форме. Измеряются: температура элементов магнита (до 4.2К), магнитное поле, ток в обмотке, вакуум.

Конфигурация системы

Блок-схема системы приведена на рис 1. Система сбора данных реализована в стандарте КАМАК. Интерфейс между РС и системой осуществляется посредством контроллера КК009 и платы ПК009 [2]. Аналоговые сигналы поступают на вход мультиплексора. Используется релейный мультиплексор типа КЛ004 [3].

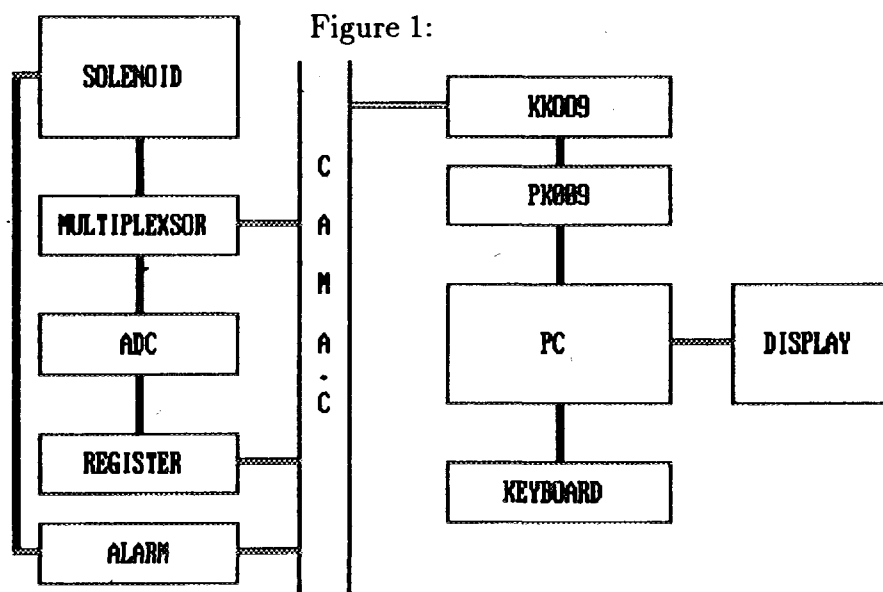


Рис. 1. Блок-схема системы

В сверхпроводящем соленоиде измеряются следующие параметры: температура до 4.2К, ток в обмотке магнита, вакуум и магнитное поле. В качестве датчиков при измерении температуры используются угольные резисторы типа ТВО [4]. Температура измеряется в 10 различных точках соленоида. Магнитное поле измеряется с помощью датчиков Холла. Разрешение преобразователя 14 бит. При измерении температуры измеряется величина сопротивления резистора датчика. Зависимость между величиной сопротивления и температурой существенно нелинейная, поэтому измеренная величина сопротивления посредством формулы конверсии преобразуется в соответствующую величину температуры. Для

каждого датчика определяются калибровочные коэффициенты, которые хранятся в памяти РС. Преобразование осуществляется посредством формулы

$$T=K1+K2/R+K3/RR+K4/RRR+K5/RRRR+K6/RRRRR+K7/RRRRRR$$

где K1-K7-коэффициенты, R-измеренное сопротивление.

Программное обеспечение

Посредством диалога задается режим измерений. Выбирается частота опроса датчиков, маскируются измерительные каналы, которые не используются или не существуют. Возникновение нормальной зоны в обмотке соленоида контролируется детектором нормальной зоны. Сигнал с детектора вызывает эвакуацию энергии из соленоида и прерывание в программе сбора данных. После поступления прерывания осуществляется измерение меньшего количества каналов с большей скоростью. Номера этих каналов задаются предварительно. Представление данных осуществляется в различной форме:

- таблицы непосредственных значений с указанием времени и даты их получения;
- графиков зависимости функциональных параметров от времени;
- гистограмм параметров.

Графики и гистограммы представляются в выбранном временном окне. Возможно одновременное представление информации в 8 окнах на экране дисплея.

Литература

1. Аверичев С.А., и др., ОИЯИ, Р1-85512, Дубна, 1985.
2. Георгиев А., Чуринов И.Н., ОИЯИ Р10-88381, Дубна, 1988.
3. Антюхов В.А. и др., ОИЯИ 10-12912, Дубна, 1977.
4. Дацков В.И., ПТЭ, N4, с.253, 1981.



RU9710293

COMPUTER CONTROLLED HIGH VOLTAGE SYSTEM

B. Kunov, G. Georgiev, L. Dimitrov, I. Atanasov, I. Vankov

Institute for Nuclear Research and Nuclear Energy,
Bulgarian Academy of Sciences, Sofia, Bulgaria

E-mail: ivankov@bgearn.bitnet

A multichannel, computer controlled high voltage power supply system has been developed. The basic unit of the system is a 6-channel 3U high EUROCARD-standard module [1], the block-diagram of which is shown on fig. 1. Each channel has individual circuit for regulation and stabilization of the high voltage (see channel 1, fig. 1). In the output block (RFD) a voltage multiplier by 2 is used, rectifying and multiplying the output voltage of a generator-transverter (GT). The supply voltage of the transverter is controlled by a pulse-width modulation voltage stabilizer (PWM). The latter has a double control:

- by the output high voltage, i.e. by the voltage U_1 , received from a divider, connected to the filtered output (HV1) of the block RFD; the comparison in the differential amplifier DA1 between this voltage and the output voltage of the digital-to-analog converter (DAC) determines and stabilizes the value of the output high voltage;
- by the load current I_1 ; for this purpose the value of I_1 is determined in the block LC, as a difference between the total current from the rectifier I_0 and the current through the divider ID ($I_1 = I_0 - ID$); by the differential amplifier DA2 the load current is compared with its upper permitted limit value (IL_1), set by the screwdriver potentiometer R2; when the limit value of IL_1 is passed over, the control of the pulse width modulator by the DA2 provides a constant value of the load current, equal to the set limit value; in the same time the flip-flop FF2 is set in "1" through the comparator Comp2 and an alarm signal is given in the way described below.

The outputs of the DA1 and DA2 are connected to the control input of the pulse width modulator PWM through diodes (D1, D2). In this way a majority control of the output high voltage by the two signals are realized: when $I_1 < IL_1$ the output voltage of DA2 is negative and only DA1 controls PWT; when $I_1 > IL_1$ the output voltage of DA2 becomes positive and it controls PWT, thus limiting the high voltage value.

An upper limit value of the output high voltage can be set by the screwdriver potentiometer R1: by the comparator Comp1 the voltage from R1 ($UL1$) is compared with the voltage $U1$, and if $U1 > UL1$ the flip-flop FF1 is set in "1" position and the pulse width modulator PWM is blocked, i.e. the output voltage decreased to zero.

Four analog signals - $U1$, $I1$, $UL1$ and $IL1$ are fed to the analog multiplexer AMUX in order to be switched and fed to the analog to digital convertor (ADC) for displaying the values of output high voltage and current and the set limits for them.

For the handshake between the controller of the system and the high voltage channels a local bus (HVS LOCAL BUS), connecting the system controller with the modules of six high voltage channels is used. After each initialization of the system the signal "RESET" sets in "0" the flip-flops FF1 and FF2 in all channels, thus setting (through FF1) to 0 V all high voltage outputs. The signal "SELECT" activates the decoder DEC of the chosen module. Corresponding to the "ADDRESS" (4 bits) and "DATA" (8 bits) different operations can be ordered by the decoder DEC:

- regulation of the high voltage in one of the channels; the new value of the high voltage is fed (through the two-ways buffers BUF3 on the "DATA" lines) to the inputs of all DAC's (1 to 6) and the DAC of the corresponding channel is selected by the decoder DEC;
- reading the analog signals $U1$, $I1$, $UL1$ or $IL1$ value; the channel number (i.e. the analog multiplexer AMUX) is chosen by the address code, and the analog signal - by the received data; the selected analog signal is fed to the analog-to-digital converter ADC and the corresponding digital code - to the "DATA" lines;
- reading the status of flip-flops FF1 or FF2; in correspondence of the address code and received data, the decoder DEC activates one of the buffers group - BUF1 (for reading FF1) or BUF2 (for FF2); if there is at least one signal "1" from the flip-flops a sound alarm is given.

For providing necessary precision of setting and measuring the output voltage 12 bits DAC's and ADC's are used. For this reason the data for or from them are transmitted through "DATA" lines in two times.

The block diagram of the system controller is shown on fig. 2. As CPU, one chip Intel microcomputer (I 8031 [2]) is used. The handshake with the host computer could be realized by serial (RS 232C) or by parallel

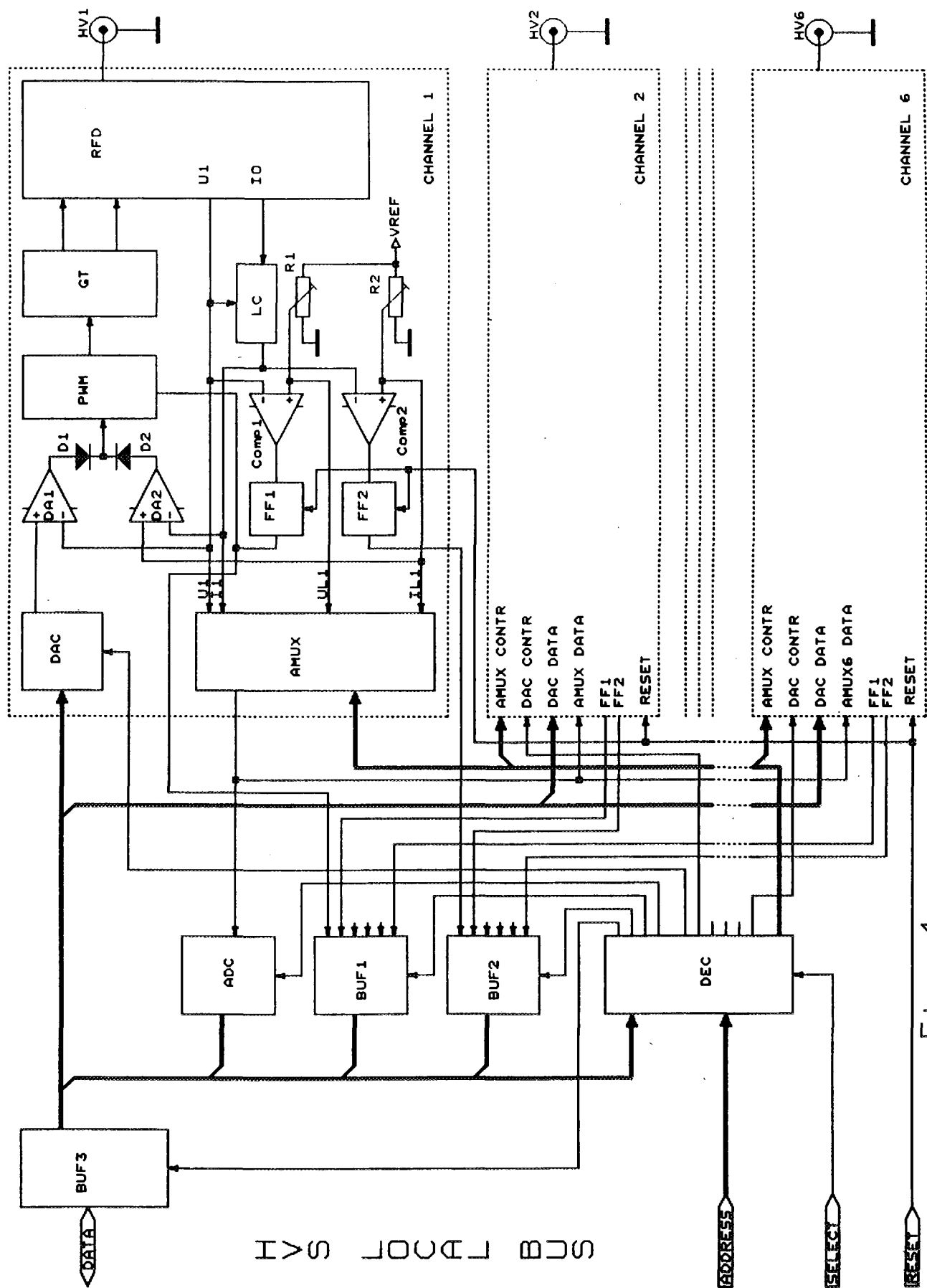


Fig. 1

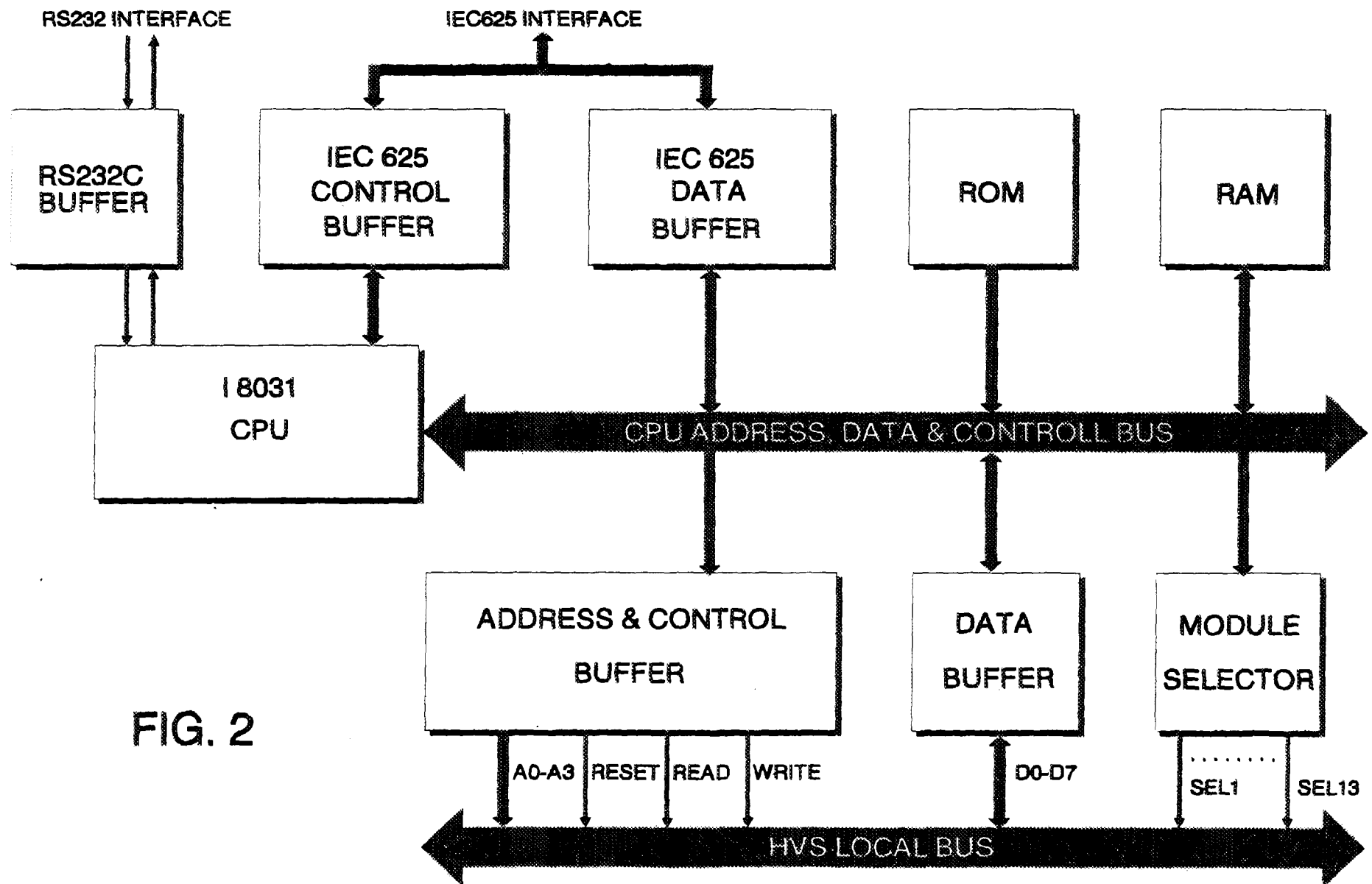


FIG. 2

(IEC 625 [3]) interface. One of the 13 high voltage modules in the crate is selected through the "MODULE SELECTOR". The remained command are fed to the "HVS LOCAL BUS" through "ADDRESS & CONTROL BUFFER" and "DATA BUFFER". All information from the modules is also received in the controller through the last block.

The software provides the interface between the host computer and the controller by the chosen from the user standard - RS 232C or IEC 625 as well as the following functions of the controller:

- setting the preselected values of the output high voltages with desired raising slop;
- regular reading and displaying of the output high voltages and load current values;
- regular reading of the signals from the flip-flops FF1 and FF2 in each channel and providing corresponding alarm;
- reading and displaying of the set limit values for the output voltage and load current in each channel.

The basic technical parameters of the system are:

- output voltage - $100 \div 3000$ V;
- output current - $0 \div 3$ mA;
- maximum ripple - 200 mV peak-to-peak;
- maximum number of channels in one 19" crate - 78 (i.e. 13 modules).

REFERENCES

1. EUROCARD standart. IEC publications 297-1, 297-3, 297-3A.
2. Single Chip Microcomputers. User's Manual, INTEL Corp., Santa Clara, USA, 1988.
3. An Interface system for Programmable Measuring Instruments. IEC standard. Publication 625-1, 1979.

Высоковольтные источники питания для ЛБВ УВ-273А

Н.И. Лебедев, А.А. Фатеев

Объединенный институт ядерных исследований, Дубна

1 Введение

В проекте ВЛЭПП предполагается использование линейных ускорителей с длиной волны 2 см. Основными структурными элементами ускорителя являются 4 ускоряющие секции и СВЧ-источник [1]. В качестве СВЧ-источника планируется использовать релятивистский клистронный усилитель (РКУ) с параметрами [2]:

Таблица 1. Параметры РКУ

Рабочая частота	14 ГГц
Напряжение	1000 кВ
Длительность импульса	0.5 мкс
Ток пучка	300 А
КПД	50 %
Усиление	80 дБ
Частота повторения	150 Гц
Импульсная мощность	150 МВт

Разработка различных промышленных вариантов релятивистского клистрона ведется в ФИЯФ г. Протвино, а изготовление по высоковакуумной технологии на радиотехнических заводах. К настоящему времени испытаны несколько вариантов РКУ и достигнута мощность более 50 МВт. Ограничение мощности связано с возникновением паразитных колебаний в приборе, которые приводят к сбросу пучка на стенку прибора и укорочению длительности импульса СВЧ-мощности.

Совместно с ФИЯФ в ОИЯИ проводятся работы по созданию и исследованию релятивистского клистронного усилителя для ВЛЭПП.

2 Установка

В ЛСВЭ ОИЯИ разработан и изготовлен широкоапертурный вариант клистронного усилителя с инжекцией в РКУ электронного пучка линейного ускорителя ЛИУ-3000. Схема экспериментальной установки, предназначенной, в основном, для исследования паразитных резонансных колебаний, представлена на рис 1.

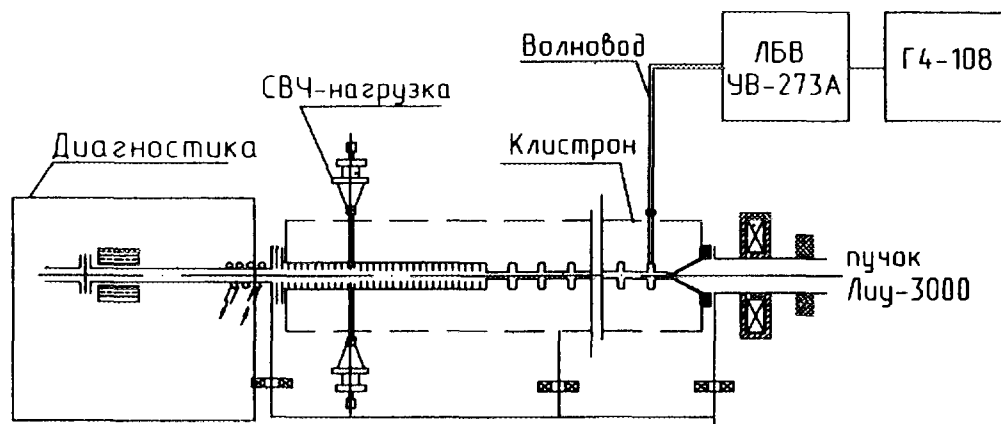


Рис. 1: Схема установки

Электронный пучок с током $I = 250 - 300$ А, энергией 1 МэВ, длительностью 0.5 мкс и частотой 1 Гц инжектируется в релятивистский клистронный усилитель. Задающим генератором для РКУ служит серийный генератор Г4-108 с предварительным усилителем на лампе с бегущей волной (ЛБВ) типа УВ-273А. Выходная мощность с генератора (~ 10 Вт) с частотой 14 ГГц подводится к РКУ волноводом.

Электронные приборы сантиметрового диапазона, и в частности ЛБВ УВ-273А, являются дорогостоящими и уникальными устройствами. При вводе в эксплуатацию практически каждый прибор требует индивидуальной подстройки и тренировки. Основные паспортные данные по эксплуатации конкретного образца ЛБВ приведены в таблице 2.

Таблица 2. Основные технические данные УВ-273А

Наименование параметра режима и параметра прибора	Допустимое эксплуатационное значение		Результат испытания
	не менее	не более	
Напряжение коллектора, кВ	2.25	2.75	2.5
Напряжение замедляющей системы, кВ	4.6	5.4	5.0
Напряжение анода, кВ	3.3	4.1	3.42
Диапазон частот, ГГц	13.3	17.5	17.5-15.5-13.3
Выходная мощность, Вт	10	-	12.0-14.0-16.0
Коэффициент усиления в рабочем диапазоне частот, дБ	28.5	-	29.03-29.7-30.23
Ток коллектора, мА	-	55	36
Ток замедляющей системы, мА	-	7	1-6
Допустимая нестабильность тока замедляющей системы, мА	-0.4	+0.4	0
Ток анода, мА	-1	+1	0
Минимальная наработка, ч	500		

Дополнительные требования порядка подключения прибора:

- Источники питания коллектора, замедляющей системы и анода должны иметь стабилизацию и пульсацию напряжений в соответствии с техническими условиями:
- Подача напряжений питания на электроды, спустя 3 минуты после включения накала, производится в следующей последовательности: напряжение коллектора, напряжение замедляющей системы, напряжения анода
- Допускается мгновенно одновременная подача напряжений коллектора и замедляющей системы. Напряжение анода подается мгновенно после установления паспортных напряжений на остальных электродах

В данной работе приводится описание двух вариантов высоковольтных источников питания для ЛБВ УВ-273А.

3 Источники высоковольтного питания

Для эксплуатационного режима работы ЛБВ необходимо обеспечить напряжение на коллекторе 2.5 кВ, напряжение на замедляющей системе 5.0 кВ и напряжение анода 3.42 кВ относительно катода, который находится под потенциалом -5 кВ. Суммарная мощность, потребляемая ЛБВ от высоковольтного источника при номинальном режиме, составляет ~ 130 Вт. На рис. 2 представлена структурная схема высоковольтного источника питания ЛБВ УВ-273А.

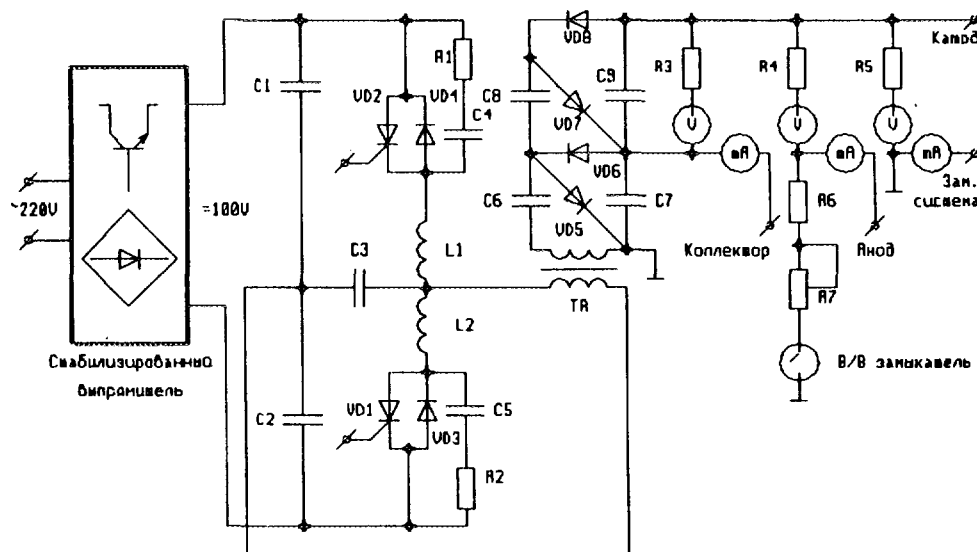


Рис. 2: Структурная схема В/В-источника

Устройство представляет собой импульсный инвертор со схемой умножения, высоковольтным узлом коммутации и стабилизатором напряжения по первичной цепи. Стабилизированный выпрямитель, выполненный по классической линейной схеме,

обеспечивает требуемый коэффициент стабилизации и уровень пульсаций на входе инвертора. Схема инвертора, включающая в себя тиристоры VD1, VD2 типа КУ-221А с шунтирующими диодами VD3, VD4 и пассивными элементами, представляет собой инвертор класса А с обратными диодами. Такие схемы характеризуются хорошей формой выходного напряжения и способностью работать при изменении коэффициента мощности нагрузки в широком диапазоне. Нагрузкой инвертора является первичная обмотка повышающего трансформатора, выполненного на ферритовом сердечнике. Коэффициент трансформации равен 12. Рабочая частота инвертора ~ 15 кГц. Умножитель напряжения выполнен на диодных выпрямительных столбах VD5 - VD8 и конденсаторах С6 - С9. Резисторы R3 - R6 являются ограничительными для измерительных приборов, а делитель R4, R6, R7 определяет напряжение на аноде ЛБВ. Напряжение на аноде появляется после включения высоковольтного замыкателя В/В.

Порядок индивидуальной настройки ЛБВ следующий:

- при отключенном В/В-замыкателе производится установка паспортного значения напряжения замедляющей системы
- включается высоковольтный замыкатель В/В
- регулировкой напряжения на входе инвертора и подстройкой анодного напряжения, производимой резистором R7, устанавливается рабочий режим по минимальному току замедляющей системы.

Выбранный режим фиксируется, и в дальнейшем запуск ЛБВ производится последовательным включением инвертора и В/В-замыкателя.

Вышеприведенная схема питания обеспечивает непрерывный режим работы ЛБВ. Ресурс работы ЛБВ составляет несколько сотен часов и обусловлен, в основном, большой мощностью рассеяния в приборе (~ 130 Вт). Частота повторений ускорительного комплекса ЛИУ - 3000 - РКУ составляет 1 Гц при длительности пучка

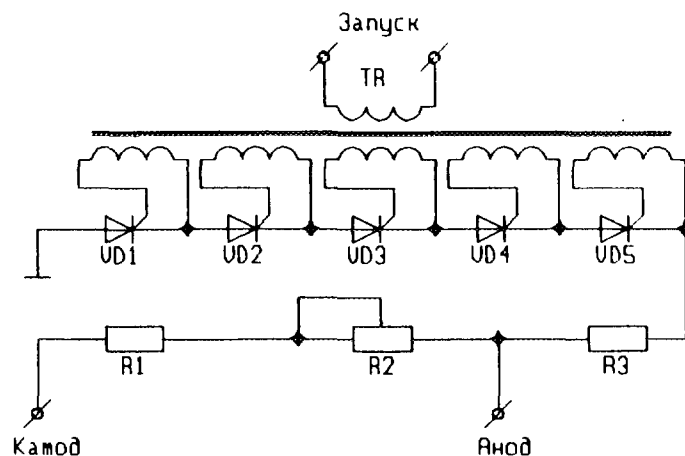


Рис. 3: Высоковольтный ключ

0.5 мкс, что позволяет перевести ЛБВ в импульсный режим работы. С этой целью был разработан источник, в котором цепь питания анода с механическим замыкателем заменена на узел с управляемым высоковольтным полупроводниковым ключом. В качестве коммутирующего элемента используется столб тиристоров, работающих в транзисторном режиме (рис.3). В ключе применены тиристоры типа Т-10-122 18 класса. Время включения и выключения ключа определяются величиной паразитной емкости и номиналами резисторов R1 - R3. В реальной схеме время включения и отключения составляет ~ 20 мкс, а длительность плато ~ 40 мкс.

Импульсный режим работы ЛБВ позволяет значительно повысить ресурс ЛБВ и, кроме того, производить калибровку СВЧ - диагностической аппаратуры при высоких уровнях мощности.

Список литературы

- [1] V.E.Balakin. "VLEPP Status" 2nd Intern. Workshop on Next-Generation Linear Colliders. KEK, Tsukuba, Japan, 1990. p69-94.
- [2] П.В. Аврахов и др. "Разработка и испытания мощных высокочастотных систем ВЛЭПП", Труды XIII совещания по ускорителям заряженных частиц, Дубна ОИЯИ, Д9-92-455, 1993, т.1, с.178—182.



RU9710295

The optimized laser photoplotter of IHEP

Bufan A.M, Ivanov A.A., Nechaev Yu.S.

The Institute for High Energy Physics, Protvino, Moscow Region, Russia

The laser flatbed photoplotter for the making printed circuit board artworks was developed and designed at the Institute for High Energy Physics (IHEP, Protvino, Moscow region, Russia). The raster scan technique of the artwork pattern drawing is used. The spinning octagonal mirror prism is used for the line sweep (X-coordinate) of the laser beam on the photomaterial (photofilm, photoglass, etc.). The frame sweep of the beam (Y-coordinate) is accomplished by the flat mirror suspended on the needle supports. The acoustooptical modulator is used as a laser beam shutter.

The geometrical location of the laser beam on the photomaterial along the Y-coordinate is determined from the angular position of the flat mirror, which is coded by the laser interferometer. The motion of the flat mirror is accomplished by the magnetoelectric driver. Its control is carried out by the digital-analog closed loop servo system with the stabilization of the deflecting mirror both on the position and on the velocity.

The spinning mirror prism is settled on the shaft with the frictionless air bearings. The rotor of the controlled asynchronous motor which rotates the shaft has rigid and coaxial mechanical linkage with the shaft. In such construction the mechanical contact between motionless and rotating parts of the unit is absent, so the wear of the unit is eliminated, the smoothness of the shaft and prism rotation is ensured and, accordingly, the high-frequency fluctuations of the speed of the beam are absent.

The coding of the beam position along the X-axis is carried out with the reference grid, which is the flat glass plate with the interchanging transparent and untransparent strips. The spinning mirror prism sweeps the unmodulated laser beam from the additional He-Ne laser with small power ($\sim 1 \text{ mW}$) on the glass plate (this laser is used also in the Y-coordinate interferometer).

The signal from the photomultiplier located behind the reference grid is used in the coding device for the X-coordinate. The number of strips is not enough for the necessary coding discreteness. That's way the interpolation is carried out in the limits of each strip period that allows to decrease the coding discreteness to demanded value.

The coding device along the X-coordinate was made so that the non-linearity of the counting scale associated with the change of the beam sweep velocity on the flat plate is eliminated.

The correlations between the geometrical position of the beam in the photomaterial plane and the coding systems readings of the photoplotter are not linear. The values of these non-linearities are determined during the calibration procedure by using the sample glass plate (located instead of the photomaterial) with the equidistant crosses. The coordinates received at the scanning of this plate during the calibration procedure permit to form the correction map over the field which is used later (at the drawing) to correct the output data so that the artwork image would not be distorted.

Such manner allows to make the optical-mechanical part of the photoplotter more simple and to lower the demands on the manufacturing precision of its separate details.

The solid-state laser with $\lambda = 532 \mu$ and the power adjustable up to 150 mW is used to expose the photomaterial.

IBM PC 286 is included in the photoplotter system. The special electronics consists of the units for the coding of the beam position on the photomaterial, for the control of beam deflectors and the acoustooptic modulator. Because the PC speed is not enough for the direct control of the modulator, the fast buffer memory is included in the electronics. It permits to output the coordinate data which correspond to the beam on/off moments for one line with the minimal intervals ~ 100 ns. The writing in this memory of the coordinates for the separate line is made from PC operative memory in the periods between the lines. In addition there is the electronics for the coding the reference crosses of the sample plate at the calibration procedure. In this electronics there is a buffer memory with the writing time ~ 200 ns.

All special electronics is located on two plug-in printed cards which are inserted into the free slots of the PC bus and, respectively, are fed by the PC power supply.

Besides the control functions PC carries out all calculations (including the handling of calibration data), the input data transformation to the photoplotter format, the data correction in accordance with the correction map, the test and diagnostic procedures, the graphic display of the printed card image, etc.

The real-time software consisting of the software for the direct control over the photoplotter devices, the programs of drawing, calibration, tests and so on, are realized mainly in Turbo C++. But some procedures which demand high speed are realized in Assembler.

The software for the data preparing in the photoplotter format (the transformation from the vector form to the raster form) from the initial data of PCAD system (PLT-format) or ACAD system (DXF-format) or from the data prepared for the drawing on the vector photoplotter (Gerber-format) and the programs for the image previewing are realized in Turbo Pascal 6.0.

The interaction of the operator with the software is accomplished under the control of integrated shell which is fulfilled in Turbo Pascal 6.0 with the using the means of object-oriented programming Turbo Vision.

The software may function under the control of MS DOS 3.3 (and higher) and demands minimal configuration AT 286, 640 Kb.

The main specifications of the photoplotter:

image area		300 × 400 mm ²
coding systems least counts:		
X-coordinate		12.5 μ
Y-coordinate		6.25 μ
scan frequency		40 lines/s
adjacent scan lines spacing		25 μ
elements imaging error	not more	±15 μ
imaging time	less than	5 min

The IHEP laser photoplotter functions in exploitation mode since 1988, in the configuration with IBM PC 286 — since the middle of 1993.

Ответственный за подготовку сборника к печати И.Н.Чурин

Д13-94-491

Редакторы М.И.Зарубина, Э.В.Ивашкевич. Монтаж Р.Д.Фоминой

Подписано в печать 28.07.95

Формат 60×90/16. Офсетная печать. Уч.-изд.листов 18,08

Тираж 250. Заказ 48447. Цена 10840 р.

Издательский отдел Объединенного института ядерных исследований
Дубна Московской области