CEA - R - 3648

8.2

PREMIER MINISTRE

COMMISSARIAT A L'ENERGIE ATOMIQUE

CEA - R - 3648

ETUDE ET REALISATION D'UN DIVISEUR - ANALOGIQUE - NUMERIQUE

par

André PÉTIN

Centre d'Etudes Nucléaires de Cadarache

Rapport CEA - R - 3648

1969

Ja

SERVICE CENTRAL DE DOCUMENTATION DU C.E.A

C.E.N - SACLAY B.P. n°2, 91 - GIF-sur-YVETTE - France

CEA-R-3648 - PÉTIN André

ETUDE ET REALISATION D'UN DIVISEUR-ANALOGIQUE-NUMERIQUE

Sommaire. - Cet appareil est destiné à fournir directement sous forme numérique la valeur du rapport $\frac{V1}{V2}$ de deux tensions analogiques. Il est constitué essentiellement d'un codeur analogique-numérique fonctionnant par pesées successives dans lequel la tension de référence est rendue proportionnelle au diviseur V_2.

La dynamique d'entrée est telle que les tensions V_1 et V_2 peuvent être comprises dans l'intervalle -50 mV à -5 V. Chacune des voies présente une impédance d'entrée d'environ 10 KΩ. En ce qui concerne le quotient, c'est un nombre binaire délivré sous les formes série et parallèle ; il est composé de 8 bits, ce qui donne une variation de 1/16 à 16 par bond de 1/16 dans la zone de meilleure précision ($V_2 \geqslant 800$ mV). ./.

CEA-R-3648 - PÉTIN André

STUDY AND ACHIEVEMENT OF A DIGITAL-ANALOG-DIVIDER

Summary. - This apparatus is designed to give directly, in digital form, the value of the ratio $\frac{V1}{V2}$ of two analog voltages. It consists essentially of an analog-digital coder operating by successive weighings ; the comparison voltage is made proportional to the divider V_2 in the coder.

The input dynamics are such that the voltages V_1 and V_2 are all in the range -50 mV to -5 V. Each of the circuits has an input impedance of about 10 KΩ. As for the quotient, it is a binary number given in series and parallel form ; it is made up of 8 bits, this giving a change of 1/16 to 16 per jump of 1/16 in the zone where the accuracy is highest ($V_2 \geqslant 800$ mV).

The time required for a division is, at best, 15 μsec. ./.

(suite CEA-R-3648)

Le temps nécessaire pour effectuer la division est au mieux de 15 μs. Durant le temps de calcul les tensions V_1 et V_2 ne doivent pas varier respectivement de plus de 1 pour cent et 0,5 pour cent.

Après avoir établi la théorie du système, les paragraphes suivants présentent la recherche d'un schéma synoptique, l'étude des circuits et la réalisation.

1969 110 p.

Commissariat à l'Energie Atomique - France

During the time of calculation, the voltages V_1 and V_2 should not vary by more than 1 per cent and 0.5 per cent respectively.

The theory of the system and the investigation of a synoptic diagram, the study of the circuits and the actual construction are presented.

1969 110 p.

Commissariat à l'Energie Atomique - France

- Rapport CEA-R-3648 -

Centre d'Etudes Nucléaires de Cadarache
Département d'Electronique Générale
Section d'Electronique et d'Instrumentation

ETUDE ET REALISATION

D'UN DIVISEUR-ANALOGIQUE-NUMERIQUE

par

André PÉTIN

(Mémoire présenté au Conservatoire National des Arts et Métiers pour l'obtention du titre d'Ingénieur C.N.A.M. - Mention Radioélectricité)

- AVRIL 1969 -

TABLE DES MATIERES

	Pages
PRINCIPALES NOTATIONS	6
1 - INTRODUCTION	8
2 - THEORIE DU SYSTEME	13
2.1. - LES GRANDEURS	13
2.2. - LE CONVERTISSEUR-ANALOGIQUE-NUMERIQUE (C.A.N.)	14
2.2.1. - Les diverses méthodes de conversion	14
2.2.2. - Le principe du C.A.N. par pesées successives	14
2.3. - LE DIVISEUR-ANALOGIQUE-NUMERIQUE (D.A.N.)	21
2.3.1. - Les caractéristiques essentielles	23
2.3.2. - La stabilité des tensions d'entrées	29
3 - RECHERCHE DU SCHEMA SYNOPTIQUE DETAILLE	33
3.1. - LA PARTIE ANALOGIQUE	33
3.1.1. - La méthode des tensions	34
3.1.2. - La méthode des courants	35
3.2. - LA PARTIE LOGIQUE OU "SELECTION DES BITS"	37
3.2.1. - La logique essentielle	38
3.2.2. - La logique annexe	39
4 - ETUDE DES CIRCUITS	41
4.1. - LES CIRCUITS ANALOGIQUES	41
4.1.1. - Le réseau de sommation "R, 2R"	41
1°) Calcul des tensions V_{jT}	41
2°) Calcul des puissances dissipées	44
3°) Etude concernant la précision	47
4.1.2. - Les générateurs de courant I_o (G.C.)	51
1°) Le circuit de base du G.C.	52
- Principe	56
- Etude de la stabilité thermique	59
- Etude de la linéarité	66
- Etude des corrections	71
2°) Le circuit de commutation	74
- Influence du transistor de commutation (T_3) sur I_o	75
- Puissance dissipée par le transistor T_3	76
3°) Quelques résultats	79
- Dérives en température	79
- Résistance interne du G.C.	80
- Temps de commutation	80

- Table des matières (suite)

	Pages
4.1.3 - Le comparateur	84
1°) Choix et étude du circuit	84
2°) Erreur	87
4.2. - LES CIRCUITS LOGIQUES	91
4.2.1. - Etude de la logique essentielle	92
1°) Liaison logique "comparateur - générateur de courant"	92
2°) Compteur en anneau	96
3°) Circuit d'horloge	96
4°) Extraction du quotient	102
4.2.2. - Etude de la logique annexe	103
1°) "Remise à zéro" initiales (RAZ_1)	103
2°) Circuit "arrêt de l'horloge"	105
3°) Circuit indicateur du nombre de bits significatifs	108
5 - REALISATION	115
5.1. - LE CIRCUIT DE TRANSLATION	116
5.2. - LES PROBLEMES LOGIQUES	117
5.3. - LA TECHNOLOGIE	119
5.4. - LES ALIMENTATIONS	121
6 - CONCLUSION	123
ANNEXES	124
BIBLIOGRAPHIE	138

REMERCIEMENTS

J'exprime toute ma gratitude à Monsieur le Professeur M.Y. BERNARD qui a accepté de patronner ce mémoire.

Je remercie vivement Messieurs POTTIER et BERBEZIER qui m'ont permis d'effectuer ce travail dans leurs laboratoires, ainsi que le personnel de leur service auprès duquel j'ai trouvé toute la compréhension et l'aide souhaitables.

J'exprime ma reconnaissance au Commissariat à l'Energie Atomique pour son aide matérielle.

Je sais gré aux personnes dynamiques qui, par leur volonté, animent l'esprit du Conservatoire National des Arts et Métiers et permettent ainsi à de nombreux travailleurs de reprendre la voie des études.

Enfin, que mon épouse reçoive ici même l'expression de ma profonde reconnaissance pour tous les sacrifices auxquels elle a consentis durant ces sept années de cours du soir qui minent la vie familiale.

PRINCIPALES NOTATIONS

A	Gain d'un système en boucle ouverte, sauf mention contraire.
A_j	Signal délivré par la $j^{ème}$ sortie de l'anneau.
β	Gain en courant d'un transistor dans le montage E.C.
CT°	Coefficient de température.
D_j	Chiffre binaire (bit) de rang quelconque.
E ou $\mathcal{E}$	Erreur.
F_E ou $F_{\mathcal{E}}$	Fonction - erreur égale à $f\ (V_1 - V_q)$.
G	Gain d'un système en boucle fermée.
H	Signal délivré par l'horloge dans le § "Etude des circuits logiques".
I_j	Courant injecté au noeud J du réseau "R, 2R".
I	Signal d'inhibition totale.
i	Signal d'inhibition partielle.
Q	Quotient binaire.
Q_s	Quotient défini par s bits.
Q_S	Quotient sous forme binaire-série.
Q_P	Quotient sous forme binaire-parallèle.
ΔQ_s	Variation minimale de Q_s c'est-à-dire : 0,0 ..... 0 1.
s	Nombre de bits significatifs de Q.
T°	Température.
Tc	Temps de conversion.
$T_{1,2}$	Ensemble de 2 transistors dans le même boîtier.
T_1, T_2	Ensemble de 2 transistors indépendants (1 par boîtier).
u	Echelon de quantification de V_q, échelon unité.
V_{jT}	Tension totale développée entre le noeud J et la liaison commune du réseau "R, 2R" c'est-à-dire aux bornes de R_{jj} ; Q est quelconque (cf. fig.4-1).
V_{jj}	Tension développée aux bornes de R_{jj} par I_j seul (Q = 0 ... 0 1 0 ... 0).
$V_{j\pm k,j}$	Tension développée au noeud J ± k sous l'effet de la seule tension V_{jj}.
$V_{j,j\pm k}$	Tension développée au noeud J sous l'effet de la seule tension $V_{j \pm k,\ j \pm k}$ créée au noeud J ± k.
V_q	Tension quantifiée définie par le principe même de la conversion par pesées successives.
V_R	Tension de référence, égale à $u\ 2^{n-1}$, égale à V_{jj} lorsque $I_j = I_o$.

V_S Tension de sortie pour un montage quelconque.

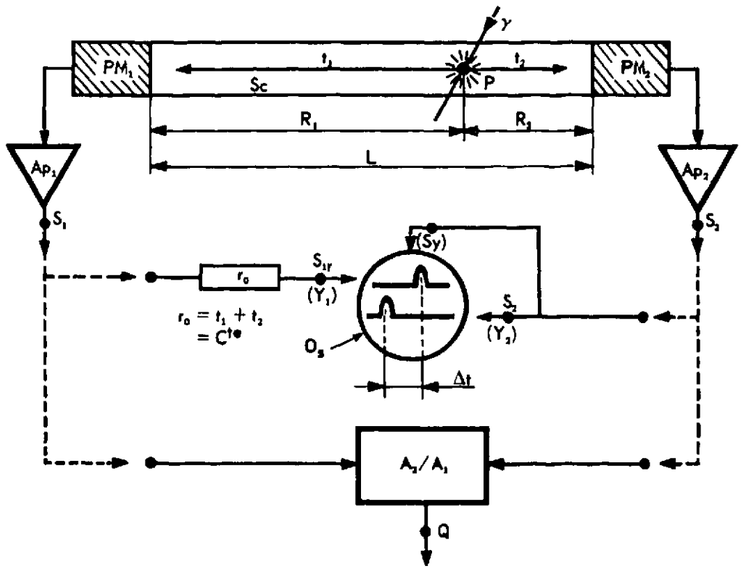
$\cap$ Symbole de la fonction logique "intersection" (ET).

$\cup$ Symbole de la fonction logique "réunion" (OU inclusif).

I - INTRODUCTION

Au cours de leurs expériences, certains physiciens recherchent plus de précision sur la zone d'interaction des rayonnements nucléaires. A cet effet, ils entrevoient la possibilité d'utiliser un long scintillateur cylindrique dont chaque extrémité serait pourvue d'un photomultiplicateur.

Lorsque le scintillateur est traversé par une particule, la zone d'interaction émet une onde lumineuse qui se propage vers chacune des photocathodes et vient les exciter. Le repérage du point d'impact de la particule incidente sera effectué selon le schéma de la figure 1-1 : soit en utilisant l'écart entre les temps de propagation des signaux délivrés par les photomultiplicateurs, soit en exploitant le rapport des amplitudes.



S_c : Scintillateur

γ : Rayonnement nucléaire

P : Point d'impact

PM : Photomultiplicateur

A_p : Amplificateur

S : Signal de sortie d'amplitude A

S_{1r} : Signal S_1 retardé de r_o

r_o : Retard supplémentaire apporté à S_1 ; il est égal au temps de propagation correspondant à la longueur totale du scintillateur. C'est une constante.

Δt : Retard de S_{1r} par rapport à S_2

R : Distance du point d'impact à la photocathode du photomultiplicateur (PM)

L : Longueur du scintillateur

S_y : Synchronisation de l'oscilloscope

O_s : Oscilloscope à deux traces (Y_1 et Y_2)

Q : Quotient

Figure 1-1

Dans la première méthode, où l'on mesure le retard du signal S_{1r} par rapport à S_2, selon les notations et le schéma employés, nous avons :

$$t_1 = \frac{\Delta t}{2},$$

d'où la détermination du point d'impact par la connaissance le l'abscisse :

$$R_1 = \frac{\Delta t}{2} \cdot \frac{L}{r_o}$$

(L et r_o sont des constantes propres au scintillateur choisi).

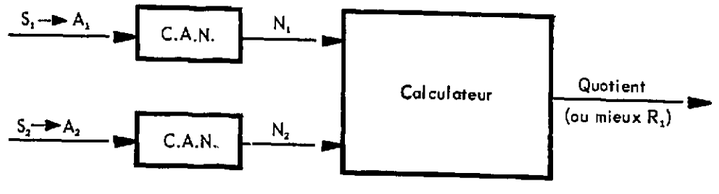
En ce qui concerne la deuxième possibilité, on étudie le rapport des amplitudes A_1 et A_2 des signaux S_1 et S_2, délivrés respectivement par les photomultiplicateurs PM_1 et PM_2. La relation liant ce rapport aux valeurs R_1 et R_2 est :

$$\frac{A_2}{A_1} = \left(\frac{R_1}{R_2}\right)^2.$$

Elle est déduite de la variation de l'angle solide, sous lequel on voit la photocathode à compter de l'abscisse R du point d'impact. Pour déterminer R_1 on voit qu'il est intéressant de posséder un appareil permettant d'effectuer l'opération A_2/A_1. Ce rapport peut être calculé par deux procédés classiques :

1°) à l'aide d'un calculateur analogique. Vu son temps de calcul, il ne semble pas convenir ici;

2°) à l'aide d'un calculateur arithmétique précédé d'un convertisseur - analogique - numérique sur chacune des entrées recevant les signaux S_1 et S_2. Cet ensemble de calcul est représenté par le schéma synoptique suivant (fig.1-2).



C.A.N. : convertisseur - analogique - numérique

(Remarque : le qualificatif "numérique" est couramment remplacé par le mot "digital", de même sens).

Figure 1-2

Cette manière de procéder immobilise un ensemble important, le calculateur, ceci pour effectuer au mieux quelques opérations, ce qui rend la méthode peu économique.

Afin de calculer le rapport A_2/A_1, une autre méthode a été élaborée à partir d'études menées dans le domaine de la conversion - analogique - numérique. Il est apparu, en effet, que cette opération devait pouvoir s'effectuer plus simplement que précédemment, par l'emploi d'un seul convertisseur - analogique - numérique (C.A.N.) quelque peu modifié (C.A.N. à référence variable c'est-à-dire diviseur - analogique - numérique, cf. § 2.3).

L'étude de ce procédé de division est l'objet de ce mémoire.

Dans un premier paragraphe, nous exposerons la théorie du système qui a pour base le principe du convertisseur - analogique - numérique, puis la transformation de ce dernier en un diviseur - analogique - numérique.

Les paragraphes suivants présenteront l'étude de la réalisation par le développement des points principaux tels que la recherche du schéma synoptique détaillé, les circuits de base et la technologie.

2 - THEORIE DU SYSTEME

Le convertisseur - analogique - numérique et le diviseur - analogique - numérique sont des appareils qui opèrent sur des grandeurs analogiques et numériques. Précisons ces dernières appellations.

2.1. - LES GRANDEURS

Dans ce mémoire nous désignerons par "grandeur analogique" une tension, un courant, etc..., dont la variation, durant le temps nécessaire à la conversion en une grandeur numérique, ne perturbe pas le résultat (cf. § 2.2.2.).

Dans le même esprit, nous appellerons "grandeur numérique" le nombre qui caractérise une collection d'unités, obtenue lors de la mesure d'une grandeur analogique à une unité près. A unité de mesure constante, la représentation de ce nombre est variable; elle est déterminée par le choix de la base (B) de numération. Soit par exemple la collection suivante :

C = §§§§§,

a) en base 10, la grandeur numérique sera 5 soit $C = 5.10^0$;

b) en base 3, la grandeur numérique sera 12, soit $C = 1.3^1 + 2.3^0$;

c) en base 2, la grandeur numérique sera 101, soit $C = 1.2^2 + 0.2^1 + 1.2^0$.

Les facteurs multiplicatifs des différentes puissances de la base sont appelés chiffres (ce sont des symboles), leur quantité définit la base (B) et toutes associations forment l'écriture du nombre. Chaque chiffre est caractérisé par son poids : c'est la puissance de la base correspondant au rang de celui-ci moins un, compté de droite à gauche.

En base 2, dans l'exemple ci-dessus, le 3ème chiffre a un poids de 2^2.

Si une confusion est à craindre sur la valeur de la base, on écrit les nombres entre parenthèses avec en indice la base utilisée. Pour les trois cas ci-dessus nous avons respectivement :

$$(5)_{10} , (12)_3 , (101)_2 .$$

En numération binaire, chacun des deux chiffres employés est souvent appelé "bit", contraction de l'expression anglo-saxonne "binary-digit".

2.2. - LE CONVERTISSEUR-ANALOGIQUE-NUMERIQUE (C.A.N.)

2.2.1. - Les diverses méthodes de conversion

Elles sont nombreuses dans les domaines électromécanique et électronique. Durant ces dernières années l'avantage est allé au convertisseur - analogique - numérique électronique compte tenu des caractéristiques telles que souplesse, vitesse et fiabilité.

Pour mémoire, citons le disque de Hilger et Watts, les méthodes à rampe (Wilkinson) et les méthodes à réaction. Dans ces dernières on notera particulièrement la méthode des pesées successives (ou méthode des poids) parce que c'est elle qui est employée dans le diviseur - analogique - numérique.

2.2.2. - Principe du C.A.N. basé sur la méthode des pesées successives

Ce principe est analogue à celui de la pesée classique effectuée à l'aide d'une balance et d'une boîte de poids. Le schéma synoptique de cette méthode est illustré par la figure 2-1 où l'on identifie les trois ensembles nécessaires à l'opération :

a) La balance dont la position du fléau renseigne sur le sens du déséquilibre. En électronique ce rôle est tenu par le comparateur (C).

b) La boîte de poids qui devient le générateur de poids.

c) L'ensemble humain : l'expérimentateur choisit les poids en fonction du sens du déséquilibre observé. C'est l'ensemble de "sélection des poids".

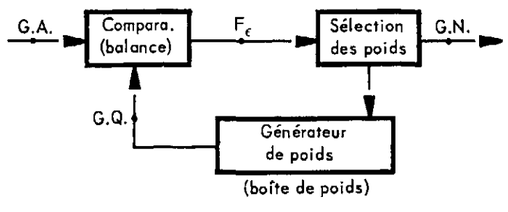


Schéma synoptique du C.A.N. par pesées successives .

Figure 2-1

Les variables essentielles qui interviennent dans la conversion sont :

G.A. (grandeur analogique) ; grandeur à convertir ;
G.Q. (grandeur quantifiée) ; grandeur délivrée par le générateur de poids ;
} elles sont de même nature.

G.N. - grandeur numérique (nombre de kilogrammes-poids, de volts, etc...) ;

F_ε = f (G.A. - G.Q.) ou fonction-erreur (indication du sens du déséquilibre) ;

Tc - temps nécessaire pour effectuer la conversion. On le nomme "temps de conversion".

En termes plus spécifiques et concis, on peut alors décrire la méthode de la façon suivante : on compare la grandeur analogique d'entrée à une grandeur quantifiée de même nature; cette dernière est variable selon un programme, lui-même variable en fonction du sens de l'erreur et non de son importance.

La notion de grandeur quantifiée est introduite pour caractériser la grandeur délivrée par le générateur de poids. On peut la définir comme étant une grandeur qui varie de manière discontinue, relativement à Tc, par quantités multiples d'une valeur de base appelée unité, échelon de quantification ou quantum (u).

A l'issue de la conversion, la valeur de la grandeur quantifiée sera définie par une relation de la forme (collection d'unités) :

$$G.Q. = (a_n \cdot B^{n-1} + a_{n-1} \cdot B^{n-2} + \dots + a_1 \cdot B^0)\, u \qquad (2.1)$$

La grandeur numérique, ou nombre, correspondant à la grandeur analogique (G.A.) mesurée avec l'unité u, sera : $a_n \; a_{n-1} \dots a_1$.

La valeur de chacun de ces coefficients est définie par l'ensemble de sélection des poids. Cet ensemble est commandé par l'information essentielle qu'est la fonction-erreur, F_ε.

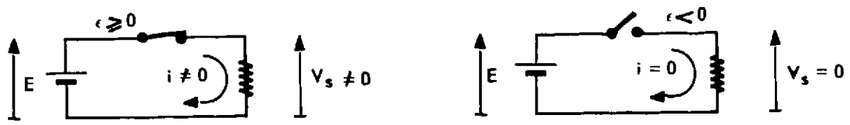
L'erreur étant définie par G.A. - G.Q., trois cas sont alors possibles :

$$\varepsilon > 0$$
$$\varepsilon = 0$$
$$\varepsilon < 0$$

Pour des raisons de simplification des circuits électriques il est souhaitable de se ramener à deux cas, tels que :

$$\varepsilon \geqslant 0$$
$$\varepsilon < 0$$

L'intérêt de ne posséder que deux cas est immédiat; cela permet de les caractériser à l'aide de deux valeurs de tension (ou de courant) dans un même circuit. En particulier, ces deux valeurs seront définies par la présence de tension (circuit électrique fermé par exemple pour $\varepsilon \geqslant 0$) ou l'absence de tension (circuit électrique ouvert) comme le représentent les schémas ci-dessous :



Les deux états possibles de V_S .

Figure 2-2

Dans ces conditions le fonctionnement en numération binaire (cf. annexe A) du convertisseur analogique - numérique est le suivant :

- Supposons que la G.A. soit une tension (V_1), la G.Q. sera donc aussi une tension (V_q). La tension V_1 étant appliquée à une des entrées du comparateur, on commence la conversion en comparant V_1 à la plus grande des valeurs de la tension quantifiée (V_q) égale à B^{n-1} u. C'est la première comparaison ou première pesée.

Si $\varepsilon_1 \geqslant 0$:

a) on maintient la tension B^{n-1} u en la multipliant par le coefficient a_n égal à 1 (le poids B^{n-1} est accepté) et

b) on engage la deuxième comparaison avec la tension V_q de la forme :

$$V_q = (1 \,.\, B^{n-1}\, u) + (a_{n-1} \,.\, B^{n-2}\, u) \;;$$

Si $\varepsilon_1 < 0$:

a) on annule B^{n-1} u en réalisant $a_n = o$ (le poids B^{n-1} est refusé) et

b) on engage la deuxième comparaison avec :

$$V_q = (0 \,.\, B^{n-1}\, u) + (a_{n-1} \,.\, B^{n-2}\, u).$$

En choisissant $\varepsilon_1 \geqslant 0$, la deuxième comparaison s'écrit selon que :

$\varepsilon_2 \geqslant 0$

a) on maintient $a_{n-1} \,.\, B^{n-2}$ u en réalisant $a_{n-1} = 1$,

b) on engage la comparaison suivante avec :

$$V_q = (1 \,.\, B^{n-1}\, u) + (1 \,.\, B^{n-2}\, u) + (a_{n-2} \,.\, B^{n-3}\, u) \;;$$

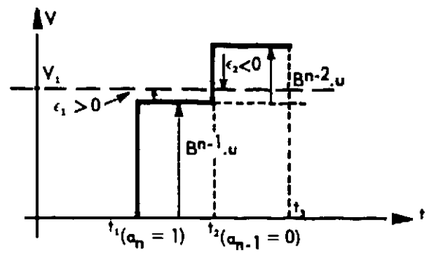
$\varepsilon_2 < 0$

a) on annule $a_{n-1} \,.\, B^{n-2}$ u en réalisant $a_{n-1} = 0$,

b) on engage la comparaison suivant avec :

$$V_q = (1 \,.\, B^{n-1}\, u) + (0 \,.\, B^{n-2}\, u) + (a_{n-2} \,.\, B^{n-3}\, u).$$

La figure 2-3 représente une évolution de V_q.



V_q ———

V_1 — —

(Durant l'intervalle de temps $t_2 - t_1$ l'erreur est positive; elle est négative ensuite de t_2 à t_3)

$t_2 - t_1$ = durée de la première comparaison

$t_3 - t_2$ = durée de la deuxième comparaison

Seule évolution possible de V_q, pour V_1 définie.

Figure 2-3

A la $p^{ème}$ comparaison la tension V_q aura pour valeur :

$$V_q = u\,(a_n\, B^{n-1} + a_{n-1}\, B^{n-2} + \ldots + a_{n-(p-1)} B^{n-p}) \qquad (2.2)$$

$$V_q = u\, B^{n-p}\,(a_n\, B^{p-1} + a_{n-1}\, B^{p-2} + \ldots + a_{n-p+1}\, B^{o})$$

où les coefficients a_n ne peuvent être égaux qu'à 0 ou 1. Dans ces conditions, la G.Q. sera définie par un nombre binaire.

Le déroulement des comparaisons successives s'effectue jusqu'à la dernière, p égal à n par exemple pour simplifier l'écriture des indices. C'est alors qu'on peut affirmer l'égalité suivante :

$$V_1 = V_q + E_n$$

$$V_1 = u\,(a_n\, 2^{n-1} + a_{n-1}\, 2^{n-2} + \ldots + a_1\, 2^{o}) + E_n \qquad (2.3)$$

où E_n est l'erreur absolue existant après la dernière comparaison (erreur résiduelle).

La série formée par V_q permet de dénombrer une collection d'unités u, égale au minimum à 0 et au maximum à $(2^n-1)_{10}$ (cf. annexe B). En choisissant l'erreur absolue maximale égale à u $\left[(E_n)\ \text{max.} = u\right]$, la relation (2.3) permet d'établir la valeur maximale de V_1 :

$$\boxed{(V_1)\ \text{max.} = 2^n\, u} \;. \qquad (2.4)$$

Si alors V_1 respecte l'inégalité

$$V_1 < 2^n u,$$

l'erreur absolue (E_n) restera inférieure à u

$$E_n < u \text{ , (cf. annexe C).}$$

La précision avec laquelle on souhaite mesurer la G.A. définit la valeur de l'échelon de quantification (u).

Quant à la plage de mesure, elle a pour limites :

$$\left.\begin{array}{lll} \text{a)} & (V_1)\ \text{min.} = 0 & (a_j = 0 \text{ et } E_n = 0) \\ \text{b)} & (V_1)\ \text{max.} = 2^n u & (a_j = 1 \text{ et } E_n = u) \end{array}\right\} j = 1,2,\ldots,n.$$

Le nombre 2^n-1 qui désigne le nombre des canaux, et la valeur u qui définit la largeur de chacun d'eux, caractérisent l'appareil.

Dans la suite de l'exposé, pour des raisons d'identification entre l'ordre des comparaisons successives et des coefficients a_n, nous écrirons la relation (2.3) de la manière suivante :

$$V_1 = V_q + E_n$$

$$= u\,(D_1\, 2^{n-1} + \ldots + D_j\, 2^{n-j} + \ldots + D_n\, 2^0) + E_n \qquad (2.5)$$

(L'écriture D_j rappelant d'une part le rang de la comparaison et d'autre part que le coefficient n'a que deux valeurs).

Le nombre binaire

$$N_B = D_1\, D_2\, D_3 \ldots D_n \qquad (2.6)$$

délivré directement par les comparaisons successives, caractérise la tension V_1 lorsqu'elle est mesurée avec l'unité u. Il est formé des n bits correspondant aux n comparaisons.

2.3. - LE DIVISEUR-ANALOGIQUE-NUMERIQUE (D.A.N.)

A l'aide de (2.6), nous pouvons écrire la relation (2.5) sous une forme plus ramassée en employant le symbolisme classique d'égalité entre la collection et le nombre la caractérisant.

Il vient :

$$V_1 = u \cdot N_B \text{ à } E_n \text{ près,} \qquad (2.7)$$

c'est-à-dire à u près, limite maximale de l'erreur absolue. Notons que si l'on effectue la somme placée entre parenthèses dans (2.5), on obtient l'équivalent de (2.7) avec un nombre décimal, non délivré directement par l'appareil.

Dans le C.A.N., l'unité u est constante, ce qui donne la relation linéaire entre V_1 et le nombre binaire N_B, résultat direct de la conversion.

Introduisons maintenant u, comme étant proportionnel à une tension V_2 :

$$u = K_1\, V_2 \text{ ,}$$

d'où

$$\frac{V_1}{V_2} = K_1\, N_B \text{ ;} \qquad (2.8)$$

en choisissant K_1 égal à 1, cette relation donne <u>directement</u> le quotient ($Q=N_B$) de la division de deux tensions ($\frac{V_1}{V_2}$), sous la forme numérique binaire :

$$\frac{V_1}{V_2} = Q \text{ .}$$

Le schéma synoptique de l'appareil capable de fournir ce quotient se déduit de la figure 2-1. Il est représenté figure 2-4.

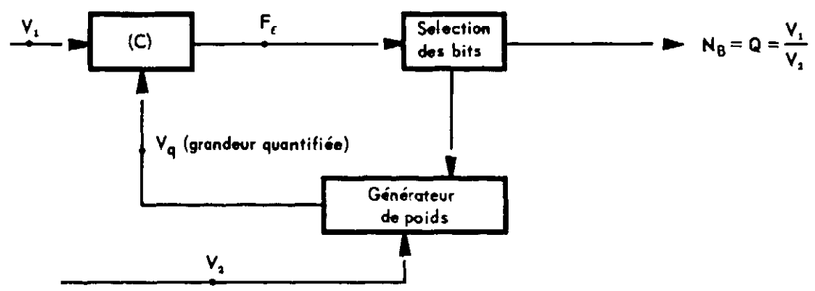


Schéma synoptique du D.A.N.

Figure 2-4

Pour des raisons de souplesse d'emploi, il est souhaitable de pouvoir mesurer un rapport supérieur ou inférieur à l'unité ($N_B \gtrless 1$). Or, dans la relation (2.5), l'exposant n désigne le nombre de comparaisons, il est donc essentiellement positif et N_B sera toujours supérieur à l'unité ou nul.

Afin d'obtenir $N_B \gtrless 1$ écrivons (2.5) (cf. annexe D) sous la forme suivante (En ce qui concerne les puissances négatives de la base, cf. [1] P. DEBRAINE ch. II) :

$$\left.\begin{aligned} V_1 &= \frac{(u\,2^{n-1})}{2^p} \cdot (D_1\,2^p + \ldots + D_{p+1}\,2^o + \ldots + D_n\,2^{p-n+1}) \\ &= \frac{V_R}{2^p} \cdot N'_B \end{aligned}\right\} \quad (2.9)$$

$= u' \cdot N'_B$, relation analogue à (2.7) où :

a) p est un nombre entier quelconque ;

b) V_R est appelée "tension de référence" pour des raisons qui apparaîtront lors de l'étude du générateur de poids (§ 3.1.2., relation (3.3.)) ;

c) $N'_B = \underbrace{D_1\,D_2 \ldots D_{p+1}}_{\substack{\text{partie entière} \\ (p+1 \text{ bits})}} , \underbrace{D_{p+2} \ldots D_n}_{\substack{\text{partie inférieure} \\ \text{à l'unité}}}$. (2.10)

Posons $V_R = K_2\,V_2$; (2.11)

si $\frac{K_2}{2^p} = 1$, il vient : $\boxed{\frac{V_1}{V_2} = N'_B}$. (2.12)

Un convertisseur - analogique - numérique, dans lequel la tension de référence est proportionnelle à une certaine tension (V_2), permet donc d'effectuer le rapport $\frac{V_1}{V_2}$: *on réalise ainsi un diviseur -analogique - numérique (D.A.N.).*

2.3.1. - Caractéristiques essentielles

Avec l'écriture binaire ci-dessus (2.10), le quotient sera compris dans l'intervalle :

$$Q_{min.} = 0{,}0 \ldots 1 \quad \text{à} \quad Q_{max.} = 1 \ldots 1{,}1 \ldots 1.$$

Dans le système décimal, ces limites valent (cf. annexe E) :

$$Q_{min.} = \frac{1}{2^{n-p-1}} \quad \text{et} \quad Q_{max.} = 2^{p+1} - \frac{1}{2^{n-p-1}} .$$

Toujours pour des raisons de commodité d'emploi, rendons cette plage de variation sensiblement symétrique par rapport à la valeur unitaire du quotient. Pour cela il suffit que nous ayons :

$$\frac{V_{1max.}}{V_{2min.}} = Q_{max.} = \frac{1}{Q_{min.}} = \frac{V_{2max.}}{V_{1min.}}$$

soit $2^{p+1} \# 2^{n-p-1}$

d'où $p = \frac{n}{2} - 1$. (2.13)

Les relations (2.11), (2.12) et (2.13) vont permettre de définir les caractéristiques principales de l'appareil.

A) $V_{1max.}$, $V_{2max.}$, $V_{1min.}$, $V_{2min.}$

Les valeurs maximales et minimales de V_1 (ou V_q, cf. fig.2-4) ont été déterminées en fonction des valeurs maximales et minimales admissibles à l'entrée du comparateur. Les circuits existant sur le marché, ou d'autres employés comme tels, admettent à l'entrée des tensions de l'ordre de :

a) 5 volts pour la valeur maximale afin d'éviter la destruction;

b) 10 millivolts pour la valeur minimale afin de délivrer, avec certitude, une information de comparaison. C'est la tension de seuil (ΔV_c).

De ce fait on prendra V_1 (ou V_q) maximale égale à 5 volts. Les valeurs minimales ont été fixées à 50 mV par compromis entre le souci de la précision (cf. § 4.1.3. et relation (4.29)) et les nécessités d'une protection contre les parasites.

B) Valeurs de p et n

Avec la tension de référence (V_R) maximale égale à 40 volts (cf. annexe F), les relations (2.11) et (2.12) conduisent à :

$$\boxed{p = 3} ,$$

soit

$$\boxed{n = 8}$$ en appliquant la relation (2.13).

C) Valeurs de $Q_{max.}$ et $Q_{min.}$

Dans le système binaire, on a donc les quotients limites suivants :

$$Q_{max.} = 1111,\ 1111 \quad \text{et} \quad Q_{min.} = 0{,}0001,$$

qui valent dans le système décimal :

$$Q_{max.} = 2^{p+1} - \frac{1}{2^{n-p-1}} = 16 - \frac{1}{16}$$

$$Q_{min.} = \frac{1}{2^{n-p-1}} = \frac{1}{16} .$$

D) Nombre de bits significatifs

Enfin il reste un problème important, celui de la variation minimale de la tension quantifiée [(V_q), décelable par le comparateur V_q est donnée par (2.3) ou son homologue en V_R (2.9)]. Pour le bit D_j qui change de valeur, cette variation, ΔV_q, vaut :

a) de (2.3), $\Delta V_q = u \cdot 2^{n-j}$;

b) de (2.9), $\Delta V_q = u' \cdot 2^{p-j+1}$.

Pour être détecté par le comparateur cette variation doit être supérieure à la tension de seuil, c'est-à-dire :

$$\Delta V_q \geqslant \Delta V_c .$$

Si cette inégalité n'est pas satisfaite, le bit D_j ne sera pas défini, de même que les suivants : les chiffres D_j, D_{j+1}, ..., D_n ne seront pas significatifs.

Soit "s" le nombre de bits significatifs :

$$Q = \underbrace{D_1\, D_2 \ldots D_{p+1} \quad D_{p+2} \ldots D_s}_{s \text{ termes}} \ldots \quad D_n$$

$$= Q_s$$

c'est-à-dire que l'on a :

$$u\, 2^{n-s} \geqslant \Delta V_c > u\, 2^{n-s-1}$$

où $u\, 2^{n-s}$ est ΔV_q minimale, décelable.

Relions maintenant ΔV_c à V_2. Ceci est possible à l'aide des relations (2.9), (2.11) et (2.12) qui permettent d'écrire :

$$u.2^{n-1} = V_R = 2^p\, V_2 ;$$

d'où il vient : $\dfrac{V_2}{2^{s-p-1}} \geqslant \Delta V_c$

$$\boxed{V_2 \geqslant 2^{s-p-1} \cdot \Delta V_c} \quad . \qquad (2.14)$$

E) Représentation graphique des différentes caractéristiques (fig.2-5)

La relation (2.12), $\dfrac{V_1}{V_2} = N'_B$, est l'équation d'un réseau de droites passant par l'origine. Son ossature en est le faisceau de "droites - maîtresses" dont les pentes sont une puissance entière de 2, ($2^{-(p+1)}$ à 2^p). La figure 2-5 représente ce réseau compte tenu de la restriction définie par (2.14). Chaque droite est caractérisée par :

- sa pente, égale à un nombre entier de 1/16 dans le système décimal. Exemple pour la droite L_1 dont la pente est 10/16, soit 0,101 en binaire.
- son point d'arrêt, défini par son intersection avec la verticale (Δ) figurant le nombre minimal de bits significatifs pouvant exprimer la pente. Exemple, P est l'intersection de L_1 et Δ_7.

Calcul de $V_{1min.}$ possible

$$V_{1min.} = Q_{min.} \cdot V_{2min.} .$$

Q étant défini par s bits, sa valeur minimale est :

$$Q_{min.} = \underbrace{0 \ldots 0,\ 0 \ldots 1}_{s \text{ bits}}$$

$$= \Delta Q_s$$

$$= 2^{p-s+1}, \text{ en écriture décimale [voir (2.9)] .}$$

Or, $V_{2min.}$, nécessaire pour mesurer Q dans ces conditions, est donnée par (2.14)

$$V_{2min.} = 2^{s-p-1} \cdot \Delta V_c ,$$

d'où

$$\boxed{V_{1min.} = \Delta V_c} \quad . \qquad (2.15)$$

Calcul de $V_{2min.}$ possible

Cette valeur est définie par :

$$V_{2min.} = \frac{V_{1min.}}{Q_{max.}}$$

où $V_{1min.} = \Delta V_c .$

$V_{2min.}$ devant satisfaire la relation (2.14), on a :

$$\frac{\Delta V_c}{Q_{max.}} = 2^{s-p-1}\, \Delta V_c ,$$

soit $Q_{max.} = 2^{p-s+1} .$

En prenant la valeur minimale pour s ($s_{min.} = 1$), et puisque p = 3, $Q_{max.}$ vaut :

$$Q_{max.} = 8 ,$$

soit

$$\boxed{V_{2min.} = \frac{\Delta V_c}{8}} \quad . \qquad (2.16)$$

C'est la valeur qui apparaît sur le graphique de la figure 2-6, laquelle précise la figure 2-5 pour $V_2 < \Delta V_c$. Notons que dans ce cas, le quotient n'étant défini que par un seul bit, la précision sur $V_{2min.}$ sera très mauvaise (de l'ordre de 50 %) (cf. annexe G).

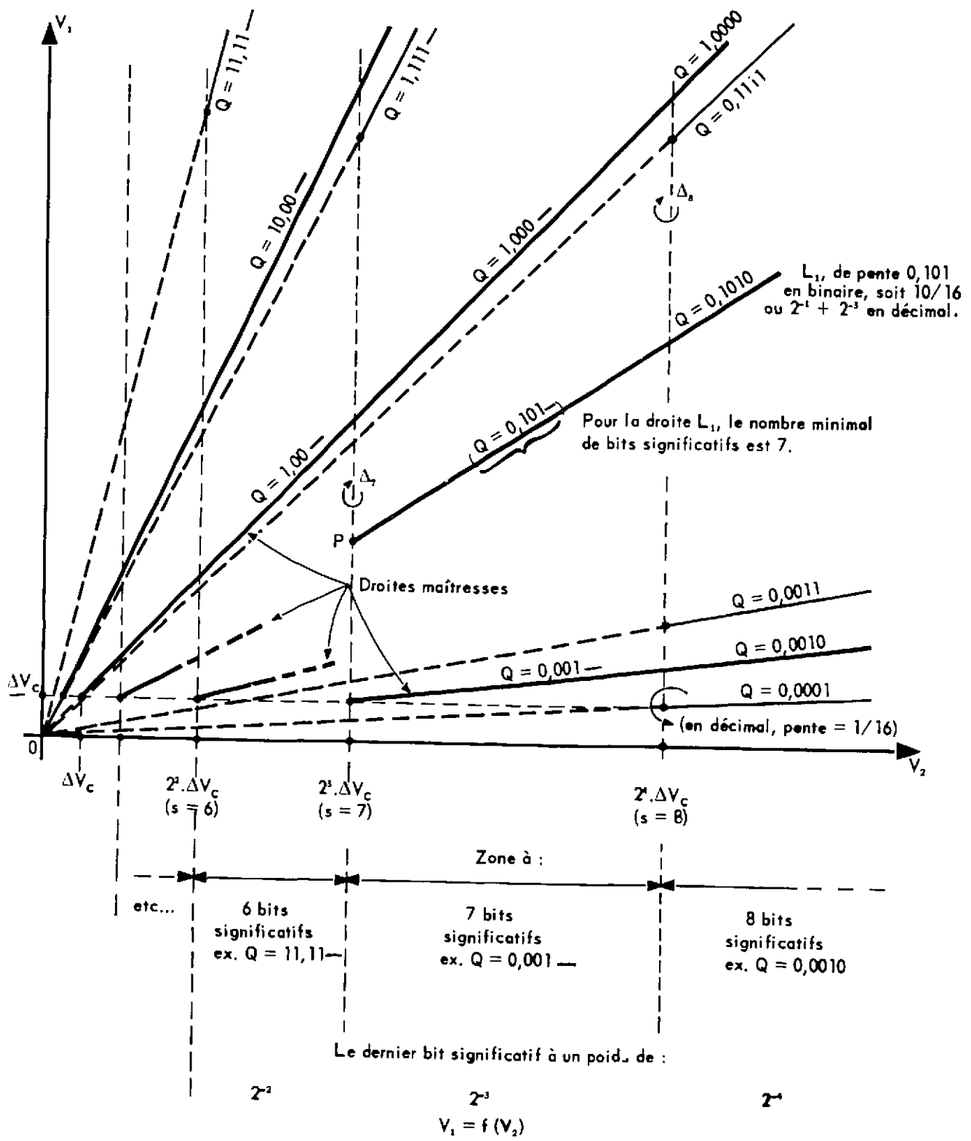


Figure 2-5

2.3.2. - Stabilité des tensions d'entrées V_1 et V_2

La figure 2-6 montre que, suivant les valeurs de V_1 et V_2, les limites de leur stabilité, sans répercussion sur Q, seront très différentes. Calculons les valeurs supérieures de ces stabilités :

à V_2 constant, on a :

$$\Delta V_1 = \Delta Q \cdot V_2 ,$$

or, l'on admet ΔV_1 si $\Delta Q < \Delta Q_s$, d'où :

$$\Delta V_1 < \Delta Q_s \cdot V_2 .$$

Cette inégalité est d'autant plus sévère que ΔQ_s et V_2, fonction de s, sont faibles.

Pour s bits significatifs on a déjà vu que :

$$\Delta Q_s = 2^{p-s+1} ,$$

et de (2.14) : $(V_2)_{min.} = 2^{s-p-1} \cdot \Delta V_c$.

La limite supérieure de ΔV_1 est donc égale à :

$$\boxed{\Delta V_1 = \Delta V_c} . \qquad (2.17)$$

Avec les valeurs de $V_{1max.}$ et ΔV_c prévues au paragraphe précédent, la stabilité sur V_1 doit être meilleure que 10^{-2} ;

à V_1 constant, on a :

$$\frac{\Delta V_2}{V_2} = \frac{\Delta Q}{Q + \Delta Q} .$$

Pour la même raison que ci-dessus on doit avoir :

$$\frac{\Delta V_2}{V_2} < \frac{\Delta Q_s}{Q_{max.} + \Delta Q_s} .$$

Or pour s bits significatifs, $Q_{max.}$ vaut en décimal :

$$Q_{max.} = 2^p + 2^{p-1} + \dots + 2^{p-s+1}$$

$$= 2^{p+1} - 2^{p-s+1} ,$$

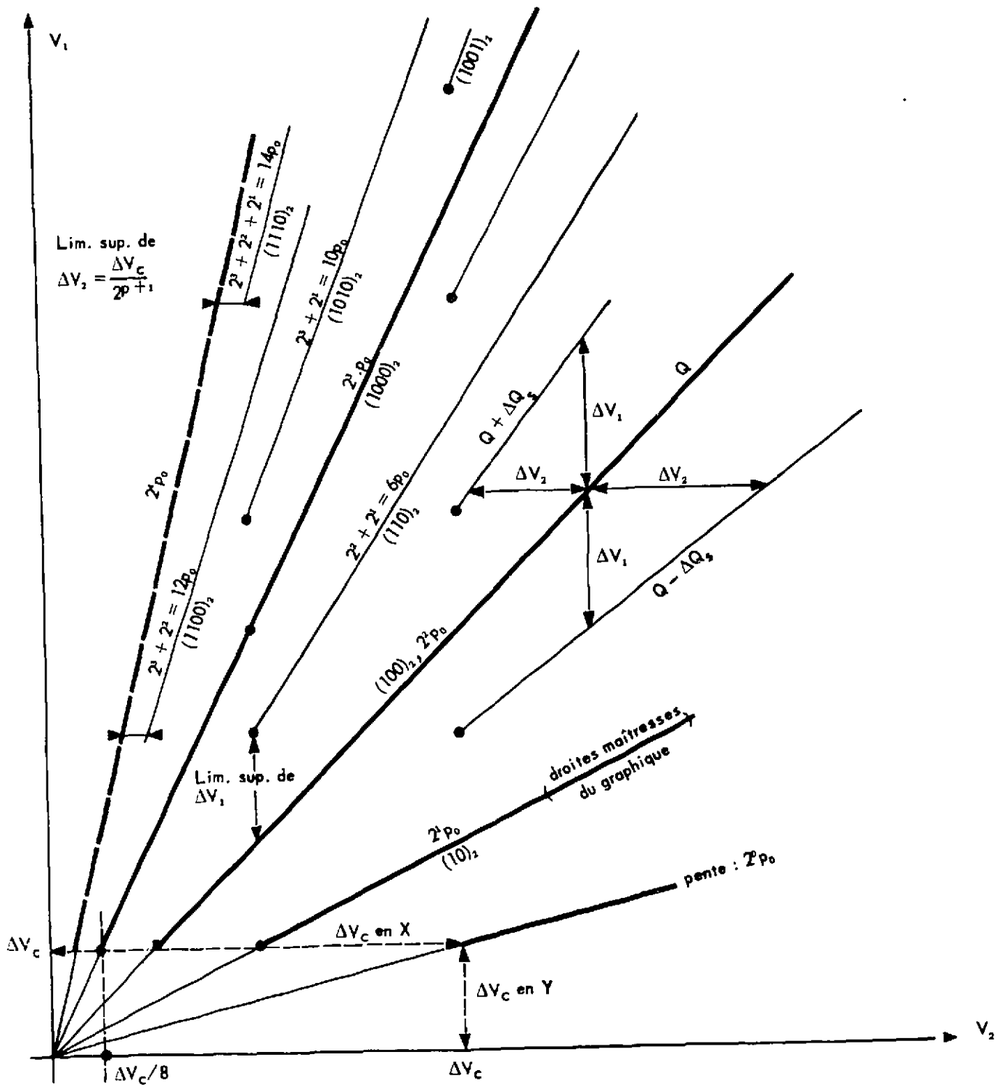
d'où $$\frac{\Delta Q_s}{Q_{max.} + \Delta Q_s} = \frac{1}{2^s} ,$$

et la limite supérieure de $\frac{\Delta V_2}{V_2}$ devient : $$\boxed{\frac{\Delta V_2}{V_2} = \frac{1}{2^s}} . \qquad (2.18)$$

Donc, on ne peut définir Q, avec le maximum de chiffres significatifs (s = 8), que si V_2 et $\frac{\Delta V_2}{V_2}$ satisfont respectivement les relations (2.14) et (2.18); cela nécessite sur V_2 une stabilité meilleure que 4.10^{-3}.

En remplaçant V_2 en fonction de s et ΔV_c [relation (2.14)] on détermine la limite supérieure de ΔV_2. Elle vaut :

$$\Delta V_2 = \frac{\Delta V_c}{2^{p+1}} \quad \text{(cf. fig.2-6).}$$



N O T A : Les échelles sont différentes pour la représentation de V_1 et V_2 .

P_0 : pente unitaire .

$(100)_2$: nombre dans le système binaire .

Etude de la stabilité nécessaire sur les tensions d'entrée .

Figure 2-6

3 - RECHERCHE DU SCHEMA SYNOPTIQUE DETAILLE

Après la théorie du D.A.N., il est nécessaire de voir plus en détail la façon dont on va réaliser les différents organes mentionnés sur la figure 2-4. Cette étude se divise en deux parties relatives aux ensembles analogique et logique.

3.1. - ETUDE DE LA PARTIE ANALOGIQUE

Cette partie rassemble l'étude du comparateur et celle du générateur de poids.

Le comparateur est le circuit de liaison entre les grandeurs analogiques (V_1 et V_q) et la première grandeur logique (F_ε). La fonction qu'il doit réaliser peut être assurée par l'emploi des "amplificateurs opérationnels intégrés". [9].

Le générateur de poids sera défini par la manière dont on va créer la tension quantifiée (V_q) qui apparaît, à la suite de l'étude théorique, dans la relation (2.3) ou ses équivalentes (2.5) et (2.9).

La relation (2.5) montre que V_q résulte de la somme des tensions partielles suivantes (u étant l'échelon de quantification) :

$$D_1 V_1 \quad \text{où} \quad v_1 = 2^{n-1} u$$

$$D_j V_j \quad \text{où} \quad v_j = 2^{n-j} u$$

$$D_n V_n \quad \text{où} \quad v_n = 2^0 u .$$

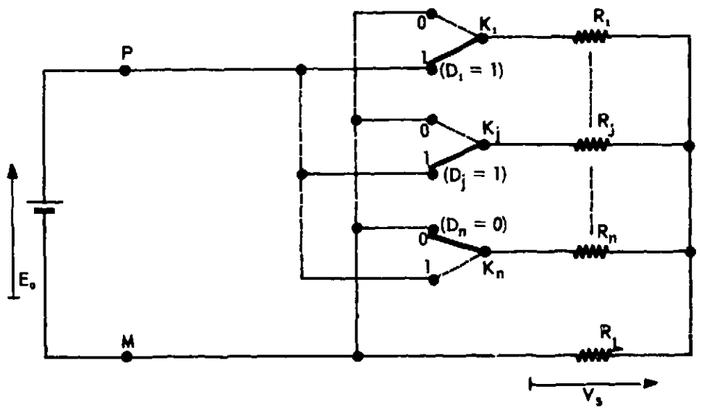
Elles sont liées entre elles par la relation de récurrence :

$$V_j = 2 V_{j+1} . \qquad (3.1)$$

Pour créer V_q il existe plusieurs méthodes.

3.1.1. - La méthode des tensions

Citons-la rapidement pour mémoire, parce que nous ne l'avons pas retenue. Son circuit est le suivant (figure 3-1) :



Générateur de tensions partielles, c'est-à-dire générateur de poids.
(réseau à résistances pondérées)

Figure 3-1

Si on réalise : $R_L = R_n$

$$\text{et} \quad R_j = \frac{R_{j+1}}{2} \quad \text{soit} \quad R_j = 2^{j-1} R_1 ,$$

l'on a :

$$V_S = \frac{E}{2^n} (D_1 2^{n-1} + \dots + D_j 2^{n-j} + \dots + D_n 2^0)$$

où D_j prend la valeur "1" ou "0" suivant que l'interrupteur K_j établit respectivement la connexion avec P ou M.

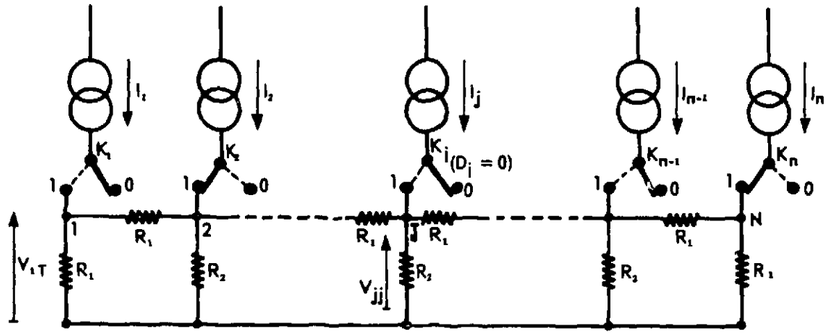
La comparaison de cette relation avec (2.5) montre que la tension V_S peut jouer le rôle de la grandeur V_q.

Par suite de la relation liant R_j à R_1, ce réseau est dit "à résistances pondérées".

3.1.2. - La méthode des courants

Le circuit suivant est à résistances non pondérées; il est réalisé à partir de seulement deux valeurs de résistances conformément au schéma de la figure 3-2.

Nous l'avons retenu pour cette particularité de constitution qui permet d'atteindre une fréquence de coupure supérieure à celle du circuit précédent (résistances de valeurs plus élevées à mêmes capacités parasites).



Générateur de tensions partielles (réseau "R, 2R").

Figure 3-2

Cette disposition lui vaut l'appellation de "circuit en échelle" (ladder network). On la désigne aussi par réseau "R, 2R" car on a choisi la relation très simple (cf. annexe H) :

$$R_2 = 2 R_1 .$$

Chacun des noeuds 1, 2, ..., J, ..., N du réseau est alimenté par un générateur de courant (G.C.). Si un seul interrupteur K_j est sur la position "1", tous les autres étant sur "0", la tension (V_{jj}) créée au point J par le générateur I_j est :

$$V_{jj} = R_{eq} I_j .$$

En chacun des noeuds adjacents J + 1 et J - 1, les tensions notées $V_{j+1,j}$ et $V_{j-1,j}$, seront :

$$V_{j+1,j} = V_{j-1,j} = \frac{V_{jj}}{2} .$$

Par un raisonnement récurrent, on établit :

$$V_{j\pm q,j} = \frac{V_{jj}}{2^q} . \qquad (3.2)$$

En prenant j - q = 1 cette relation exprime la tension au noeud n°1 créée par le courant I_j injecté au point J :

$$V_{1j} = \frac{V_{jj}}{2^{j-1}} .$$

Exprimons que cette tension est nulle, ou non, suivant que l'interrupteur K_j est sur la position "0" ou "1" en la multipliant par le coefficient D_j égal respectivement à 0 ou 1. Dans ces conditions, étudions au noeud n°1 la tension totale (V_{1T}) créée par la somme de toutes ces tensions élémentaires :

$$V_{1T} = \sum_{j=1}^{j=n} D_j \, V_{1j} \; .$$

En imposant tous les courants égaux entre eux ($I_j = I_o$) on a :

$$V_{jj} = V_{11} = V_{22} = \dots = V_{nn} = R_{eq} \, I_o \; . \qquad (3.3)$$

Cette tension particulière est appelée "tension de référence" et se note V_R. La tension V_{1T} vaut alors :

$$V_{1T} = D_1 \frac{V_R}{2^o} + D_2 \frac{V_R}{2^1} + \dots + D_j \frac{V_R}{2^{j-1}} + \dots + D_n \frac{V_R}{2^{n-1}} \; ,$$

où

$$V_{1T} = \frac{V_R}{2^{n-1}} (D_1 \, 2^{n-1} + D_j \, 2^{n-j} + \dots + D_n \, 2^o) \; . \qquad (3.4)$$

Cette tension, comme celle délivrée par le circuit précédent, peut s'identifier à la tension quantifiée V_q apparaissant dans l'égalité (2.5). On en déduit la valeur de l'unité, ou échelon de quantification :

$$u = \frac{V_R}{2^{n-1}} \; . \qquad (3.5)$$

De même, chaque tension élémentaire devient une tension partielle (v_j) qui s'écrira dorénavant V_{1j}.

En conclusion, ce type de réseau sommateur répond à nos besoins, tout en apportant de meilleurs temps de commutations que le précédent et une réalisation technologique plus simple par l'emploi de seulement deux valeurs de résistances. Ce dernier point est très important vu la précision élevée, exigée pour les résistances (§ 4.1.1.). En échange il est plus exigeant quant à sa mise en oeuvre puisqu'il nécessite un générateur de courant par noeud, c'est-à-dire par poids délivré.

3.2. - ETUDE DE LA PARTIE LOGIQUE OU "SELECTION DE BITS"

A partir des informations délivrées par le comparateur, cet ensemble doit permettre :

- l'acceptation ou le refus des tensions partielles successivement présentées par le générateur de poids, comme il est expliqué dans le processus de la formation de la relation (2.2);

- l'exploitation aisée du résultat brut fourni par le choix ci-dessus : acceptation ou refus.

Pour parvenir à ce double but, on devra organiser respectivement la logique essentielle et la logique annexe.

3.2.1. - La logique essentielle - (Figure 3-4, trait continu)

Un circuit du type "horloge", après avoir reçu l'ordre de "début d'opération", déclenchera à chacune des périodes (T_H) de son signal (H), la création d'une tension partielle (V_{1j}) et l'exploitation du résultat de la comparaison correspondante, (fig.3-3).

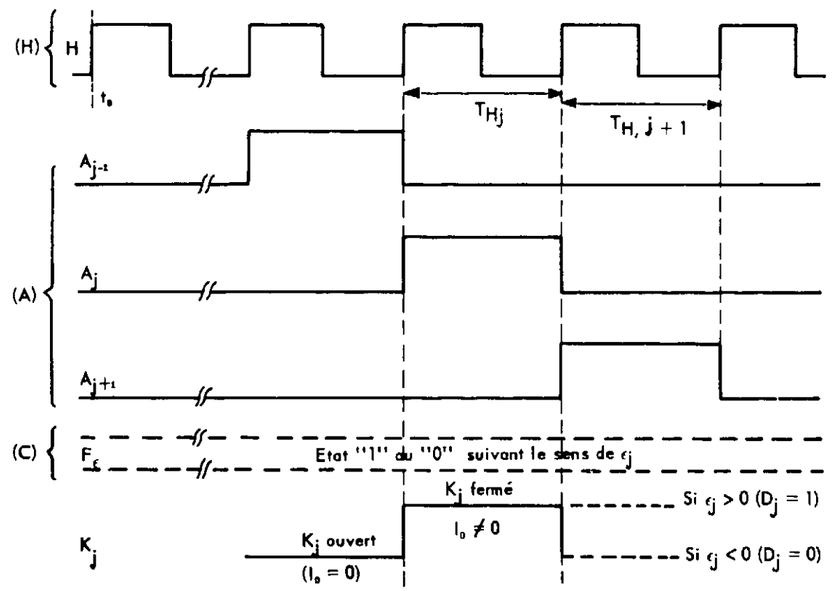


Diagramme des temps de la logique essentielle .

Figure 3-3

Le rang "j" de chaque tension V_{1j} sera déterminé par un circuit du type "anneau" qui comptera les périodes du signal d'horloge depuis le temps t_o définissant le commencement de l'opération. Ce comptage permettra de fermer ($D_j = 1$), puis d'ouvrir ($D_j = 0$) - s'il y a lieu ($\varepsilon_j < 0$) - l'interrupteur K_j (figure 3-2) correspondant à la $j^{ème}$ pesée.

Ces explications sont précisées par le diagramme des temps représenté sur la figure 3-3.

Chacun des interrupteurs K_j peut être réalisé à partir d'un bistable, lequel commandera à un amplificateur différentiel le passage d'un état saturé à l'autre.

3.2.2. - La logique annexe (figure 3-4, traits discontinus)

Un des premiers points à obtenir est la synchronisation des états de l'anneau avec la fermeture ou l'ouverture des interrupteurs K_j. A chacun de ces derniers doit être attaché un état précis de l'anneau. Cet impératif sera réalisé par la mise au point d'un circuit du type "horloge déclenchée" et par l'application de signaux de "remise à zéro", sur l'anneau et les générateurs de courants.

Un deuxième point important est la réalisation d'un circuit qui rende nul chacun des bits du quotient à compter du moment où l'on a :

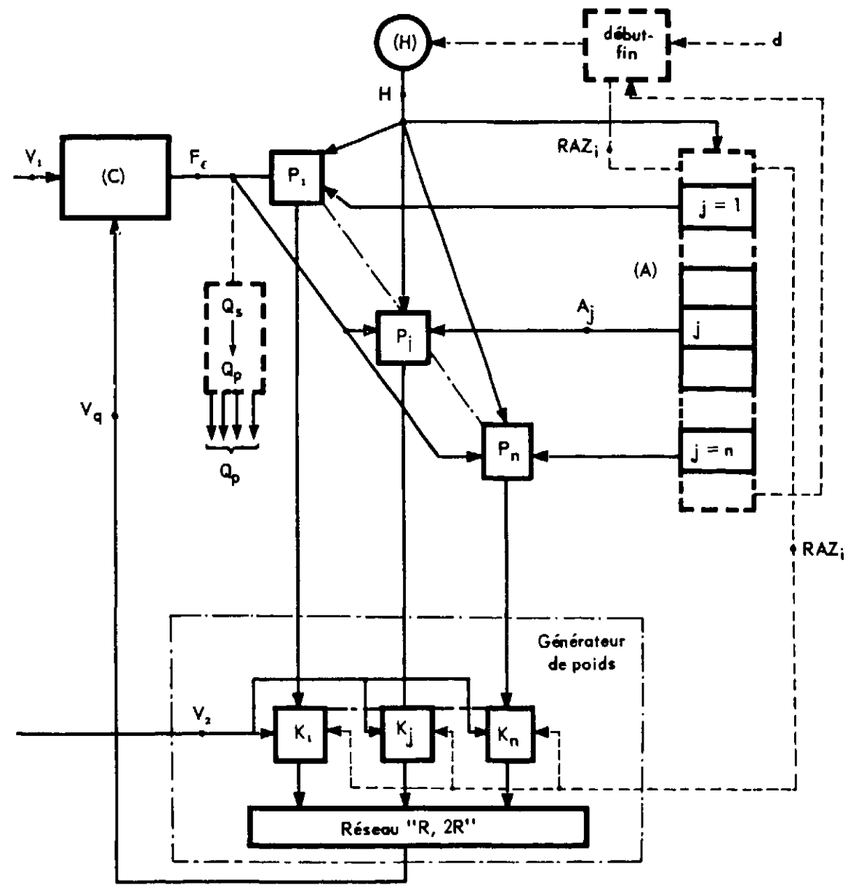
$$V_{1j} < \Delta V_c \quad \text{c'est-à-dire} \quad (j \geqslant s+1).$$

Cela revient à appliquer la relation (2.14) (§ 2.3.1.) qui découle de cette constatation. Une partie de ce circuit devra donner une information concernant le nombre de bits significatifs, ou plus simplement le nombre de bits significatifs placés après la virgule, si on admet pour $V_{2min.}$ non pas la valeur possible définie par (2.16) mais plutôt ΔV_c :

$$V_{2min.} = V_{1min.} = \Delta V_c .$$

Cela réduit bien entendu le nombre de quotients mesurables, mais cette réduction n'est que de l'ordre de 2 % (cf. annexe I). De plus, cet effet est encore minimisé par le fait que les quotients perdus se situent dans une zone à mauvaise définition ($s \leqslant 3$), voir la figure 2-5.

Enfin il reste à concevoir, dans le cadre de la logique annexe, la possibilité de délivrer le quotient, nombre binaire, pour une exploitation du type série ou parallèle.



Ebauche des fonctions logiques .

Figure 3-4

4 - ETUDE DES CIRCUITS

Dans ce paragraphe, il s'agit de préciser, à la fois sur l'aspect théorique et technologique, les circuits retenus lors de la recherche du schéma synoptique détaillé. *Ce dernier se scinde en parties analogiques et logiques; nous conserverons* cet ordre pour l'analyse des circuits se rapportant à chacune d'elles.

4.1. - LES CIRCUITS ANALOGIQUES

La figure 3-2, au § 3.1., montre que le générateur de poids est constitué de deux parties importantes qui sont :

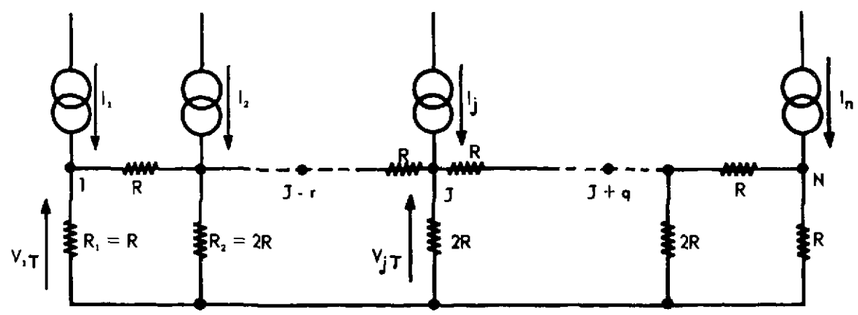
- le réseau de sommation "R, 2R" ;
- les générateurs de courant I_o.

Ensuite sera étudié le circuit comparateur.

4.1.1. - Le réseau de sommation "R, 2R"

1°) Calcul de la tension V_{jT}

Rappelons, figure 4-1, le schéma déjà vu à la figure 3-2, mais sur lequel, pour simplifier, nous allons supprimer les interrupteurs K_j.



Etude du réseau "R, 2R".

Figure 4-1

Nous avons déjà établi la relation de la tension, en bout de réseau, en fonction de la valeur du courant I_o injecté en chacun des noeuds [voir relation (3.4.)] :

$$V_{1T} = \frac{V_R}{2^{n-1}} \left(D_1\, 2^{n-1} + \dots + D_n\, 2^o\right) \qquad (4.1)$$

où de (3.3),

$$\left.\begin{aligned} V_R &= R_{eq}\, I_o = \frac{2\,R}{3}\, I_o \\ \text{avec, de (2.12) et (2.11),} \quad V_R &= 2^p\, V_2 \quad (p = 3)\,. \end{aligned}\right\} \qquad (4.2)$$

Afin de ne pas perturber les générateurs de courant (G.C.), évidemment non parfaits (cf. § 4.1.2., fig.4-4), il faut calculer la tension totale en un point quelconque (V_{jT}) du réseau. De la relation (3.2), $V_{j\pm q,j} = \frac{V_{jj}}{2^q}$, qui donne la tension au noeud $J \pm q$ due à l'injection de I_o au noeud J, on établit par raison de symétrie :

$$V_{j,\ j\pm q} = \frac{V_{j\pm q,\ j\pm q}}{2^q}\,.$$

Ce qui exprime la tension au noeud J, ($V_{j,j\pm q}$), due à la seule tension créée en un noeud quelconque $J \pm q$, ($V_{j\pm q,\ j\pm q}$).

Puisque $V_{jj} = V_R$ (3.3), la tension totale au point J, lorsque tous les coefficients D_j sont égaux à 1, s'écrit :

$$V_{jT} = V_R + \sum_{q=1}^{q=n-j} \frac{V_R}{2^q} + \sum_{r=1}^{r=j-1} \frac{V_R}{2^r} \qquad (4.3)$$

$$V_{jT} = h_n\, V_R$$

où n = q+r+1.

Cette tension varie avec "j"; elle est maximale ([2] § 4.2.2.d) pour :

a) $q = r$ si n = impair, d'où $j = \frac{n+1}{2}$

b) $\left.\begin{aligned} r_1 &= \frac{n}{2} - 1 \text{ et } q_1 = \frac{n}{2} \\ r_2 &= \frac{n}{2} \text{ et } q_2 = \frac{n}{2} - 1 \end{aligned}\right\}$ si n = pair, d'où $\left\{\begin{aligned} j' &= \frac{n}{2} \\ j'' &= \frac{n}{2} + 1 \end{aligned}\right.$

et $(h_n)\text{max.} = H_n$.

Comme ici n = 8, la configuration de V_{jT}, le long du réseau, présente son maximum en j' = 4 et j" = 5, tel que :

$$(V_{4,T})\text{max.} = (V_{5,T})\text{max.} = 2{,}81\ V_R\ . \qquad (4.4)$$

Compte tenu de l'usage que nous faisons de ce réseau, nous pouvons réduire cette valeur en remarquant que V_R et Q n'ont pas leurs valeurs maximales simultanément. En

effet, la relation ci-dessus est calculée en admettant que tous les interrupteurs K_j ($n = 8$, soit $Q = 1111,1111$) sont sur la position $D_j = 1$ ($I_j \neq 0$). Or pour (V_R)max., c'est-à-dire pour V_2max., le quotient ne peut être égal, au plus qu'à :

$$\frac{V_{1max.}}{V_{2max.}} = 1 .$$

Cette valeur étant immédiatement supérieure à $Q = 0,1111$, seul ce dernier cas nous intéresse pour calculer (V_{jT})max. car $H_4 > H_1$; cela correspond en effet, à un réseau formé de 4 noeuds. Dans ces conditions, on a donc de (4.3) :

$$\boxed{(V_{jT})max. = (V_{6,T})max. = (V_{7,T})max. = 2,25\ V_R} \qquad (4.5)$$

ce qui conduit à [voir (4.2)] :

$$(V_{jT})max. = 90\ V \text{ pour } V_2max. = 5\ V .$$

2°) Calcul des puissances maximales dissipées

- P_1, puissance dissipée dans les résistances $R_{j,j\pm1}$ (voir fig.4-2)

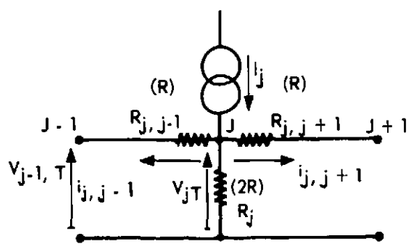


Figure 4-2
Répartition des courants au noeud J .

Trois cas sont à considérer (cf. annexe J) desquels il ressort que P_1 est maximale seulement si q + 1 courants I_o, successifs, sont injectés (ex : Q = 0011,1000).

En exprimant cette puissance en fonction de la résistance (R'_E) qui lie la tension V_2 au courant I_o ($V_2 \approx R'_E\ I_o$), soit de (4.2) :

$$\boxed{R_{eq} = \frac{2\ R}{3} = 2^p \cdot R'_E} , \qquad (4.6)$$

il vient pour P_1 maximale :

$$\boxed{P_{1max.} = \frac{117,5}{R'_E}} . \qquad (4.7)$$

- P_2, puissance dissipée dans les résistances R_j (fig.4-2)

$$(P_2)_{max.} = \frac{\left[(V_{jT})_{max.}\right]^2}{R_j}$$

$$= \frac{(H_n)^2\ (V_{Rmax.})^2}{R_j}$$

$$\boxed{(P_2)_{max.} = 2^p\ \frac{(H_n)^2}{3}\ \frac{V^2_{2max.}}{R'_E}} . \qquad (4.8)$$

Avec la remarque déjà faite à propos de l'établissement de (4.5), c'est-à-dire :

$$(h_n)_{max.} = H_4 = 2,25 \quad \text{et} \quad V_{2max.} = 5 \text{ volts},$$

il vient :

$$\boxed{(P_2)_{max.} = \frac{338}{R'_E}} . \qquad (4.9)$$

Quel que soit Q, cette valeur maximale ne sera pas dépassée (cf. annexe K).

Avec $R'_E > 400\ \Omega$ pour des raisons de sécurité relatives à la dissipation du circuit µA 702 (amplificateur opérationnel utilisé dans le générateur de courant, cf. fig.4-7), la relation (4.9) donne :

$$(P_2)_{max.} < 845\ mW .$$

Vu les impératifs de stabilité en température et de précision (voir ci-dessous l'étude de la précision), cette puissance sera choisie de l'ordre de 400 mW, afin de pouvoir employer les résistances de haute classe que sont les résistances à film métallique déposé sur verre (VISHAY - SFERNICE par exemple). Ce choix conduit à prendre R'_E de l'ordre de 800 Ω, soient des valeurs un peu fortes pour R_j et $R_{j,j\pm1}$ (voir 4.6) si l'on est exigeant sur le temps de commutation, (effet des capacités parasites). Ici, étant particulièrement préoccupé par la puissance, nous avons conservé

$$R'_E = 800\ \Omega ,$$

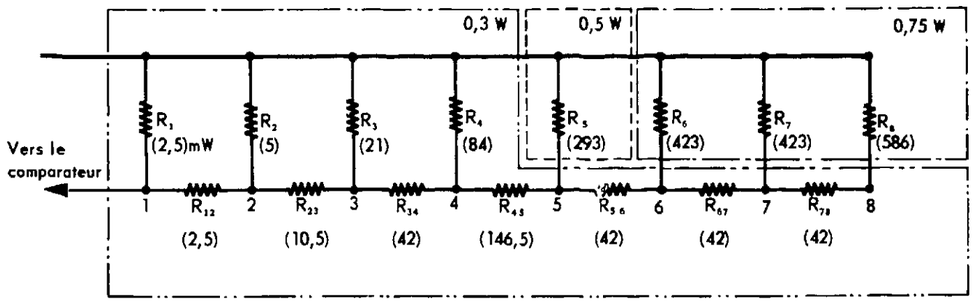
d'où

$$R_j = 2R = 19.200\ \Omega \qquad (4.10)$$

et

$$R_{j,j\pm1} = R = 9.600\ \Omega .$$

Enfin il reste à évaluer les puissances maximales dissipées dans chacune des résistances du réseau. Pour ce calcul, le procédé le plus simple est de dresser un tableau (cf. tableau I à l'annexe L) duquel il ressort, pour chacune des résistances, les puissances maximales récapitulées par la figure 4-3. Sur cette dernière, les valeurs entre parenthèses sont exprimées en milliwatts.



(Les cadres divisent le réseau en 3 valeurs de normalisation).

Puissances maximales dissipées par les différentes résistances du réseau.

Figure 4-3

Vu les normalisations de puissance des résistances employées, nous voyons que :

R_6, R_7, R_8 seront du type 0,75 W

R_5 " " 0,5 W

toutes les autres " " 0,3 W .

3°) <u>Etude concernant la précision</u>

Déterminons ici qu'elle doit être la précision relative des résistances constituant le réseau, afin que l'erreur absolue maximale commise sur V_{1T} soit petite devant la tension partielle unitaire ($V_{1,8}$). Ce qui s'écrit :

$$\Delta V_{1T} \ll V_{1,8} \ .$$

Pour cette étude il est bon de se reporter au § 4.3. de [2], où l'on établit notamment que :

$$\frac{\Delta V_{1j}}{V_{1j}} = \frac{\Delta V_{jj}}{V_{jj}} + (j - 1)\frac{\Delta R}{R} \qquad (4.11)$$

avec $R = R_{j,j\pm1}$ et en employant des résistances de même précision pour tout le réseau.

Cette relation exprime la dégradation de la précision, en fonction de l'atténuation le long du réseau.

Comme $V_{jj} = V_R$

et que $V_R = R_{eq}\, I_o \qquad (I_o = I_1 = I_2 = \dots I_j)$,

on a :
$$\frac{\Delta V_{1j}}{V_{1j}} = \frac{\Delta I_o}{I_o} + j\,\frac{\Delta R}{R} \ . \qquad (4.12)$$

Pour un quotient de la forme :

$$Q = \dots 0011 \dots$$

l'erreur absolue maximale commise sur V_{1T} est :

$$\Delta V_{1T} = \dots + 0 + 0 + \Delta V_{1j} + \Delta V_{1,j+1} + \dots \Delta V_{1n} \qquad (4.13)$$

$$= \frac{\Delta I_o}{I_o}\,(V_{1j} + V_{1,j+1} + \dots + V_{1n})$$

$$+ \frac{\Delta R}{R}\left[j\,V_{1j} + (j+1)\,V_{1,j+1} + \dots + n\,V_{1n}\right] .$$

Or, en se reportant à (3.2), d'où l'on déduit

$$V_{1j} = \frac{V_{jj}}{2^{j-1}} ,$$

soit
$$V_{1,j+q} = \frac{V_R}{2^{j-1+q}}$$ pour un noeud quelconque placé entre j et n,

il vient pour ΔV_{1T} :

$$\Delta V_{1T} = \frac{\Delta I_o}{I_o}\,V_R \sum_{q=o}^{q=n-j} \frac{1}{2^{j-1+q}}$$

$$+ \frac{\Delta R}{R}\,V_R \sum_{q=o}^{q=n-j} \frac{(j+q)}{2^{j-1+q}}$$

$$= \frac{\Delta I_o}{I_o} \cdot V_R \cdot M + \frac{\Delta R}{R} \cdot V_R \cdot N$$

où $M = \dfrac{1}{2^{j-1}} \displaystyle\sum_{q=o}^{q=n-j} \frac{1}{2^q}$ $\qquad N = \dfrac{1}{2^{j-1}} \displaystyle\sum_{q=o}^{q=n-j} \frac{j+q}{2^q}$

et $V_R \cdot M = V_{1j} + V_{1,j+1} + \dots + V_{1n}$
$= V_{1T}$.

L'erreur relative s'écrit donc :

$$\frac{\Delta V_{1T}}{V_{1T}} = \frac{\Delta I_o}{I_o} + \frac{\Delta R}{R} \cdot \frac{N}{M} .$$

En admettant une précision relative sur I_o et R du même ordre de grandeur,

$$\frac{\Delta I_o}{I_o} = \frac{\Delta R}{R} ,$$

on a :

$$\frac{\Delta V_{1T}}{V_{1T}} = \frac{\Delta R}{R} \left(\frac{N}{M} + 1\right) . \qquad (4.14)$$

Or, nous voulons $\Delta V_{1T} \ll V_{1,8}$, soit en tenant compte de (3.5) :

$$\Delta V_{1T} \ll \frac{V_R}{2^{n-1}} .$$

Nous admettrons que cette inégalité est satisfaite si :

$$\Delta V_{1T} = \frac{1}{10} \frac{V_R}{2^{n-1}} .$$

Avec $V_{1T} = V_R \cdot M$,

il vient pour (4.14) :

$$\frac{\Delta R}{R} = \frac{1}{10} \cdot \frac{1}{M+N} \cdot \frac{1}{2^{n-1}} . \qquad (4.15)$$

Cette précision relative des résistances sera d'autant plus difficile à tenir que M+N sera grand. Ces deux termes ont leur valeur maximale si j=1, c'est-à-dire Q = 1111,1111, et n = maximum.

Soit, pour $n > 6$: $M \# 2$

$N \# 4$ (cf. annexe M)

et

$$\boxed{\frac{\Delta R}{R} = \frac{1}{10} \cdot \frac{1}{3} \cdot \frac{1}{2^n}} . \qquad (4.16)$$

Avec, ici, n = 8 $\quad \frac{\Delta R}{R} = 1,3.10^{-4}$.

Notons que cette précision a été déterminée pour les conditions les plus défavorables, c'est-à-dire celles où toutes les erreurs absolues, des différentes tensions partielles (V_{1j}), sont de même sens (4.13).

En plus de cette remarque on peut en formuler deux autres :

- Pour "j" petit (début du réseau), la précision relative des tensions partielles doit être élevée puisque $\Delta V_{1j} \ll V_{1n}$ avec $V_{1j} \gg V_{1n}$.

  En prenant

  $$\Delta V_{1j} = \frac{V_{1n}}{10} \quad \text{on a :} \quad \frac{\Delta V_{1j}}{V_{1j}} = \frac{1}{10.2^{n-j}} .$$

  Dans les mêmes conditions, lorsque "j" tend vers "n" on voit que cette précision est moins sévère.

  En considérant la relation ci-dessus et (4.12), on constate alors qu'il serait possible de réaliser un réseau avec des résistances de précision décroissante lorsque "j" passe de 1 à n. Un calcul partiel, très compliqué, a été effectué [3]; il pourrait entrer dans la recherche du prix optimal du réseau.

- La précision déterminée ci-dessus n'est pas la précision absolue des résistances mais ce qu'on appelle la précision d'appariement.

  Cela signifie qu'il est question de la précision d'un rapport [8] :

  $$\frac{R_j}{R_{j+1}} = 1 \pm 1,3.10^{-4} \quad (R_{j+1} \text{ est étalonnée par rapport à } R_j)$$

  $$\frac{R_{j,j+1}}{R_{j,j-1}} = 1 \pm 1,3.10^{-4}$$

  $$\frac{R_j}{R_{j,j\pm1}} = 2\,(1 \pm 1,3.10^{-4}) .$$

4.1.2. - Les générateurs de courant I_o

Comme il a été expliqué au paragraphe 3.1.2. (fig. 3-2), ils sont en nombre égal à celui des bits choisis pour l'appareil. Ils sont aussi tous identiques puisque chacun délivre le même courant I_o [cf. la relation (3.3)].

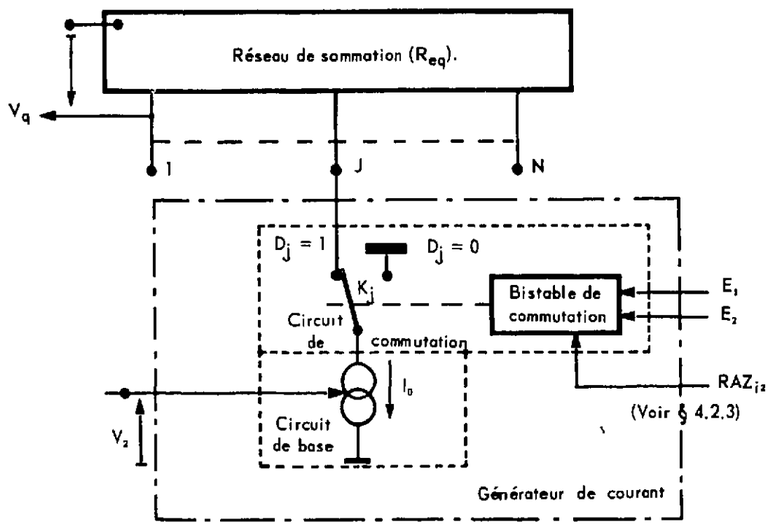
Nous savons également (voir § 3.1.2.) que ce courant est, ou non, injecté dans le réseau (D_j = 1 ou 0). De ce fait un générateur de courant se compose des parties suivantes :

1°) le circuit de base ;

2°) le circuit de commutation.

Quelques résultats suivront.

La figure 4-4 donne le schéma synoptique où sont représentées les principales connexions.



E_1 est l'entrée du bistable sur lequel on agit pour positionner l'interrupteur sur $D_j = 1$.

E_2 est l'entrée complémentaire ($D_j = 0$).

Interconnexions d'un générateur de courant.

Figure 4-4

1°) Le circuit de base

Ce circuit doit permettre de réaliser la relation (4.2), à savoir :

$$2^p V_2 = R_{eq} I_o$$

c'est-à-dire $$I_o = AV_2 \qquad (4.17)$$

qui est l'équation d'une droite car $A = \frac{2^p}{R_{eq}}$ est une constante.

Pratiquement, le circuit qui permet de réaliser (4.17) apporte une erreur et nous avons :

$$I_o = AV_2 + \Delta I_o$$

$$I_o = A\,(1 + E_o)\,V_2$$

L'erreur E_o, fonction du type de circuit utilisé, peut se décomposée à priori en deux groupes :

- E_1, celui des erreurs variables en fonction de la tension V_2 et de la température (T°).

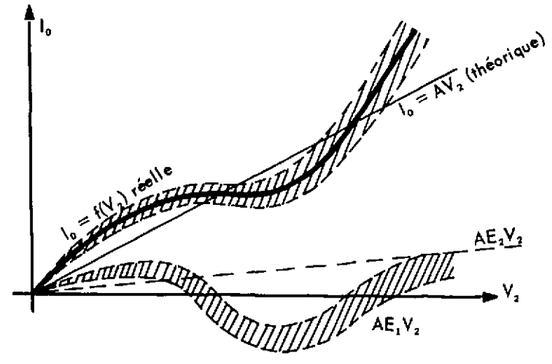
  (Vu des conditions d'exploitation du D.A.N. on a retenu seulement l'influence de ces deux paramètres) ;

- E_2, celui des erreurs constantes, au 2ème ordre près.

D'où il vient pour I_o :

$$I_o = A\left[1 + E_1\,(V_2\,,\,T°) + E_2\right] V_2 . \qquad (4.18)$$

Le groupe des erreurs composant E_1 entraîne un défaut de linéarité et on s'efforcera de les réduire par le choix du circuit. Quant à l'erreur E_2 on la minimisera par l'apport de corrections (fig.4-5).



Présentation des erreurs E_1 (V_2,T°) et E_2 .

Figure 4-5

Ces erreurs vont jouer sur la valeur de Q, en effet, de la relation (2.9) nous avons :

$$V_1 = \frac{V_R}{2^p} N'_B$$

où, de (3.3), $$V_R = R_{eq}\, I_o .$$

En remplaçant I_o par (4.18), le rapport $\frac{V_1}{V_2}$ devient :

$$\frac{V_1}{V_2} = (1 + E_1 + E_2)\ N_B' .$$

Le quotient mesuré sera donc : $Q = (1 + E_1 + E_2)\ N_B'$,

soit après correction : $\frac{V_1}{V_2} = (1 + E_1)\ N_B' = Q$. (4.19)

Ce qui montre que le quotient mesuré Q ne sera égal au quotient théorique (N_B') que si l'erreur E_1 est négligeable devant l'unité. Pour parvenir à ce résultat il faut un G.C. dont les caractéristiques essentielles soient la linéarité et la stabilité en température. Evaluons cette erreur, E_1.

Le nombre N_B' est connu à 0,0001 près en binaire. Si l'on désire que Q soit donné par N_B' il est nécessaire d'avoir :

$$E_1\ N_B' < 0{,}0001 ,$$

soit en décimal, $E_1\ N_B' < \frac{1}{16}$.

Puisque le maximum de N_B' est sensiblement 16 (§ 2.3.1.), il vient :

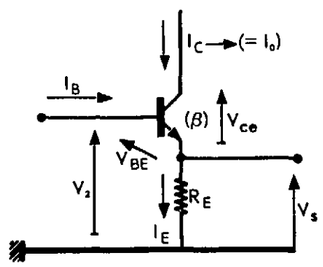
$$E_1 < \frac{1}{(16)^2}$$

soit : $E_1 < 4.10^{-3}$. (4.20)

Vu cet ordre de grandeur, il ne semble pas que le simple "émetteur-suiveur" puisse convenir comme G.C., ne serait-ce que par son défaut de linéarité et sa dérive thermique, d'autant plus accusés que la tension d'entrée V_2, (fig.4-6), est faible [cf. relation (4.22) et tableau II].

Montage en "émetteur-suiveur".

Figure 4-6



Dans ce montage nous avons :

a) $I_c = \alpha \cdot I_E$

$$= \frac{V_2 - V_{BE}}{R_E} \cdot \frac{\beta}{\beta + 1}$$

qui, pour mettre en relief les défauts, s'écrit :

$$I_c = \frac{V_2}{R_E} \left(1 - \frac{1}{\beta + 1}\right) \left(1 - \frac{V_{BE}}{V_2}\right) ; \qquad (4.21)$$

b) de $V_S = V_2 - V_{BE}$, il vient :

$$\frac{\Delta V_S}{V_S} = \frac{-\ \Delta V_{BE}}{V_2 - V_{BE}} \qquad (4.22)$$

où $\Delta V_{BE} \simeq -2$ mV/°C si $V_2 >> V_{BE}$.

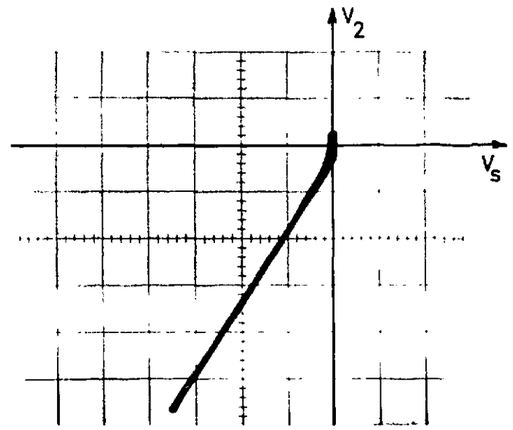
A ces défauts vient s'ajouter le fait que I_c ne reste pas constant lorsque V_{CE} varie (voir fig.4-10). L'importance de cette réaction caractérise la résistance interne du G.C.. Cette caractéristique ne doit pas être négligée ici car on voit, figure 4-4, que V_{CE} est fortement variable d'une part, du fait de la chute de tension $R_{eq}\ I_o$ et, d'autre part, (à I_o constant) puisque V_{jT} varie en fonction de la valeur de Q [§ 4.1.1., relation (4.3), où les coefficients D_j définissent les chiffres de Q].

Nettement plus élaboré et de très bonne stabilité, le G.C. de V. GOURSKY [4] ne put nous convenir car sa caractéristique de transfert $I_o = f\ (V_2)$ présentait un effet de seuil pour V_2, inférieur à environ 300 mV (photo 4-1). Par ailleurs, sa transformation de G.C. constant en un G.C. à fonction de transfert linéaire alourdissait le montage initial, simple.

Photo. 4-1

(V_2 en ordonnée : 1 V/car.)
(V_S en abscisse : 1 V/car.)

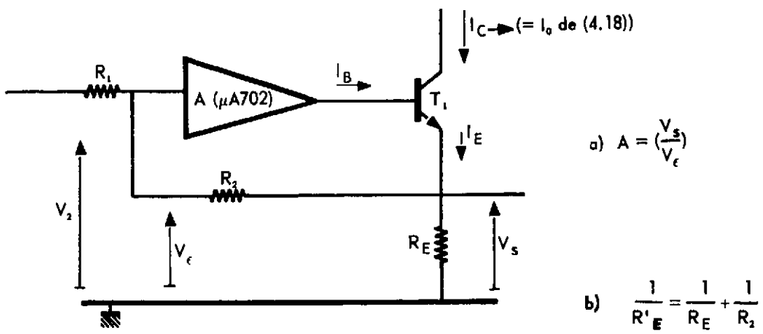
Caractéristique de transfert du G.C. de V.GOURSKY, après modification.



Un circuit original fut donc mis au point.

Principe

Il consiste à inclure dans la boucle de réaction d'un amplificateur (fig. 4-7) les différentes dérives de la jonction base-émetteur d'un transistor monté en émetteur-suiveur.(montage collecteur commun).



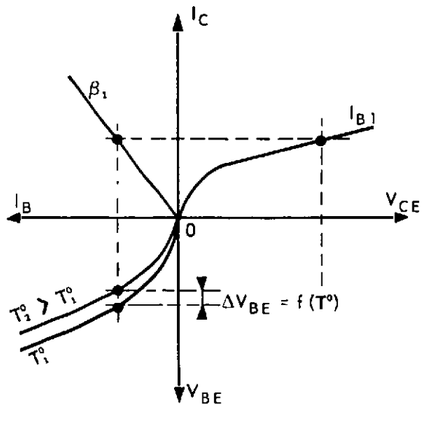
Le générateur de courant (circuit de base).

Figure 4-7

Ces variations de V_{BE} sont principalement dues aux variations :

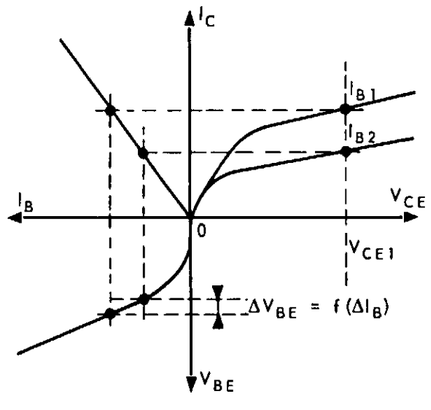
a) d'origine thermique (fig.4-8) ;

b) du courant de base (I_B) à V_{CE} constant (fig.4-9).



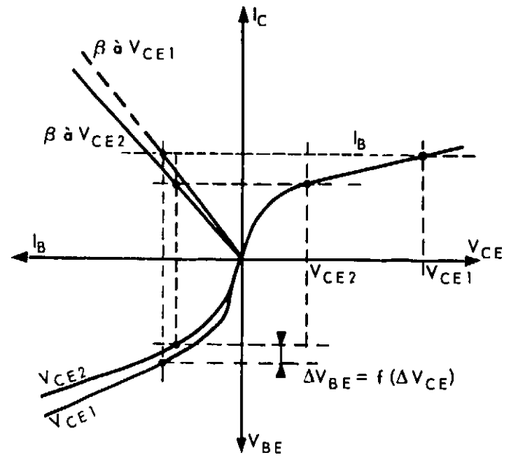
Influence de $\Delta T°$ sur ΔV_{BE} .

Figure 4-8



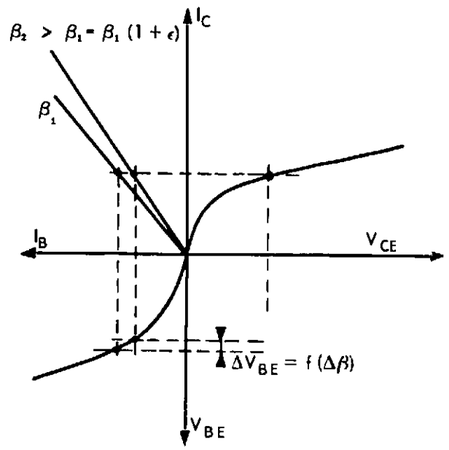
Influence de ΔI_B sur ΔV_{BE} .

Figure 4-9



Influence de ΔV_{CE} sur ΔV_{BE} .

Figure 4-10



Influence de $\Delta\beta$ sur ΔV_{BE}.

Figure 4-11

Soit G le gain défini par : $G = \frac{V_S}{V_2}$,

d'où : $I_E = G \cdot \frac{V_2}{R'_E}$ où $(\frac{1}{R'_E} = \frac{1}{R_E} + \frac{1}{R_2})$.

Dans ce montage on désire exploiter le courant I_c, ce sera I_o de (4.18); il est donné par :

$$I_c = G \cdot \frac{V_2}{R'_E} (1 - \frac{1}{\beta + 1}). \qquad (4.23)$$

La comparaison de (4.23) à (4.21) montre clairement que les variations ΔV_{BE} sont éliminées et que les dérives dues aux termes β et R_E subsistent puisqu'ils interviennent de la même manière; enfin il s'ajoute une dérive due au gain G. Etudions chacune de ces dérives.

Etude de la stabilité thermique

Soit $\beta = \beta_o [1 + E'_{11} (T°)]$ où $E'_{11} (T°) = \frac{\Delta\beta}{\beta_o}$.

Avec cette notation la relation (4.23) s'écrit :

$$I_c = G \cdot \frac{V_2}{R'_E} (1 - \frac{1}{\beta_o+1}) (1 + \frac{E'_{11} (T°)}{\beta_o}). \qquad (4.24)$$

Avec I_{c1}, le cour . collecteur à la température T°, à $T_1^\circ + \Delta T^\circ$, on a :

$$I_c = I_{c1}\,(1 + \frac{I_c}{I_{c1}}).$$

Puisque $\beta_o \# \beta$, la dérive de I_c, due à celle de β, est donc :

$$\left(\frac{\Delta I_c}{I_c}\right)_\beta = \frac{1}{\beta} \cdot \frac{\Delta\beta}{\beta} .$$

L'utilisation d'un montage Darlington (T_1, T_2), à la place de T_1 (fig.4-7), réduit encore cette dérive car :

$$(\beta)\ \text{Darlington} = \beta_{eq} \# \beta_1\,\beta_2$$

et
$$\left(\frac{\Delta I_c}{I_c}\right)_\beta = \frac{1}{\beta_1\,\beta_2}\left(\frac{\Delta\beta_1}{\beta_1} + \frac{\Delta\beta_2}{\beta_2}\right). \qquad (4.25)$$

Avec $\frac{\Delta\beta_1}{\beta_1} \simeq \frac{\Delta\beta_2}{\beta_2} = \frac{\Delta\beta}{\beta}$

et $\beta_1 \simeq \beta_2 \simeq 30$,

on a : $\left(\frac{\Delta I_c}{I_c}\right)_\beta \simeq 2.10^{-3} \cdot \frac{\Delta\beta}{\beta}$.

Comme $\frac{\Delta\beta}{\beta}$ est de l'ordre de $\leqslant + 10^{-2}$/°C pour un transistor au silicium, il vient :

$$\left(\frac{\Delta I_c}{I_c}\right)_\beta \leqslant + 20.10^{-6}/°C . \qquad (4.26)$$

Après la contribution apportée par la dérive du gain en courant, étudions l'effet dû à la variation du gain en tension de l'amplificateur (fig.4-7), c'est-à-dire déterminons $\left(\frac{\Delta I_c}{I_c}\right)_A$.

Soit A ce gain et $\frac{\Delta A}{A}$ sa dérive relative en température.

On a, (fig.4-7) :

$$G = -\frac{R_2}{R_1} \cdot \frac{1}{1 - \frac{1}{A}\,(1 + \frac{R_2}{R_1})} \qquad (4.27)$$

où $A = A_o\,(1 + \frac{\Delta A}{A})$ avec $\frac{\Delta A}{A} = E'_{11}\,(T°)$,

soit de (4.23) : $I_c = \frac{V_2}{R_E} \cdot G_o \cdot (1 - \frac{1}{\beta+1})\,(1 + \frac{\Delta G}{G})$ (4.28)

d'où $\left(\frac{\Delta I_c}{I_c}\right)_A = \frac{\Delta G}{G}$

avec G de la forme $G = a \cdot \frac{1}{1 - \frac{b}{A}}$,

soit : $1 - \frac{b}{A} = \frac{a}{G}$.

La différentielle de cette expression est :

$$a \cdot \frac{dG}{G} = - G \cdot \frac{b}{A} \cdot \frac{dA}{A} .$$

En passant aux écarts, et avec $A \gg 1$, il vient :

$$\left(\frac{\Delta I_c}{I_c}\right)_A = - (1 + \frac{R_2}{R_1})\,\frac{1}{A} \cdot \frac{\Delta A}{A} .$$

Avec un gain G voisin de l'unité, la stabilité de I_c, en fonction de celle du gain A, vaut :

$$\boxed{\left(\frac{\Delta I_c}{I_c}\right)_A = - \frac{2}{A} \cdot \frac{\Delta A}{A}} . \qquad (4.29)$$

Notons que le gain A représente en fait :

A = (gain de l'amplificateur seul). (gain de l'émetteur-suiveur)

$= A_1 \cdot A_2$

soit $\frac{\Delta A}{A} = \frac{\Delta A_1}{A_1} + \frac{\Delta A_2}{A_2}$.

Cette écriture fait apparaître que la dérive thermique du gain en tension de l'émetteur-suiveur ne se répercute que A fois moins sur la stabilité de I_c [application de (4.29)].

Ces stabilités sont de l'ordre de :

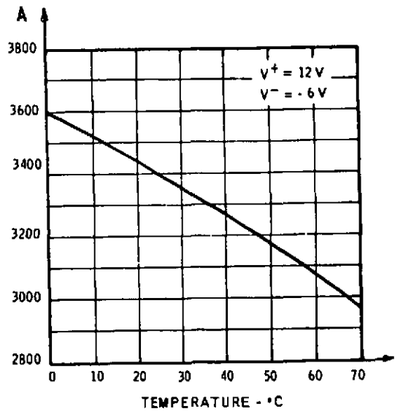
1°) $\frac{\Delta A_1}{A_1} \simeq + 2.10^{-3}$/°C (fig.4-12) si l'on prévoit l'utilisation de circuits intégrés tels que ceux du type µA 702 ([5] et [6]) pour tenir le rôle de l'amplificateur mentionné figure 4-7 ;

2°) $\frac{\Delta A_2}{A_2} \simeq - 10^{-3}$/°C

si la tension V_2 est supérieure à 1 volt ou voisine de cette dernière [(4.22) et figure 4-6].

Figure 4-12

A (gain en tension) = f (T°) pour l'amplificateur opérationnel µA 702 (cf. [5] et [6]).



Pour des valeurs inférieures, la stabilité relative décroît mais sans devenir gênante car lorsque V_2 décroît, la précision exigée sur I_c décroît aussi. En effet, on a vu (relation (2.14) et figure 2-5) que plus V_2 est faible, moins on a de bits significatifs; ce qui signifie qu'une moins grande stabilité est exigée pour le courant I_o, c'est-à-dire I_c dans le circuit étudié ici. La relation (4.16) a été établie avec l'hypothèse $\frac{\Delta I_o}{I_o} = \frac{\Delta R}{R}$, et pour s = 8 bits significatifs (s = n) on calculait : $\frac{\Delta R}{R} = 1{,}3.10^{-4}$.

Calculons la nouvelle valeur de $\frac{\Delta I_o}{I_o}$ pour s < 8, $\frac{\Delta R}{R}$ restant à sa valeur fixée par les résistances du réseau. De (4.14) qui devient :

$$\frac{\Delta V_{1T}}{V_{1T}} = \frac{\Delta I_o}{I_o} + \frac{\Delta R}{R} \cdot \frac{N}{M} \quad ,$$

où

$$\frac{\Delta V_{1T}}{V_{1T}} = \frac{1}{10.2^{n-1}} \cdot \frac{1}{M} \quad \text{[établissement de (4.15)]} \ ,$$

on a donc :

$$\frac{\Delta I_o}{I_o} = \frac{1}{10.2^{n-1}\ M} - \frac{N}{M} \cdot 1{,}3.10^{-4} \ .$$

Soit par exemple V_2 dans l'intervalle suivant :

$$2\ \Delta V_c < \Delta V_2 \leqslant 2^2\ \ \Delta V_c \quad ,$$

c'est-à-dire que l'on a s = 5 (voir fig.2-5).

Cela correspond à un réseau formé de cinq noeuds (n=5), d'où la nouvelle précision sur I_o :

$$\frac{\Delta I_o}{I_o} = 3.10^{-3}$$

Une précision de cet ordre entraîne une plus large tolérance sur la stabilité thermique par rapport à la précision initiale de $1{,}3.10^{-4}$ ($V_2 > 1$ volt).

Donc, dans les conditions les plus sévères, les dérives $\left(\frac{\Delta I_c}{I_c}\right)_\beta$ et $\left(\frac{\Delta I_c}{I_c}\right)_A$ conduisent à une stabilité du courant I_c (ou I_o) de l'ordre de :

$$\left(\frac{\Delta I_c}{I_c}\right)_{\beta,A} = 5 \text{ à } 25.10^{-6}/°C$$

avec le circuit µA 702 ($A \simeq 2500$ à 3500).

Aux dérives dues à β et à A, il convient d'ajouter celles dues aux résistances. De $I_c = f\ (R'_E\ ,\ G)$, relation (4.23) :

$$\left(\frac{\Delta I_c}{I_c}\right)_R = \frac{\Delta R'_E}{R'_E} + \left(\frac{\Delta G}{G}\right)_R$$

où, de (4.27) :

$$\left(\frac{\Delta G}{G}\right)_R = \frac{\Delta R_1}{R_1} + \frac{\Delta R_2}{R_2} \quad \text{à} \quad A \gg 1$$

et

$$\frac{\Delta R'_E}{R'_E} = \frac{\Delta R_E}{R_E} \quad \text{avec} \quad \frac{\Delta R_E}{R_E} = \frac{\Delta R_2}{R_2} = \frac{\Delta R'}{R'} \ .$$

En choisissant aussi $\frac{\Delta R_1}{R_1} = \frac{\Delta R_2}{R_2}$, puisque intervenant au même ordre, la stabilité thermique des résistances donne une dérive du courant I_c de :

$$\boxed{\left(\frac{\Delta I_c}{I_c}\right)_R = 3\ \frac{\Delta R'}{R'}} \ . \qquad (4.30)$$

En ce qui nous concerne, puisque l'on recherche un courant stable à quelques 10^{-4}, nous voyons que les résistances très stables, construites par VISHAY-SFERNICE (fig. 4-13 et [7]), conviennent parfaitement avec leur dérive maximale de :

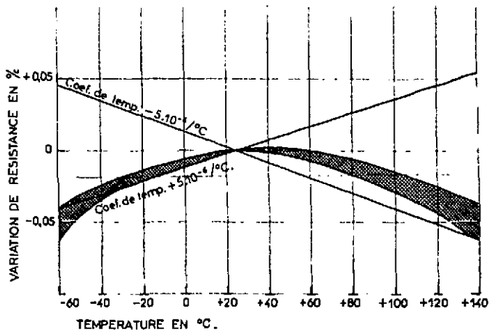
$$\frac{\Delta R'}{R'} = -\ 5.10^{-6}/°C.$$

Pour R_1, R_2 et R_E de même type technologique, plusieurs remarques sont à formuler relativement au signe du coefficient de température (CT°).

Figure 4-13

$\frac{\Delta R}{R} = f\ (T°)$

pour les résistances VISHAY-SFERNICE.



1°) Si le coefficient de température (CT°) est élevé, de l'ordre de 10^{-4} et plus, le signe est généralement constant dans la plage habituelle des températures. Dans ce cas, $\frac{\Delta R_1}{R_1}$ et $\frac{\Delta R'_E}{R'_E}$ seront affectés du signe négatif dans les expressions ci-dessus, et (4.30) se réduit à :

$$\frac{\Delta I_c}{I_c} = - \frac{\Delta R'_E}{R'_E} \ ;$$

2°) Pour les CT° faibles ($<$ à 10^{-4}), le signe est indéterminé dans cette zone habituelle de température [7] ;

3°) Avec les résistances VISHAY, de 25°C à 35°C, il y a doute sur le signe du CT° mais il est très faible (inférieur à 10^{-6}/°C) d'où :

$$\frac{\Delta I_c}{I_c} = 3\ \frac{\Delta R'}{R'} \cdot$$

Toutefois dans un intervalle plus utilisable, de 20°C à 60°C, le CT° remonte pour atteindre $-2{,}5.10^{-6}$/°C.

Compte-tenu de ces remarques, les résistances R_1, R_2 et R'_E apportent au circuit de la figure 4-7 une dérive de l'ordre de :

$$\left(\frac{\Delta I_c}{I_c}\right)_R \simeq - 8.10^{-6}/°C \ .$$

A titre de comparaison, notons que les résistances à couche métallique, dites de bonne stabilité ($\pm$ 25.10^{-6}/°C), entraînent une dérive de $\pm$ 75.10^{-6}/°C ce qui est notablement plus élevé que celles dues aux termes β et A.

Le tableau II, dans les pages qui suivent, groupe les différentes dérives thermiques.

Etude de la linéarité

Rappelons que si une courbe a son équation f(x) voisine de celle d'une droite, on peut étudier sa linéarité en écrivant :

$$y = f\ (x) = a_o\ x + \Delta f\ (x)$$
$$= [a_o + a\ (x)]\ x$$
$$= a_o\ [1 + E\ (x)]\ x.$$

Le rapport $\frac{\Delta f\ (x)}{a_o\ x}$ définissant la linéarité intégrale, on voit que le défaut de linéarité, $E\ (x) = \frac{\Delta a}{a_o}\ (x) \# \frac{\Delta a}{a}\ (x)$, est aussi la linéarité intégrale.

Avec ce point de vue, la relation de base (4.18) ne nous intéresse plus que par l'erreur partielle $E_{12}\ (V_2)$.

En remarquant que les expressions :

$\beta = \beta_o\ [1 + E'_{11}\ (T°)]$, où $E'_{11}\ (T°) = \frac{\Delta\beta}{\beta}$ en fonction de la température,

et $A = A_o\ [1 + E''_{11}\ (T°)]$, où $E''_{11}\ (T°) = \frac{\Delta A}{A}$ en fonction de la température,

deviennent :

$\beta = \beta_o\ [1 + E'_{12}\ (V_2)]$, où $E'_{12}\ (V_2) = \frac{\Delta\beta}{\beta}$ en fonction de V_2, ou I_E ,

et $A = A_o\ [1 + E'_{12}\ (V_2)]$, où $E''_{12}\ (V_2)] = \frac{\Delta A}{A}$ en fonction de V_2,

les expressions (4.25) et (4.29) donnent immédiatement le défaut de linéarité de (4.23).

Comme pour la dérive thermique, (4.29), on note alors que le défaut de linéarité de l'émetteur-suiveur (fig.4-6) donné par

$$I_c = \frac{\Delta A_2}{A_2} = - \frac{V_{BE}}{V_2} \ ,$$

déduit de (4.21) avec

$$\frac{V_S}{V_2} = A_2$$
$$= A_{02}\ (1 - \frac{V_{BE}}{V_2}) \ ,$$

ne perturbe la fonction de transfert $I_c = f\ (V_2)$, (fig.4-7), que par un défaut de

linéarité A fois plus faible. La relation (4.23) devient donc :

$$I_c = G_o \left(1 - \frac{1}{\beta+1}\right) \frac{V_2}{R'_E} \left(1 - \frac{2}{A} \frac{V_{BE}}{V_2}\right) \qquad (4.31)$$

qui est tout-à-fait analogue à (4.28).

Vu le montage utilisé figure 4-7, on voit que l'on aura toujours :

$$\frac{V_{BE}}{V_2} \leqslant 1$$

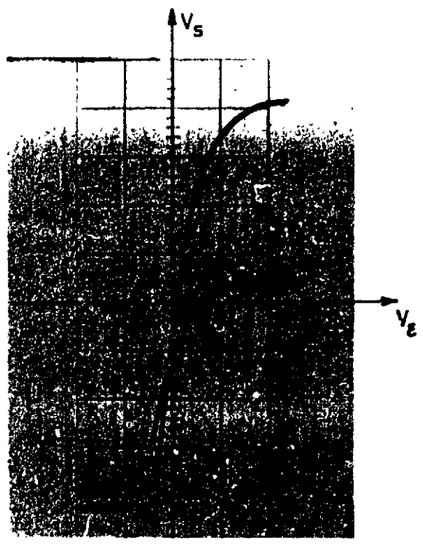
car on a :

$$V_2 = V_{BE} + R'_E I_c \quad \text{avec} \quad I_c \geqslant 0.$$

Puisque A est de l'ordre de - 3000 (circuit intégré µA 702), la linéarité intégrale reste très bonne ($\simeq + 10^{-3}$) pour les faibles tensions d'entrée ($V_2 < 0{,}5$ V).

Après cette première cause de non linéarité il reste à préciser l'influence de $\frac{\Delta A_1}{A_1}$ et $\frac{\Delta \beta}{\beta}$.

Photo. 4-2



$V_S = f(V_\varepsilon)$

V_ε = tension d'entrée (abscisse), 5 mV/car.

V_S = tension de sortie (ordonnée), 2 V/car.

Caractèristique de transfert du circuit µA 702

- courbe à grand gain (|A| = 3000), V_{CC} = 12 V, V_{EE} = -6 V
- courbe à petit gain (|A| = 1500), V_{CC} = +6 V, V_{EE} = -6 V

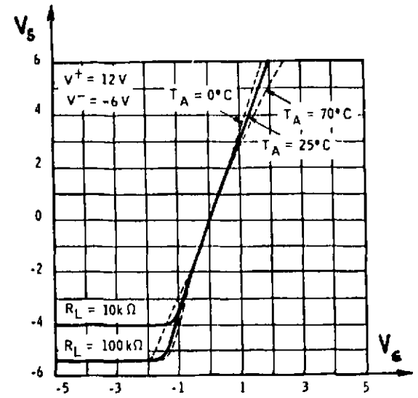


Figure 4-14

Caractéristique de transfert du µ 702 (donnée par le constructeur).

$V_S = F(V)$

(V_ε = tension d'entrée en mV,
V_S = tension de sortie en volts)

La caractéristique de transfert de l'amplificateur A_1, photo 4-2 (résultats de mesures) et figure 4-14 (donnée par le constructeur), montre que :

gain en tension $A_1 \neq$ constante,

pour une excursion de (V_2) min. + (V_{BE1}) min. (voisine de zéro) à (V_2)max. + (V_{BE1}) max. de l'ordre de 6 volts.

En ce qui concerne la variation du gain en courant, $\Delta\beta$, les caractéristiques du constructeur montrent que $\frac{\Delta\beta}{\beta}$ est faible si l'on considère de faibles variations de I_c. Or, dans le D.A.N., I_c peut varier de quelques milliampères (environ 6 mA à V_2 = 5 V) à quelques 100 microampères (100 µA pour V_2 = 80 mV). Dans ces conditions, $\frac{\Delta\beta}{\beta}$ n'est plus négligeable (cf. fig.4-15) :

$$\frac{\Delta\beta}{\beta} \simeq \frac{1}{2}$$

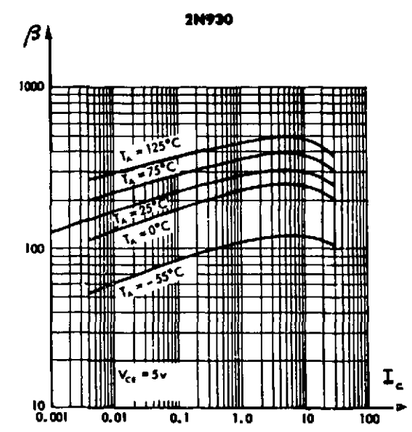


Figure 4-15

(2N 930 est le transistor équivalent, équipant $T_{1,2}$)

β (gain en courant) = f (I_c) à T°C en paramètre .

(I_c = courant collecteur en mA)

Là encore apparaît l'intérêt du montage Darlington qui fait passer le défaut de linéarité de $\frac{1}{\beta} \cdot \frac{\Delta\beta}{\beta}$ à environ (4.25) :

$$\frac{1}{\beta 2} \cdot \frac{2\,\Delta\beta}{\beta}.$$

Il apparaît alors que les défauts de linéarité, les plus importants, dus à $V_{BE}=f(V_2)$ et à $\beta = f(V_2)$ sont du même ordre de grandeur et de même signe, soit 10^{-3}. Cette valeur de linéarité intégrale (2.10^{-3}) est suffisante vu la limite établie en (4.20): $E_1 < 4.10^{-3}$.

Résumons, par le tableau ci-dessous, les différentes sources d'erreurs (dérives thermiques et défauts de linéarité).

Type de montage	Erreur due à	β	Ordre de grandeur	V_{BE}	Ordre de grandeur	R	Ordre de grandeur	A	Ordre de grandeur
Un transistor monté en émetteur-suiveur (fig.4-6)	dérive en température par °C	$\frac{1}{\beta}\left(\frac{\Delta\beta}{\beta}\right)_{T°}$	$+3.10^{-4}$	$\frac{(\Delta V_{BE})_{T°}}{V_2-V_{BE}}$	$+10^{-3}$ à 3	$\left(\frac{\Delta R_E}{R_E}\right)_{T°}$	au choix	///	///
	défaut de linéarité	$\frac{1}{\beta}\left(\frac{\Delta\beta}{\beta}\right)_V$	1 à 2.10^{-2}	$-\frac{V_{BE}}{V_2}$	min. -10^{-1}	0	0	///	///
Amplificateur suivi d'un montage émetteur-suiveur à Darlington (fig.4-7)	dérive en température par °C	$\frac{1}{\beta^2}\cdot 2\left(\frac{\Delta\beta}{\beta}\right)_{T°}$	$+2.10^{-5}$	$\frac{-1}{A}\left(\frac{\Delta A_2}{A_2}\right)_{T°}$	$+4.10^{-6}$	$3\left(\frac{\Delta R_E}{R_E}\right)_{T°}$	avec R. Vishay -8.10^{-6}	$\frac{-1}{A}\left(\frac{\Delta A_1}{A_1}\right)_{T°}$	$+2.10^{-6}$
	défaut de linéarité	$\frac{1}{\beta^2}\cdot 2\left(\frac{\Delta\beta}{\beta}\right)_V$	$+10^{-3}$	$\frac{-1}{A}\cdot\frac{V_{BE}}{V_2}$	$\leqslant +10^{-3}$	0	0	$\frac{-1}{A}\cdot\left(\frac{\Delta A_1}{A_1}\right)_V$	0

TABLEAU II

Tableau résumé

1°) Dérive en température

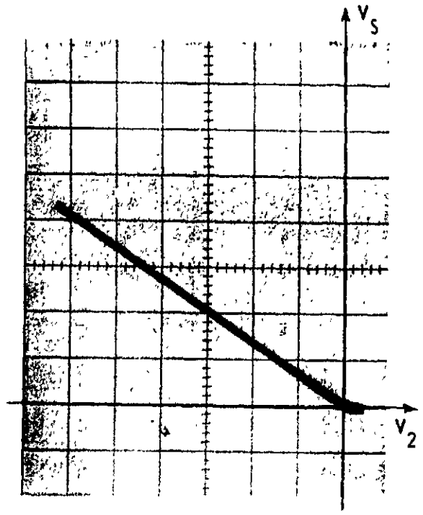
2°) Linéarité

Photo. 4-3

$V_S = f(V_2)$ dans le montage de la figure 4-7.

(ordonnée : 1V/car.)

(abscisse : 1V/car.)



Etude des corrections dues à β et A [présence de E_2 dans 4.18)]

La relation souhaitée est (4.17) :

$$I_o = \frac{V_2}{\frac{R_{eq}}{2^p}} \quad \text{à } E_1 \text{ près (cf. 4.20).}$$

En fait, on a la relation approchée (4.23)

$$I_c = \frac{1}{R'_E}\left(1 - \frac{1}{\beta + 1}\right) G\, V_2.$$

Il faut donc réaliser :

$$\frac{2^p}{R_{eq}} = \frac{1}{R'_E}\left(1 - \frac{1}{\beta + 1}\right) \cdot G \quad \text{à } E_1 \text{ près.}$$

Ecrivons G, (4.27), sous la forme :

$$|G| = \frac{R_2}{R_1} \cdot \frac{1}{1 - \frac{1}{A}\left(1 + \frac{R_2}{R_1}\right)}$$

$$= \frac{R_2}{R_1} \cdot \frac{1}{1 - \delta_1}$$

Pour des raisons concernant la tension maximale de sortie du circuit µA 702, (voisine de 7 V) lorsque $V_{2max.} = 5$ V, la valeur du gain fut fixée égale à l'unité, soit :

$$R_2 \# R_1 .$$

Avec $A \simeq -2000$ (valeur moyenne minimale)

il vient $\delta_1 = \frac{1}{A}\left(1 + \frac{R_2}{R_1}\right)$

$= -10^{-3}$

d'où $R_2 = R_1 (1 - \delta_1) \quad \# \; R_1 (1 + 10^{-3})$

$= R_1 + \Delta R_1$

et l'on a : $\boxed{R_2 = 10.010\ \Omega}$ avec $\boxed{R_1 = 10.000\ \Omega}$.

Pour que cette correction soit valable, cela nécessite pour R_1 et R_2 une tolérance d'appariement de l'ordre de 1 à 2.10^{-4}.

Quant à la correction $\delta_2 \# \frac{1}{\beta}$, effectuons-la sur R_E. Auparavant, calculons la résistance R_E. On a :

$$\frac{1}{R'_E} = \frac{1}{R_E} + \frac{1}{R_2} \qquad \text{avec } R'_E = 800\ \Omega \ (4.10).$$

Soit : $\frac{1}{R_E} = \frac{1}{R'_E} \cdot \left(1 - \frac{R'_E}{R_2}\right)$

$= \frac{1}{R'_E} \cdot (1 - \delta_3).$

Vu la valeur de $\delta_3 = \frac{80}{1001}$, la transformation

$$1 - \delta_3 \# \frac{1}{1+\delta_3}$$

apporte une erreur de :

$\delta_3^2 \# 6,4.10^{-3}$, forte devant δ_2. Pour éviter d'introduire cette nouvelle erreur, on transforme $1 - \delta_3$ en

$$1 - \delta_3 = \frac{1}{1 + \delta_4}$$

où $\delta_4 = \frac{\delta_3}{1 - \delta_3}$,

d'où $R_E = R'_E \left(1 + \frac{80}{921}\right)$

$R_E = 869,50\ \Omega$.

La correction δ_2, de l'ordre de 10^{-3} avec un montage Darlington, ramène cette valeur, très sensiblement à :

$$\boxed{R_E = 868,60\ \Omega}.$$

Comme pour δ_1, cette correction δ_2 n'est valable que si R_2 et R_E ont une précision de l'ordre de 10^{-4}. Ces précisions ne sont pas superflues car par ailleurs une tolérance d'appariement de l'ordre de 10^{-4} est nécessaire entre R'_E et R_{eq} afin de respecter

$$I_o = \frac{V_2}{\frac{R_{eq}}{2^p}} \quad \text{à quelque } 10^{-4} \text{ près,}$$

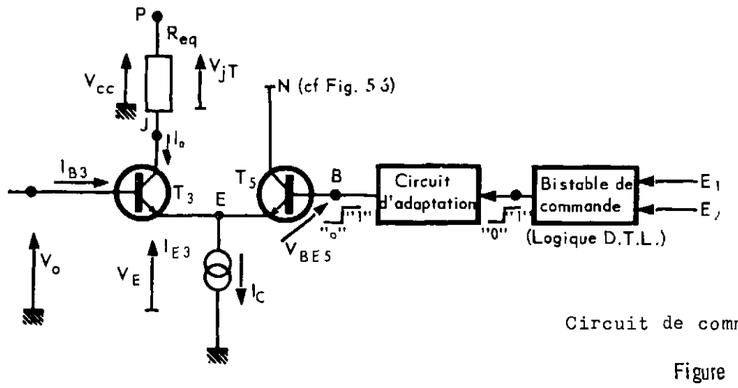
puisque l'on a prévu

$$\frac{\Delta I_o}{I_o} = \frac{\Delta R}{R} \quad \text{[Voir établissement de (4.14)]}.$$

Pour faciliter ces corrections, un potentiomètre (10 à 50 Ω) a été placé au point commun de R_2 et R_E. De cette façon, par la mise en série avec R_2 ou R_E, on compensera respectivement un gain G inférieur ou supérieur à l'unité (cf. fig.4-17).

2°) Le circuit de commutation

Nous avons vu son rôle et son schéma synoptique figure 4-4. Ici, figure 4-16, nous avons son schéma de principe.



Circuit de commutation de I_o.

Figure 4-16

Son fonctionnement est simple puisqu'il s'agit d'une commutation de courant à l'aide d'un montage du type "différentiel".

Le circuit d'adaptation permet d'ajuster les niveaux de tension, délivrés par le bistable, pour obtenir la commutation du transistor T_3 avec un minimum de perturbation sur I_o. Pour un blocage insuffisant de T_5 on a :

$$I_o < I_c$$

et pour un blocage trop énergique, on retrouve dans le circuit I_o des résidus de commutations (suroscillations). Le blocage correct étant obtenu pour V_{BE5} inverse, de l'ordre de 0,5 volt, annulant I_{E5} ($I_{E5} < I_{CBO}$).

La tension V_o est constante. Elle est définie afin de ne pas saturer le transistor T_1 (fig.4-7).

Influence du transistor de commutation (T_3) sur I_o

De
$$I_{E3} = I_o + I_{B3} ,$$

$$I_o = I_{E3} \left(1 - \frac{1}{\beta_3 + 1}\right).$$

Lorsque T_5 est bloqué, on a :

$$I_o = I_c \left(1 - \frac{1}{\beta_3 + 1}\right).$$

On voit que la perturbation apportée par T_3 est exactement du même type que celle apportée par T_1 (fig.4-7 et relation 4.25). Donc, pour les mêmes raisons, T_3 sera remplacé par un montage Darlington (T_3, T_4). En remplaçant I_c par son expression (4.23), on a pour I_o :

$$I_o = -\frac{R_2}{R_1} \cdot \frac{1}{R'_E} \left(1 - \frac{1}{\beta_1+1}\right) \left(1 - \frac{1}{\beta_3+1}\right) V_2.$$

Cette dernière relation montre que le circuit Darlington T_3, T_4 ($T_{3,4}$ pour les 2 transistors placés dans le même boîtier) apporte :

- une nouvelle dérive thermique donnée par (4.25), soit de l'ordre de $20.10^{-6}/°C$;
- une nouvelle contribution au défaut de linéarité (due à β_3), donnée encore par (4.25) et de l'ordre de 10^{-3} ;
- la nécessité d'une nouvelle correction du type δ_2, égale à $\frac{1}{\beta_3}$. La valeur de R_E se trouve ainsi ramenée à :

$$\boxed{R_E = 868\ \Omega}.$$

La figure 4-17 représente le schéma détaillé de la figure ci-dessus, c'est-à-dire du générateur de courant proprement dit, adjoint à son circuit de commutation.

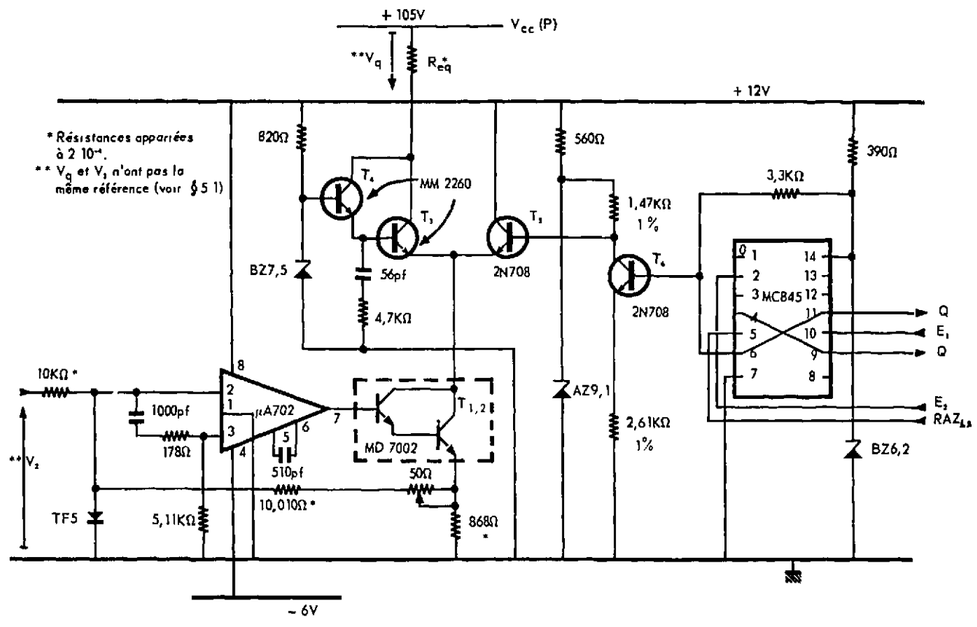


Schéma détaillé du générateur de courant (G.C.) et son circuit de commutation.

Figure 4-17

Puissance dissipée par le transistor T_3

Elle vaut :

$P_3 = I_o \cdot V_{CE3}$, qui sera maximale si chacun des deux facteurs est à sa valeur maximale.

En se reportant à la figure 4-16, on a :

$$V_{CE3} = V_{PE} - V_{jT}$$

soit

$$(V_{CE3})_{max.} = (V_{PE})_{max.} - (V_{jT})_{min.}$$

$$= (V_{jT})_{max.} + V_{CE3(sat.)} - (V_{jT})_{min.}$$

$$= (h_n)_{max.} V_R + V_{CE3(sat.)} - (h_n)_{min.} V_R \quad (4.31)$$

De (4.5) :

$$(h_n)_{max.} = H_4$$

$$= 2,25$$

et de (4.3), avec $I_o \neq 0$ (sinon $P_3 = 0$),

$(h_n)_{min.} = 1$ (ce qui signifie que Q ne contient qu'un bit égal à "1". Ex. : Q = 0,0100),

d'où

$$(V_{CE3})_{max.} = 1,25\ V_R + V_{CE3(sat.)} ,$$

soit, en fonction de V_2, [cf. (4.2)] :

$$(V_{CE3})_{max.} = 1,25.2^p.V_{2max.} + V_{CE3(sat.)}$$

$$= 10.V_{2max.} + V_{CE3(sat.)} .$$

En fait, on a pris V_{PE}, de 5 volts supérieure à $H_4\ V_R + V_{CE3(sat.)}$, afin de ne pas travailler trop près des zones de saturation. Cela porte $(V_{CE3})_{max.}$ à :

$$(V_{CE3})_{max.} = 10.V_{2max.} + V_{CE3(sat.)} + 5\ V .$$

Pour le facteur I_o , de (4.2) et (4.6), on a : $I_o = 2^p \frac{V_2}{R_{eq}}$

$$I_o = \frac{V_2}{R'_E} .$$

D'où la valeur maximale de la puissance dissipée par T_3 :

$$(P_3)_{max.} = 10 \frac{V_{2\ max.}^2}{R'_E} + \frac{V_{2\ max.}}{R'_E} (V_{CE3(sat.)} + 5\ V)$$

$$\boxed{(P_3)_{max.} = 362\ mW} .$$

Cette puissance est très acceptable par la plupart des transistors actuels, à la température ambiante.

Quant à $(V_{CE3})_{max.}$ pour $I_o = 0$, c'est V_{CEO} , (4.31) montre directement que :

$$V_{CEO} = 2,25\ V_R + V_{CE3(sat.)} . \quad (4.32)$$

On se souvient (§ 2.3.) que cette tension a été choisie de l'ordre de 100 Volts, afin de déterminer V_R. Une tension V_{CEO} de cette ordre restreint beaucoup le choix concernant T_3 , car la caractéristique V_{CEO} = 100 V n'est pas l'apanage des transistors courants.

3°) Quelques résultats

- Stabilité en fonction de la température

		$\Delta T°$ = 20°C à 80°C appliquée sur :	
		les transistors	le µA 702
$\frac{\Delta I_c}{I_c}$ (par degré Celsius) dans le montage :	fig.4-6 (un transistor en montage "émetteur-suiveur")	$+45.10^{-5}$/°C (à I_c = 7 mA)	
	fig.4-7 avec un seul transistor (T_1)	+11 à $+15.10^{-5}$/°C (I_c = 7 mA)	$< 3.10^{-6}$/°C* (I_c = 7 mA)
	fig.4-7 avec $T_{1,2}$ (Darlington)	+ 4 à $+20.10^{-6}$/°C (I_c = 14 mA)	$< 3.10^{-6}$/°C (I_c = 14 mA)
	fig.4-16 avec $T_{3,4}$ (Darlington)	$+4.10^{-6}$/°C sur $T_{3,4}$ $+4.10^{-6}$/°C sur $T_{1,2}$ (I_c = 7 mA)	$+3.10^{-6}$/°C (I_c = 7 mA)

* 3.10^{-6}/°C est la limite de la méthode de mesure

TABLEAU III

Ces résultats sont en accord avec ceux établis précédemment.

- Mesure de la résistance interne (résistance interne à fréquence basse)

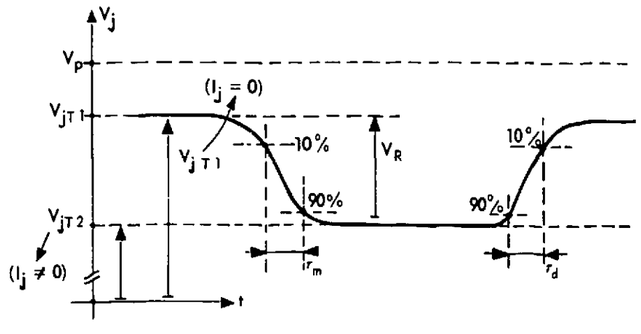
Type du montage	Valeur du courant (mA)	Résistance interne (MΩ)
fig.4-6 (émetteur-suiveur)	7,5	0,45
fig.4-7 (μA 702 et T_1)	7,5	1,2
fig.4-7 (μA 702 et $T_{1,2}$)	7,5	24*
	2,25	80*
fig.4-16 avec $T_{3,4}$	6	8 à 36 suivant le type de transistor

* Soit 180 Kv de f.é.m équivalente.

TABLEAU IV

- Mesures en régime impulsionnel (temps de commutation)

Ces mesures sont effectuées avec le système de commutation associé et non lorsque le transistor T_5 est alimenté par un générateur de laboratoire. La figure 4-18 donne la signification de quelques grandeurs intervenant dans les mesures effectuées au point J (fig.4-16, photos 4-4, 5, 6).



Caractéristiques impulsionnelles

Figure 4-18

a) Temps de commutation mesurés de 10 à 90 % de V_R :

$$\tau_m = 0{,}2\ \mu s,$$

$$\tau_d = 0{,}3\ \mu s\ ;$$

b) Temps de commutation mesurés, pour $V_R = 5$ V :

$$\text{de } V_{jT1} - 50 \text{ mV à } V_{jT2} + 50 \text{ mV} \ : \ \tau_{m1} = 0{,}6\ \mu s\ ,$$

$$\text{et de } V_{jT2} + 50 \text{ mV à } V_{jT1} - 50 \text{ mV} \ : \ \tau_{d1} = 0{,}7\ \mu s.$$

Cela correspond à un τ_m (ou τ_d) mesuré de 1 % à 99 % de V_R. Ces résultats sont très intéressants car ils permettent de déterminer la fréquence horloge (F_H) (§ 3.2.1.) maximale, à laquelle on pourra exploiter ce G.C. En effet, la décision du comparateur n'est valable qu'en dehors de l'intervalle de temps où le signal V_q (fig.3-4) ne varie pratiquement plus en regard de l'échelon unité [$u = \frac{V_R}{2^{n-1}}$, (3.5)]. Le comparateur n'acceptant que 5 volts au maximum (§ 2.3.1.) il est bon de connaître τ_{m1} et τ_{d1} pour $V_R = 5$ V. Cela simule le fonctionnement du D.A.N. pour Q = 1,0000, avec $V_2 = 5$ V, c'est-à-dire là où l'on doit attendre le plus longtemps avant de considérer l'information du comparateur comme valable. En admettant un ordre de grandeur de 0,4 μs, pour le temps nécessaire à l'exploitation du résultat de cette comparaison (retard du comparateur, positionnement des portes et de l'anneau. cf. § 3.2.1.), cela porte à 1 μs la valeur minimale pour le temps d'une comparaison. Ce dernier est aussi celui de la période minimale d'horloge (T_H, fig.3-3). La fréquence horloge maximale est donc d'environ 1 MHz.

Puisque le quotient nécessite la connaissance de 8 bits, le temps minimal pour effectuer la division sera de l'ordre de 10 μs.

Photo. 4-4

$V_R = f(t)$

(ordonnée : 10 mV/car.)

(abscisse : 200 μs/car.)

V_{CE3} (fig.4-16) variable de 3 V à 60 V

$I_o = 6{,}2$ mA

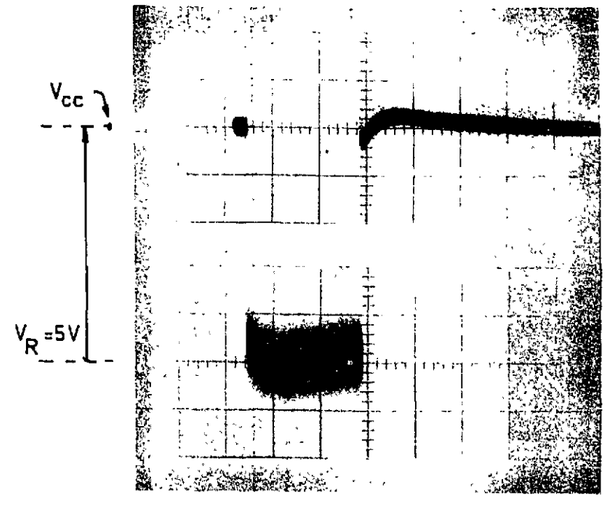


Photo. 4-5

$V_R = f(t)$

(ordonnée : 10 mV/car.)

(abscisse : 100 µs/car.)

V_{CC} (fig.4-16) = 60 V

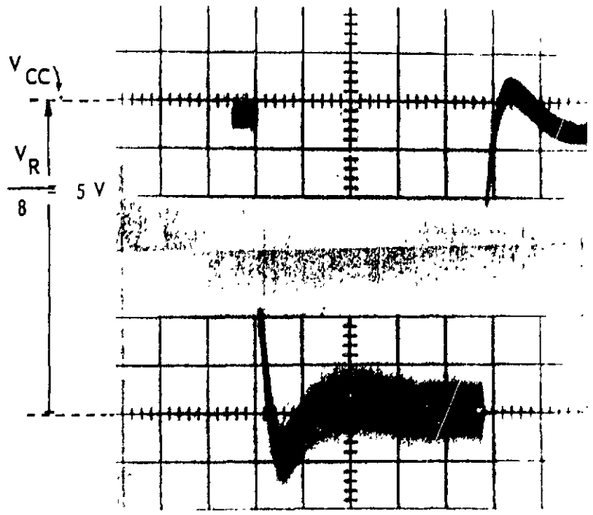


Photo. 4-6

$V_R = f(t)$

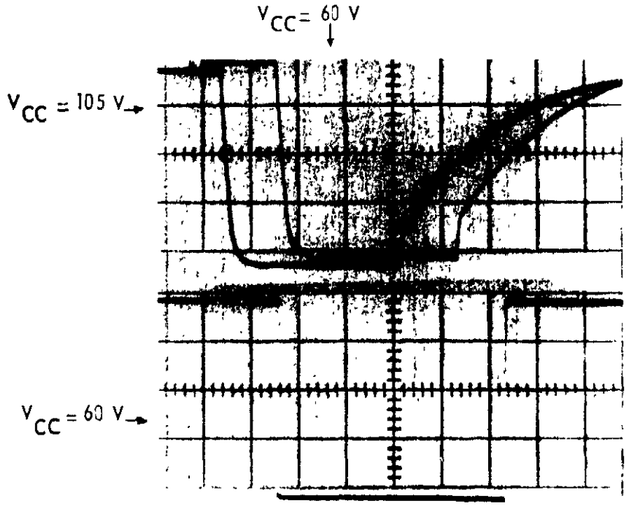
(ordonnée : 10 V/car.)

(abscisse : 0,5 µs/car.)

(A dessein, décalage en ordonnée et abscisse)

(ordonnée : 10 V/car.)

(abscisse : 20 µs/car.)



4.1.3. - Le comparateur

Nous avons vu au paragraphe 3.1. qu'un amplificateur opérationnel intégré assurerait la fonction de comparaison ([9] et [10]).

1°) Choix et étude du circuit

Le type µA 710 a retenu notre attention pour plusieurs raisons :

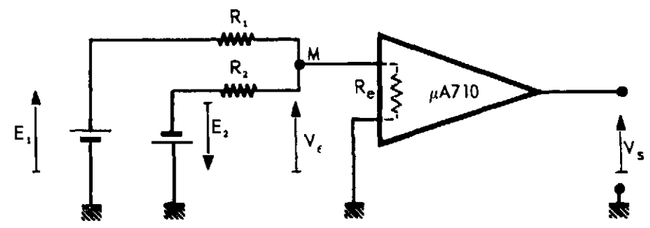
- rapidité de réponse ;
- niveaux de sortie voisins des niveaux caractérisant la logique D.T.L. (voir § 4.2);
- tension de mode commun de 5 volts.

L'emploi de ce circuit dans la fonction de comparaison amène les deux montages suivants :

- chacun des signaux V_1 et V_q sont respectivement appliqués sur chacune des entrées. Les tensions V_1 et V_q doivent alors être de même polarité ;
- une des entrées reste au potentiel de la masse et l'autre est reliée à un réseau résistif de sommation des signaux V_1 et V_q. Ces derniers doivent dans ce cas être de polarités opposées.

Vu la valeur de la résistance d'entrée relativement à celle du réseau (R_{eq} = 6.400 Ω à 2.10^{-4} près) et vu la valeur de la tension maximale en mode commun relativement à $(V_1)_{max.}$ et $(V_q)_{max.}$, on a préféré la deuxième méthode. De plus, cette dernière laisse une entrée libre pour effectuer une réaction si besoin est (hystérésis, bruit [11]).

La figure 4-19 présente le circuit de principe.



Principe du circuit de comparaison.

Figure 4-19

En désignant par R_e la résistance d'entrée du µA 710 on établit :

$$V_E = \frac{E_1 - \frac{R_1}{R_2} E_2}{1 + \frac{R_1}{R_2}(1 + \frac{R_2}{R_e})} \quad . \qquad (4.33)$$

Avec R_1 égal à R_2 , cette relation montre que V_E est nulle pour

$$E_1 = E_2 \ .$$

L'amplificateur µA 710 détecte le passage par zéro de V_E et nous indique ainsi lorsqu'il y a égalité entre les tensions E_1 et E_2. Notons que l'influence de la résistance d'entrée, R_e, est de diminuer la sensibilité du système puisque la tension d'erreur, V_E , passe de

$$V_{E1} = \frac{E_1 - E_2}{2} \quad (R_e = \infty) \quad \text{et} \quad (R_1 = R_2)$$

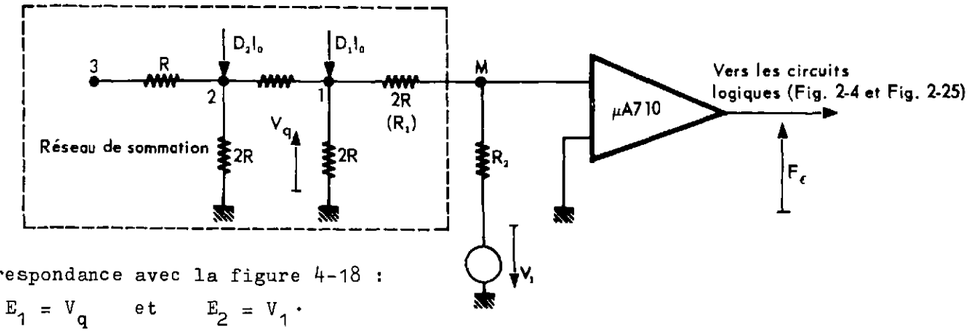
à une valeur plus faible

$$V_{E2} = \frac{E_1 - E_2}{2 + \frac{R_2}{R_e}} \quad (R_e \neq \infty) \quad \text{et} \quad (R_1 = R_2) \cdot$$

Cette perturbation est très faible puisque pour R_2, voisinant la valeur de 10 KΩ le rapport $\frac{R_2}{R_e}$ reste de l'ordre du dixième. Lorsque le circuit µA 710 décèle l'annulation de V_E, le point M devient une masse virtuelle, c'est-à-dire que dans ce cas les sources E_1 et E_2 ne débitent respectivement que dans R_1 et R_2.

Cette constatation permet d'inclure R_1 dans le réseau de sommation (fig.4-1 ou 4-3) et de ce fait, la résistance équivalente (R_{eq}) ne se trouve aucunement perturbée.

La figure suivante place l'amplificateur µA 710 dans le cadre de son utilisation avec le réseau de sommation et les tensions V_q et V_1 correspondant respectivement à E_1 et E_2.



Correspondance avec la figure 4-18 :
$E_1 = V_q$ et $E_2 = V_1$.

Circuit de comparaison relié au générateur de tension quantifiée (V_q).

Figure 4-20

Puisque l'on désire $V_1 = V_q$, lorsque $V_E = 0$, on réalisera donc :

$$R_2 = 2\ R$$

En effet, cela ne nous intéresse pas de connaître la force électromotrice (E_q) donnant naissance à la différence de potentiel V_q ; par suite la résistance interne associée à E_q n'intervient pas.

2°) <u>Erreur apportée par cette disposition</u>

Le système détecteur de zéro n'est pas parfait. On ne peut donc pas déterminer $V_E = 0$. On ne peut déterminer que

$$-h \leqslant V_E \leqslant +h$$

soit

$$|V_E| \leqslant h \qquad (4.34)$$

où h est la moitié de la valeur de la tension d'hystérésis (trigger de Schmitt) ou de la tension de transition (amplificateur).

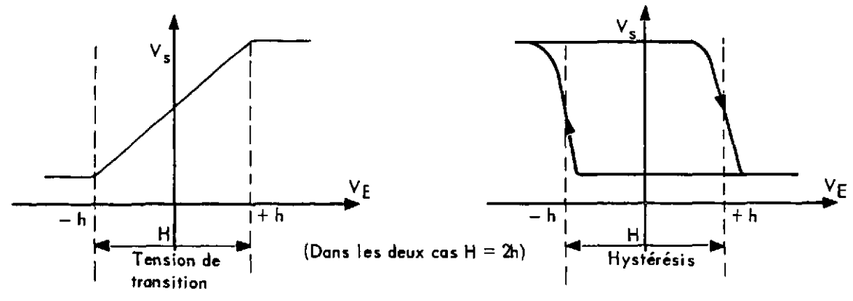


Figure 4-21

Si le circuit était parfait ($V_E = 0$, $R_1 = R_2$) on déterminerait $V_1 = V_q$ et V_1 serait connue avec la précision que nous connaissons sur la tension V_q (cas de V_q max., voir (4.14) où V_{1T} est V_q), soit :

$$V_1 = V_q$$

$$\# \ V_{qo} \ (1 + \frac{\Delta V_q}{V_q}) \qquad (4.35)$$

où $\frac{\Delta V_q}{V_q} = 3 \frac{\Delta R}{R}$ (puisque M = 2 et N = 4 dans 4.14).

Vu les imperfections du circuit, les erreurs suivantes :

$|V_E| \leqslant h$ (erreur absolue commise sur l'annulation de la tension V_E)

et E_o (erreur d'appariement commise sur $R_1 = R_2$)

entraînant une erreur supplémentaire (ΔV_S) sur la détermination de V_1. On a donc dans ce cas :

$$V_1 = V_q \left(1 + \frac{\Delta V_S}{V_q}\right), \qquad (4.36)$$

où $\frac{\Delta V_S}{V_q}$ est l'erreur relative apportée par le comparateur.

Afin de calculer $\frac{\Delta V_S}{V_q}$, établissons l'erreur d'appariement E_o.

Soit :

$$R_1 = R_2 + \Delta R$$

$$= R_2 \left(1 + \frac{\Delta R}{R_2}\right)$$

l'erreur d'appariement est donc :

$$E_o = \frac{\Delta R}{R_2} \cdot \qquad (4.37)$$

En écrivant alors (4.33) avec les symboles portés sur la figure 4-20 et en introduisant E_o, on a :

$$\frac{-2\,V_E\left(1 + \frac{E_o}{2}\right) + V_q}{1 + E_o} = V_1 \cdot$$

En choisissant $E_o \ll 1$, il vient :

$$V_1 = V_q\,(1 - E_o) - 2\,V_E\left(1 - \frac{E_o}{2}\right)$$

$$= V_q\left[1 - \left(\frac{2\,V_E}{V_q} + E_o\right)\right] \cdot$$

Le signe des erreurs V_E et E_o n'est pas connu, d'où :

$$\frac{\Delta V_S}{V_q} = \frac{2\,V_E}{V_q} + E_o \cdot$$

La valeur maximale de V_E étant h (4.34), il vient :

$$\frac{\Delta V_S}{V_q} = \frac{H}{V_q} + E_o \cdot \qquad (4.38)$$

En rapprochant les relations (4.35), (4.36) et (4.38), on détermine l'erreur relative totale (ΔV_1) commise lors de la mesure de V_1, elle vaut :

$$\frac{\Delta V_1}{V_1} \# \frac{H}{V_q} + E_o + \frac{\Delta V_q}{V_q} \cdot \qquad (4.39)$$

Cette relation montre que le comparateur apporte une erreur d'autant plus forte que V_q est petit.

A partir de cette dernière relation, déterminons la valeur de l'hystérésis (H) afin d'obtenir une erreur valable sur V_1 lorsque V_q (ou V_1) est minimale. On sait que cette tension minimale est définie par la plus petite des tensions partielles, $V_{1,8}$ (voir § 3.1.2.), qui est l'échelon de quantification (u); cet échelon a été choisi de l'ordre de 50 mV. Pour cette valeur minimale, (4.12) donne pour erreur relative :

$$\frac{\Delta V_{1,8}}{V_{1,8}} = (n + 1)\,\frac{\Delta R}{R} \qquad \text{car } j = n = 8$$

$$= \frac{\Delta V_q}{V_q} \cdot$$

Avec $E_o = \frac{\Delta R}{R}$, c'est-à-dire de l'ordre de quelques 10^{-4}, voir (4.16),

on a :

$$\frac{\Delta V_1}{V_1} \# \frac{H}{50} + 1{,}3.10^{-3} \cdot \qquad (4.40)$$

Si alors on désire mesurer $V_{1min.}$ avec 10 % de précision, on est conduit à prendre :

$$H \text{ (hystérésis)} = 5 \text{ mV} \cdot \qquad (4.41)$$

Cette valeur est compatible avec l'emploi de l'amplificateur opérationnel intégré µA 710, comme comparateur. Pour les valeurs de V_1 situées vers $V_{1max.}$ ($V_{1max.} = 5$ V) on a donc :

$$\left(\frac{\Delta V_1}{V_1}\right)_{V_{1max.}} = \frac{5}{5.10^3} + 4\,\frac{\Delta R}{R} \cdot$$

En effet, pour $V_{1max.}$ la relation (4.14) est applicable, c'est-à-dire que :

$$\frac{\Delta V_q}{V_q} = 3\,\frac{\Delta R}{R}$$

d'où

$$\left(\frac{\Delta V_1}{V_1}\right)_{V_{1max.}} \simeq 1{,}5.10^{-3} \cdot \qquad (4.42)$$

En ce qui concerne la rapidité de réponse du µA 710, on place en M deux diodes disposées en tête-bêche, non figurées par clarté sur la figure 4-20. Cet artifice limite V_E à $\pm V_D$ (tension directe d'une diode) quelles que soient les tensions V_1 et V_q. Cela amène le µA 710 à être moins saturé et de ce fait, à revenir plus rapidement (diminution du temps de stockage) en zone sensibilisée lorsque V_E revient dans les valeurs

$$-h \leqslant V_E \leqslant h \cdot$$

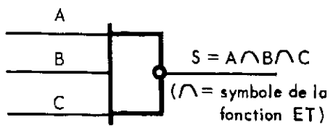
Notons que la résistance inverse de ces diodes apporte une perturbation du même ordre de grandeur que celle due à R_e.

4.2. - LES CIRCUITS LOGIQUES

Dans ce paragraphe, il n'est pas question de traiter tous les circuits nécessaires à l'organisation du D.A.N. En effet, pour un grand nombre d'entre eux, des schémas sont donnés dans les notices des constructeurs [12]. Ici il s'agit plutôt de l'étude du schéma des connexions logiques à réaliser entre ces différents circuits, (portes, bistables etc ...) afin d'obtenir les fonctions logiques désirées.

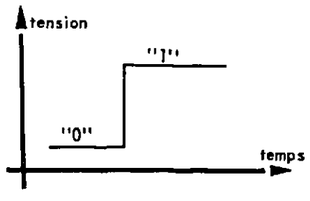
Pour organiser cet ensemble nous avons choisi la logique à diodes et à transistors (D.T.L.). Cette logique est un peu meilleur marché que la T.T.L. (logique à transistors et transistors) et nous satisfait du point de vue rapidité pour la majorité des circuits. Enfin, la logique D.T.L., en boîtier du type TO 116 (boîtier plastique), a la plupart de ses circuits qui sont compatibles avec ceux de la logique T.T.L. (permutation possible entre deux circuits de même fonction). De ce fait, on utilisera des circuits T.T.L. là où la logique D.T.L. n'est pas assez rapide, notamment pour l'horloge de commande.

La famille des circuits, en logique D.T.L., est développée à partir du circuit de base répondant, en logique positive (fig.4-23), à la fonction de SCHEFFER ($\overline{ET}$, incompatibilité, ou NAND en littérature anglo-saxonne, [1] DEBRAINE chapitre III). On symbolise cette fonction par le dessin de la figure 4-22.



Symbole du "circuit $\overline{ET}$".

Figure 4-22



Définition des états en logique positive.

Figure 4-23

Pour approfondir l'étude des circuits logiques, nous allons reprendre la classification que nous avons établie au paragraphe 3.2.

4.2.1. - Etude de la logique essentielle (figure 4-25)

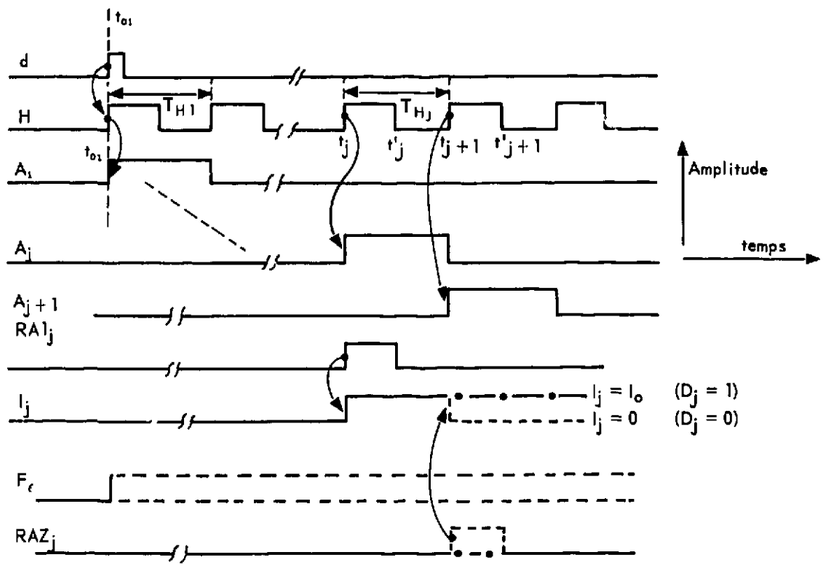
Cette logique traite les décisions du comparateur afin de permettre l'acceptation, ou le refus, des tensions partielles dont la somme constitue V_q (§3.1.).

1°) Liaisons logiques "Comparateur (C) - Générateur de courant (G.C.)"

Reprenons la figure 3-3 (diagramme des temps) en portant avec précision les ordres qui doivent commander les générateurs de courant (G.C.). Le déroulement des opérations, à partir de la décision du comparateur, reste le même lors de chaque comparaison, c'est-à-dire lors de la commande de chaque G.C. De ce fait, sur la figure 4-24, nous n'avons tracé que les signaux relatifs à la $j^{ème}$ comparaison.

Ce nouveau diagramme des temps va nous permettre d'établir les relations liant $RA1_j$ et RAZ_j aux différents signaux disponibles. En ce qui concerne $RA1_j$, cela est immédiat car ce signal doit être indépendant de F_E et doit exister à l'entrée du G.C. dès que le signal de l'horloge (H) arrive à la $j^{ème}$ période; il doit être nul partout ailleurs. Cette période est repérée par l'anneau (A), lorsque le signal de la $j^{ème}$ sortie (A_j) passe de "0" à "1". D'où la relation logique :

$$\boxed{RA1_j = H \cap A_j} \quad . \qquad (4.43)$$



d = impulsion du début de la mesure.

H = signal de l'horloge.

A_j = signal délivré par la $j^{ème}$ sortie de l'anneau (A).

I_j = courant délivré par le $j^{ème}$ générateur de courant.

$RA1_j$ = signal de "remise à un" de $G.C._j$; le courant I_j (celui injecté au noeud J, fig.4-1), passe de zéro à I_o.

F_ε = fonction qui n'a que deux valeurs, désignées par "0" et "1" ; respectivement elles caractérisent, par exemple, les décisions du comparateur $\varepsilon > 0$ et $\varepsilon < 0$ ($\varepsilon = V_1 - V_q$).

RAZ_j = signal de "Remise à zéro" du $G.C._j$.

Diagramme des temps pour la liaison " (C), (G.C)".

Figure 4-24

Pour le signal RAZ_j, cela est plus compliqué car sa valeur est une fonction de F_ε. Dressons le tableau de vérité relatif à RAZ_j, en fonction des autres signaux. On a particulièrement (TABLEAU V) :

Phases de fonctionnement	H	A_j	A_{j+1}	F_ε	RAZ_j
t_{o1} à t_j	*	*	*	*	0
t_j à t'_j	1	1	0	*	0
t'_j à t_{j+1}	0	1	0	*	0
t_{j+1} à t'_{j+1}	1	0	1	0	0
	1	0	1	1	1

Le symbole * signifie que la valeur logique est "0" ou "I"

TABLEAU V

La fonction cherchée est donc :

$$RAZ_j = H \cap \overline{A_j} \cap A_{j+1} \cap F_\varepsilon$$

où, de la figure 4-24 : $A_j \cap A_{j+1} = 0$

c'est-à-dire : $\overline{A_j} \cap A_{j+1} = A_{j+1}$

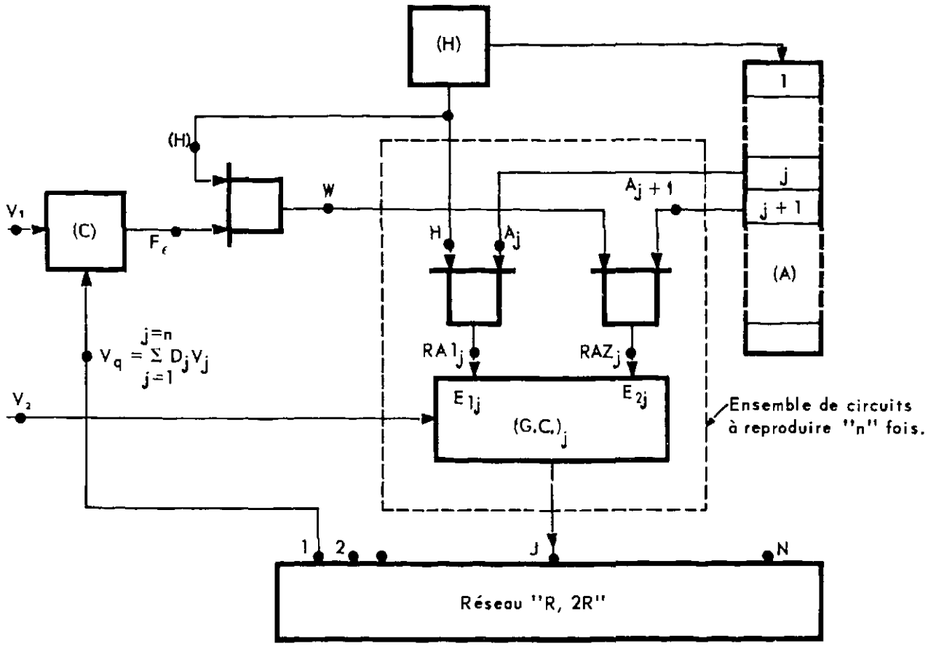
d'où
$$RAZ_j = H \cap A_{j+1} \cap F_\varepsilon \,. \qquad (4.44)$$

Pratiquement, afin de ne pas utiliser un "circuit ET" à trois entrées pour former chaque RAZ_j, on décompose (4.44) en :

$$\boxed{RAZ_j = W \cap A_{j+1}} \qquad (4.45)$$

où
$$W = H \cap F_\varepsilon \,.$$

Cette dernière relation, avec (4.43), permettent alors de préciser (fig.4-25) le schéma synoptique de la figure 3-4. De même que précédemment, les circuits étant répétés n fois (n = 8 bits), un seul est représenté.



Liaisons logiques entre l'horloge (H), l'anneau (A), le $j^{ème}$ générateur de courant $(G.C._j)$ et le comparateur (C).

Figure 4-25

2°) Le compteur en anneau (ou anneau), (§ 5.3. de [2])

C'est un registre à décalage ([1] SOUBIES chapitre VIII) fermé sur lui-même et dans lequel on ne fait glisser qu'un bit. Ce dernier délivre une seule impulsion (A_j) lors de son passage devant chacune des sorties du registre et passe d'une sortie, à la suivante, sous l'effet d'une impulsion reçue à l'entrée (impulsion de glissement, H par exemple). Un tel système comporte autant d'états qu'il y a de sorties sur le registre à décalage.

Pour l'anneau utilisé, le nombre des états est déterminé par les relations (4.43) et (4.45); leurs indices montrent qu'il est nécessaire de réaliser un anneau à $(j_{max.} + 1)$ états, soit 9 ici, puisque $j_{max.} = n = 8$. A ce nombre, il faut prévoir un état supplémentaire (A_{o1}) pour effectuer la remise à zéro initiale (voir § 4.2.2).

3°) Le circuit de l'horloge (ou horloge) (fig. 4-26)

On désigne par ce nom, le générateur, délivrant les signaux rectangulaires représentés par H sur la figure 4-24, qui doit principalement alimenter l'anneau.

Le circuit de l'horloge est réalisé à partir de deux "circuits $\overline{ET}$", connectés suivant le schéma de la figure ci-après.

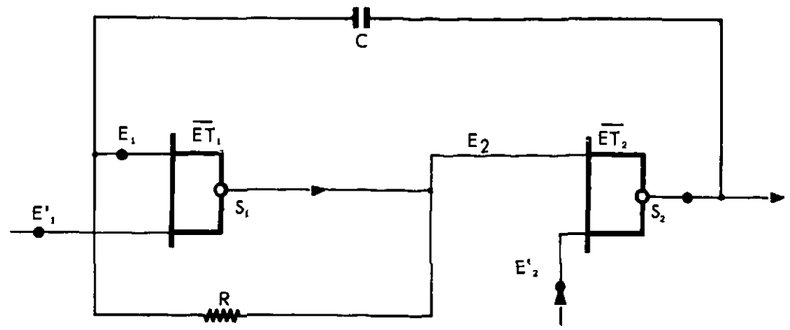


Schéma de l'horloge.

Figure 4-26

Si l'une des entrées, E'_1 ou E'_2, est à l'état "0", les entrées E_1 et E_2 sont sans effet sur les sorties : le système est bloqué. Avec $E'_1 = 1$, il vient $S_1 = \overline{E_1}$, et dès que E'_2 passe de l'état "0" à l'état "1", $S_2 = \overline{E_2} = E_1$ et le système est débloqué : il entre en oscillation car le gain en boucle ouverte est supérieure à l'unité

Les états initiaux (avant t_{01}) sont :

$$E'_2 = 0, \quad \text{d'où : } S_2 = 1$$

et vu le circuit électrique de la porte $\overline{ET}$, (logique T.T.L.) [12], on ne peut avoir que la situation :

$$S_1 = 0 \quad \text{et} \quad E_1 = 1 \cdot$$

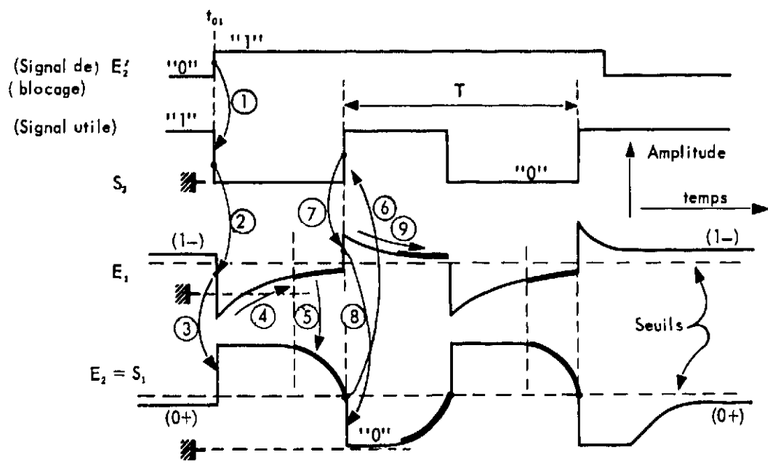
- Principe de fonctionnement

Le fait de placer la résistance R amène le circuit $\overline{ET_1}$ à avoir les tensions d'entrée et de sortie telles que, sur la caractéristique de transfert, le point de fonctionnement soit placé dans la zone active.

On a alors : $$\frac{\Delta V_{S1}}{\Delta V_{E1}} = G \quad (G \gg 1)$$

et $V_{S1} \# V_{E1}$. De ce fait les états logiques "1" et "0" sont peu actifs; on les désignera respectivement par "1-" et "0+".

A compter du déblocage de $\overline{ET_2}$, au temps t_{01} , les différentes réactions successives sont numérotées, (1) à (8), sur le diagramme des temps de la figure 4-27. Le cycle de basculement est celui décrit par les réactions (4), (5), ... (8).

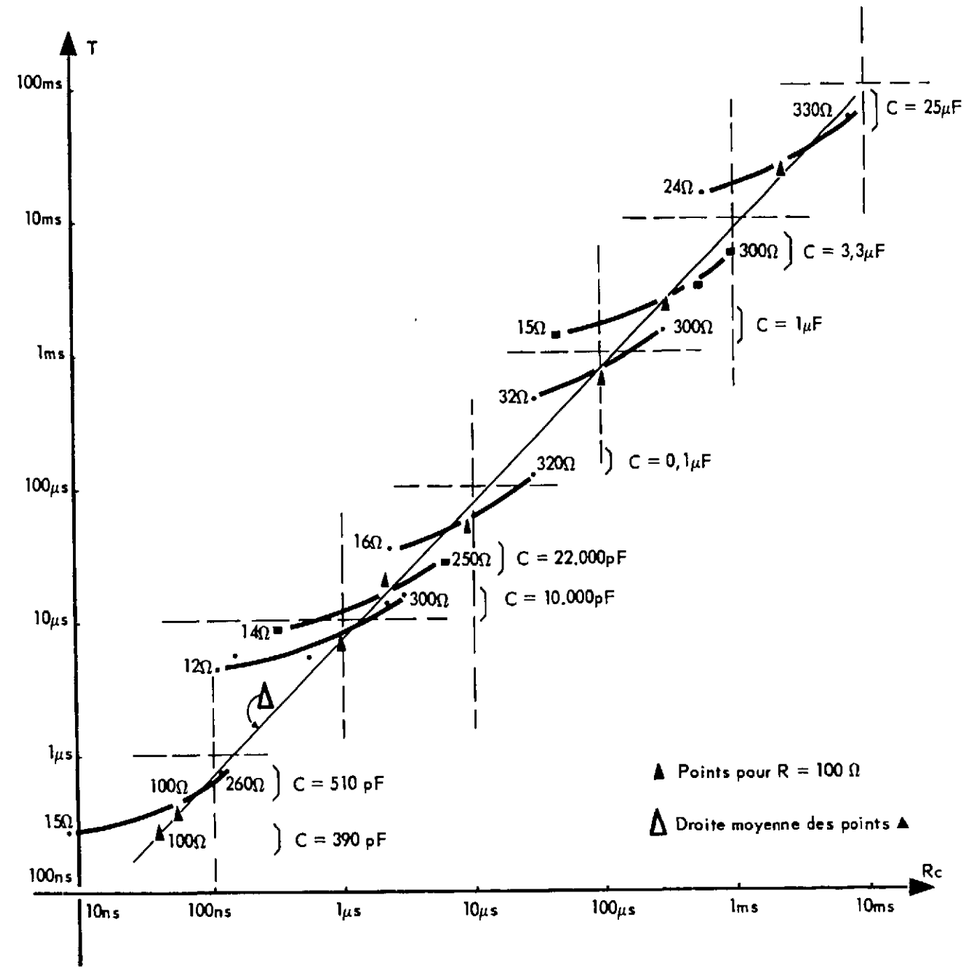


(1-) est un état logique du type "1" mais peu bloquant.
(0+) est un état logique du type "0" mais peu bloquant.
(3), numéro d'ordre des réactions successives après le blocage t_{01} .

Ces courbes ne sont là que pour expliquer le fonctionnement
(Les unités sur l'axe des amplitudes sont différentes d'un signal à l'autre).

Figure 4-27

Pour faciliter l'exploitation, nous avons relevé la caractéristique de fréquence (fig.4-28) : T = f (R.C.).



N O T A : Tous les points au-dessous et au-dessus de Δ pour lesquels R est spécifiée sont les points "limite d'oscillation".

T = f(RC)

Figure 4-28

Pour répondre à nos besoins, notamment H = 0 pour $t < t_{01}$ (fig.4-24), on adjoint un "circuit $\overline{ET}$" à la sortie S_2 du montage de la figure 4-26. Ce circuit logique joue, de plus, le rôle de séparateur (réduire les perturbations apportées à l'oscillateur par les variations de la charge).

Pour des raisons de stabilité de fonctionnement et de fréquence maximale d'horloge, on a employé des "circuits $\overline{ET}$" en logique T.T.L. Enfin, pour éviter l'arrêt de l'horloge dès que le signal d, appliqué sur E'_2 , revient à l'état "0" (fig.4-27), on remplace ce dernier par un signal X déduit du tableau de vérité répondant au diagramme des temps de la figure 4-29.

Intervalle de temps	H	d	X
a	0	0	0
b	1	1	1
c	0	1	1
e	1	1	1
f	1	0	1

TABLEAU VI

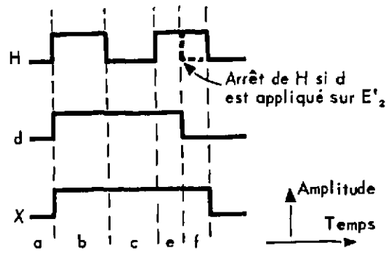
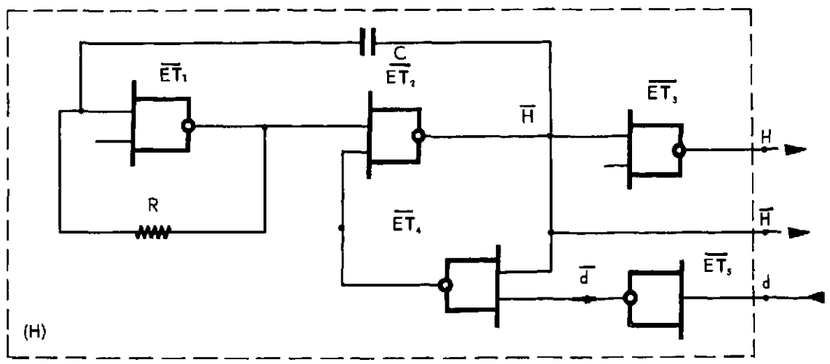


Diagramme des temps pour l'horloge à nombre entier de demi-périodes.

Figure 4-29

D'où $\overline{X} = \overline{H} \cap \overline{d}$

et le nouveau circuit de l'horloge devient celui de la figure 4-30.



Horloge à nombre entier de demi-périodes.

Figure 4-30

La photo 4-7 représente les signaux H et d, dans le fonctionnement représenté figure 4-30.

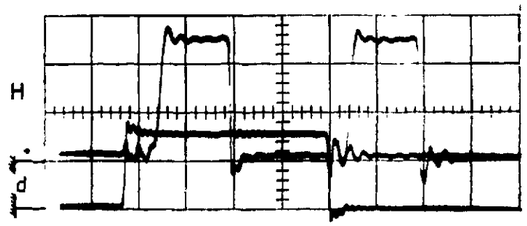
Le signal d a une durée telle qu'il arrive à la limite des intervalles c et e afin de montrer la très bonne qualité du spectre de déclenchement (la dernière impulsion de H, en fin de d, existe, ou n'existe pas).

Photo. 4-7

Signal horloge "H" pour un nombre entier de demi-périodes.

(ord. : 2 V/$_{car.}$)

(abs. : 100 ns/$_{car.}$)



N O T A : "l'Horloge-monostable"

Si la durée de l'impulsion de commande (d) est inférieure à la période du signal d'horloge (T_H), le système ne délivre qu'une seule impulsion. La durée de cette dernière est approximativement $\frac{T_H}{2}$. On a donc un monostable.

4°) <u>Extraction du quotient</u> (Q)

On sait que Q est le nombre formé par l'association des différents bits (D_j) [cf. les relations (2.10) et 2.12)]. Par ailleurs on connaît D_j en fonction de RAZ_1. En effet, si RAZ_j est égal à 1, durant sa phase active (fig.4-24 de t_{j+1} à t'_{j+1}), cela entraîne la nullité de I_j, c'est-à-dire de D_j [§ 3.1.2. et (3.4)] ; dans le cas contraire $D_j = 1$ si $RAZ_1 = 0$. Le tableau de vérité relatif à D_j, en fonction de RAZ_j et A_{j+1} est alors :

A_{j+1}	RAZ_j	D_j
0	0	0
0	1	0
1	0	1
1	1	0

TABLEAU VII

D'où

$D_j = A_{j+1} \cap \overline{RAZ_j}$.

Soit en remplaçant RAZ_j par sa valeur (4.45):

$D_j = A_{j+1} \cap (\overline{W \cap A_{j+1}})$

$= A_{j+1} \cap (\overline{W} \cup \overline{A_{j+1}})$ (théorème de MORGAN)

où $\cup$ est le symbole de "la fonction OU inclusif" ou "addition logique".

Soit : $\boxed{D_j = A_{j+1} \cap \overline{W}}$. (4.46)

L'ensemble des sorties délivrant D_1, D_2, ... D_j ... D_n donne ainsi la possibilité d'exploiter le quotient sous la forme parallèle (Q_p) (§ 3.2.2.) c'est-à-dire qu'il existe un fil de transmission par chiffre binaire.

Pour obtenir le quotient sous forme série (Q_S), additionnons tous les signaux représentant D_1 à D_n. On a donc :

$$Q_S = D_1 \cup D_2 \cup \dots \cup D_n$$

$$= (A_2 \cap \overline{W}) \cup (A_3 \cap \overline{W}) \cup \dots \cup (A_{n+1} \cap \overline{W}) ,$$

soit

$$Q_S = \overline{W} \cap (A_2 \cup A_3 \cup \dots \cup A_{n+1}).$$

En remarquant que la somme placée entre parenthèses est égale à $\overline{A_{01}} \cup \overline{A_1}$ (voir figure 4-33), il vient :

$$\boxed{Q_S = \overline{W} \cap \overline{A_{01}} \cap \overline{A_1}} \quad . \qquad (4.47)$$

4.2.2. - Etude de la logique annexe

1°) Les remises à zéro initiales (RAZ_i) (fig.3-4 et 4-31)

Elles sont au nombre de deux; l'une est pour l'anneau (RAZ_{i1}) et l'autre pour les G.C. (RAZ_{i2}).

Soit d_o le premier signal de commande du D.A.N. Les positions relatives, désirées entre d_o, RAZ_{i1} et RAZ_{i2} , sont données par le schéma suivant :

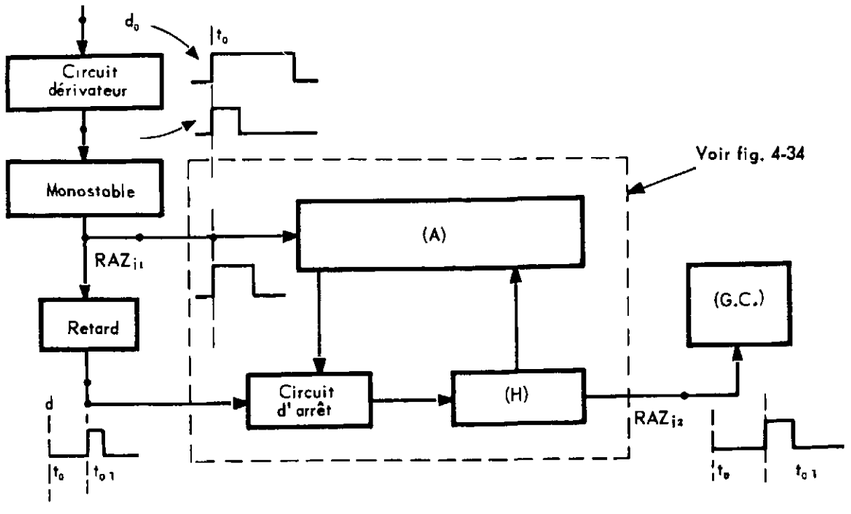


Figure 4-31 - Relations entre les signaux RAZ_{i1} et RAZ_{i2}.

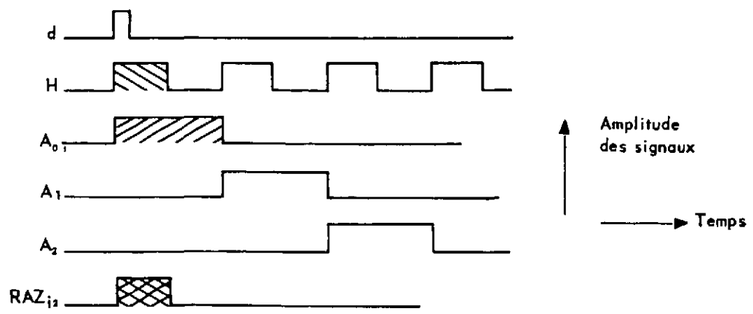
- Remise à zéro initiale pour l'anneau (RAZ_{i1})

Afin d'être certain de la correspondence entre la $j^{ème}$ sortie de l'anneau, positionnée à "1", et le G.C.$_j$, on assure une RAZ de l'anneau dès la réception du signal de commande (d_o). L'emploi d'une "horloge-monostable", excitée par le signal d_o différentié, permet la formation de RAZ_{i1}.

- Remise à zéro pour les G.C. (RAZ_{i2})

On a déjà mentionné (§ 3.2.2.) que ce signal était nécessaire afin de commander une conversion avec la certitude d'avoir tous les G.C. dans l'état $I_j = 0$. Le diagramme des temps (fig.4-32) précise la position que l'on souhaite pour RAZ_{i2}. Nous en déduisons que :

$$\boxed{RAZ_{i2} = H \cap A_{01}} \quad . \qquad (4.48)$$



Formation du signal RAZ_{i2}.

Figure 4-32

Ce signal, comme mentionné sur la figure 3-4, doit nécessairement être injecté simultanément à tous les circuits de commutation des G.C.

2°) Etude du circuit logique "arrêt de l'horloge"

Puisque l'on souhaite effectuer une mesure à la demande, cela signifie que le cycle des n comparaisons doit être effectué dès la réception du signal de commande (d). Après quoi, le système doit revenir à l'état initial ($t < t_{o1}$).

L'anneau comporte 10 états, on doit donc avoir les signaux d, H, A_o, A_{o1}, A_1,...A_8 du diagramme des temps ci-dessous :

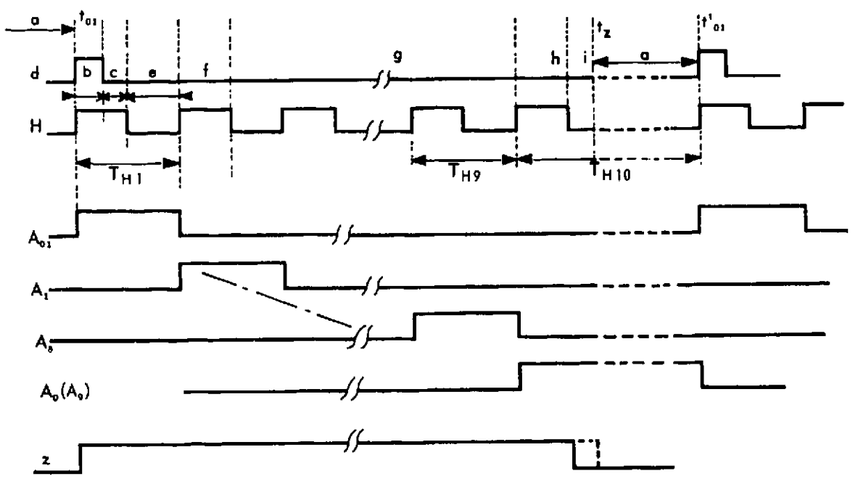


Diagramme des temps "arrêt de l'horloge".

Figure 4-33

N O T A :

A_9 est préférentiellement désigné par A_o parce que, durant la phase inactive de l'anneau, c'est la sortie qui est à "1".

Pour résoudre ce problème, il faut que sous l'action du signal d, à t_{o1} , l'horloge délivre son signal H comme figuré ci-dessus et que ce dernier s'arrête durant la 10ème période (T_{H10}), sinon l'anneau ne revient pas à l'état initiale : $A_o = 1$.

Le circuit d'horloge, vu à la figure 4-26, permet de répondre à ces conditions impératives si nous lui fournissons à l'entrée E'_2 , un signal z (z sur la figure 4-33) tel que :

$$z = o \quad \text{pour} \quad t_z \leqslant t < t'_{o1}$$

$$z = 1 \quad \text{pour} \quad t_{o1} \leqslant t < t_z .$$

Etablissons la formation du signal z en dressant son tableau de vérité, en fonction des autres signaux.

Phases de fonctionnement	d	H	A_o	A_{o1}	A_1	A_j	A_8	z
a	0	0	1	0	0	0	0	0
b	1	1	0	1	0	0	0	1
c	*(1)	1	0	1	0	0	0	1
e	*	0	0	1	0	0	0	1
f	*	1	0	0	1	0	0	1
g	0(2)	*	0	0	0	*	*	1
h	0	1	1	0	0	0	0	1
i	0	0	1	0	0	0	0	(3)

(1) Ce symbole signifie que la variable peut être égale à l'une quelconque des valeurs logiques "o" ou "1".

(2) Le signal d ne dure que quelques prériodes de H.

(3) On est sur la fin du signal z et l'on ne sait pas avec précision où il doit reprendre la valeur "o". Or, en remarquant que les conditions durant la phase "i" sont les mêmes que celles durant "a" on en déduit que la fonction z ne peut être que nulle.

Etude du signal "z" .

TABLEAU VIII

D'où : $$\bar{z} = \bar{d} \cap \bar{H} \cap A_o \cap \bar{A}_{o1} \cap \ldots \cap \bar{A}_8 .$$

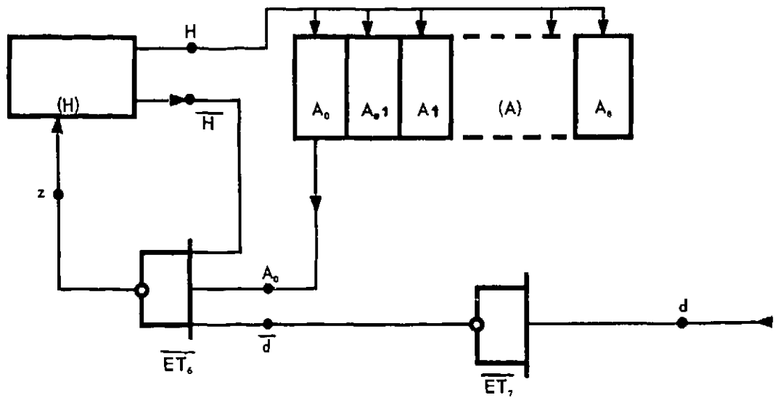
Or, figure 4-33, nous notons que :

$$\bar{A}_{o1} \cap \bar{A}_1 \cap \ldots \cap \bar{A}_8 = \overline{A_{o1} \cup A_1 \cup \cdots \cup A_8}$$

$$= A_o ,$$

soit $$\boxed{\bar{z} = \bar{d} \cap \bar{H} \cap A_o} . \qquad (4.49)$$

Le schéma logique s'établit alors ainsi :



Association (H), (A).

Figure 4-34

Vu (4.49) et la valeur de "X", on voit qu'il serait possible de simplifier l'association (H), (A). En effet, remplaçons "d" (fig.4-30) par "z" (fig.4-34), on a :

$$\overline{X} = \overline{H} \cap (\overline{d} \cap \overline{H} \cap A_o)$$

$$= \overline{d} \cap \overline{H} \cap A_o \ .$$

Ce résultat montre que l'on pourrait supprimer les "circuits $\overline{ET_4}$ et $\overline{ET_5}$" (fig.4-30), mais du même coup on détruirait l'unité, utile par ailleurs, du circuit d'horloge (H).

3°) <u>Circuit indicateur du nombre de bits significatifs</u>

On a vu sur la figure 2-5 (traduction de la relation 2.14), que, suivant la valeur de V_2, le quotient est défini par s bits significatifs. Ce nombre s est donné, par l'appareil, sous forme d'un nombre binaire. Les chiffres non significatifs seront toujours nuls.

Afin de déterminer dans quelle plage V_2 se situe, utilisons une série de comparateurs du type µA 710. Chacun d'eux (C_s) reçoit, sur une de ses entrées, la tension de référence $2^{s-p-1}\ \Delta V_c$ (cf. 2.14) où s = 4 à 8, puisque l'on a choisi $(V_2)_{min.} = \Delta V_c$ (§ 3.2.2.). Sur l'autre entrée, est injectée la tension V_2. On a donc le tableau suivant, où par exemple $C_s = 1$ pour $V_2 < 2^{s-p-1}\ \Delta V_c$ et $C_s = o$ dans le cas contraire.

Plage de V_2	N° du cas	s	C_3	C_4	C_5	C_6	C_7	C_8	C_9
$V_2 < \Delta V_c$	*	*	0	1	1	1	1	1	1
$2^0\Delta V_c \leqslant V_2 < 2^1\Delta V_c$	S_4	4	0	0	1	1	1	1	1
$2^1\Delta V_c \leqslant V_2 < 2^2\Delta V_c$	S_5	5	0	0	0	1	1	1	1
$2^2\Delta V_c \leqslant V_2 < 2^3\Delta V_c$	S_6	6	0	0	0	0	1	1	1
$2^3\Delta V_c \leqslant V_2 < 2^4\Delta V_c$	S_7	7	0	0	0	0	0	1	1
$2^4\Delta V_c \leqslant V_2 < V_{2max.}$	S_8	8	0	0	0	0	0	0	1
$V_{2max.} < V_2$	*	*	0	0	0	0	0	0	0

* Cas en dehors de la gamme.

Blocage des comparateurs correspondant aux bits non significatifs.

TABLEAU IX

Dresson un tableau analogue pour les bits significatifs, en fonction des différentes plages de V_2 (tableau ci-dessous).

Plage de V_2	D_1 à D_4	D_5	D_6	D_7	D_8	s
$2^0\Delta V_c \leqslant V_2 < 2^1\Delta V_c$	*	ϕ	ϕ	ϕ	ϕ	4
$2^1\Delta V_c \leqslant V_2 < 2^2\Delta V_c$	*	*	ϕ	ϕ	ϕ	5
$2^2\Delta V_c \leqslant V_2 < 2^3\Delta V_c$	*	*	*	ϕ	ϕ	6
$2^3\Delta V_c \leqslant V_2 < 2^4\Delta V_c$	*	*	*	*	ϕ	7
$2^4\Delta V_c \leqslant V_2 < (V_2)max.$	*	*	*	*	*	8

ϕ Bits non significatifs,

* Bits égaux à "1" ou "0".

Plage de mesure et bits significatifs.

TABLEAU X

La comparaison de ces deux tableaux fait apparaître une similitude entre les états logiques de C_4 à C_8 et les valeurs des bits D_1 ... D_4 à D_8 , pour une même plage de V_2. On peut donc déduire que chaque fois que $C_s = 1$ il faut sélectionner un signal qui vienne inhiber la décision du comparateur. Chaque D_j étant formé par la réunion de $\overline{W}$ et de A_{j+1} , ce signal d'inhibition (i) doit être A_{j+1} pour des raisons de concordance de temps (ou son complément $\overline{A}_{j+1}$). On note aussi que seuls C_5, C_6, C_7 et C_8 interviennent dans la recherche de i car C_4 est toujours nul.

Pour le cas S_4, le signal d'inhibition (I) est donc formé par la réunion de tous les i partiels ;

$$I_4 = A_6 \cap A_7 \cap A_8 \cap A_9 .$$

Vu la relation particulière entre les signaux A_j (fig.4-24)

- les états "1" ne coïncidant jamais - le signal I_4 est constamment nul.

Si au contraire, chaque comparateur C_s sélectionne $\overline{A}_{j+1}$, on a :

$$I_4 = \overline{A}_6 \cap \overline{A}_7 \cap A_8 \cap A_9 .$$

Formons la réunion $Q_S \cap I_4$ où $Q_S = \overline{W} \cap (A_2 \cup \ldots \cup A_9)$, [cf. établissement de (4.47)] ,

$$Q_S \cap I_4 = \overline{W} \cap (A_2 \cup \ldots A_6 \ldots \cup A_9) \cap (\overline{A}_6 \cap \ldots \cap \overline{A}_9).$$

Or, $(a \cup b \cup c) \cap (\overline{b} \cap \overline{c}) = a$

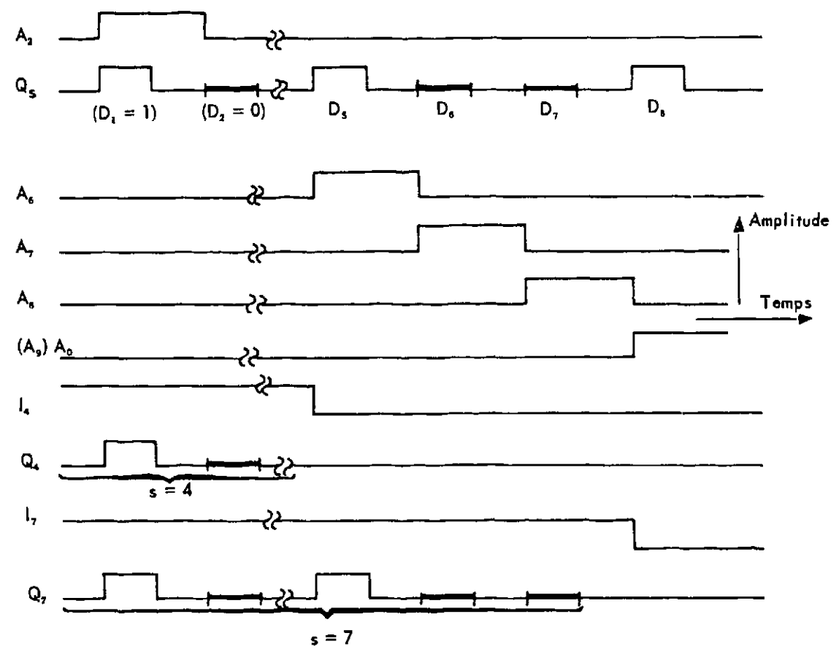
lorsque a, b, c sont des signaux tels que A_i, A_{i+1} , A_{i+2} de la figure 4.35 ,

d'où $Q_S \cap I_4 = \overline{W} \cap (A_2 \cup A_3 \ldots \cup A_5)$

$$\boxed{Q_S \cap I_4 = D_1 \cup D_2 \cup D_3 \cup D_4 = Q_4} . \qquad (4.50)$$

De cette façon, le quotient n'est formé que des bits significatifs.

Représentons le diagramme des temps correspondants (fig.4-35) et le schéma logique (fig.4-36).

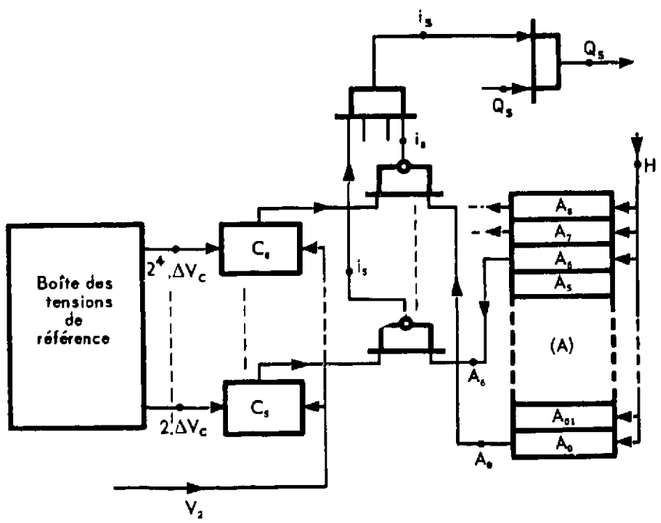


Q_S = Q sous forme série,

Q_s = Q défini par s bits.

Diagramme des temps pour 4 et 7 bits significatifs.

Figure 4-35



$$i_5 = \overline{C_5 \cap A_6}$$

$$= \overline{A}_6 \qquad \text{si } V_2 < 2^1\,\Delta V_c \qquad \text{soit } C_5 = 1$$

$$= 1 \qquad \text{si } V_2 \geqslant 2^1\,\Delta V_c \qquad \text{soit } C_5 = 0.$$

$$i_s = \overline{C_s \cap A_{s+1}}$$

$$= \overline{A}_{s+1} \qquad \text{si } V_2 < 2^{s-p-1}\,\Delta V_c \qquad \text{soit } C_s = 1$$

$$= 1 \qquad \text{si } V_2 \geqslant 2^{s-p-1}\,\Delta V_c \qquad \text{soit } C_s = 0.$$

Schéma logique de la sélection des "s" bits significatifs.

Figure 4-36

Quant à l'indication du nombre s, on sait que $s_{min.} = 4$ puisque l'on s'est fixé $V_{2\ min.} = \Delta V_c$. Il suffit alors de compter les 4 autres bits (s variant de 4 à 8). Pour cela, une échelle (bistables connectés en chaîne) décomptante, formée de 3 bistables (capacité de $2^3 - 1$ coups), reçoit le signal $\overline{I}$. On a en effet :

$$I = (\overline{C_5 \cap A_6}) \cap \ldots \cap (\overline{C_s \cap A_{s+1}}) \cap \ldots \cap (\overline{C_8 \cap A_9}).$$

Pour

$$V_2 > 2^{s-p-1}\,\Delta V_c$$

$$C_5 \text{ à } C_s = 0 \quad \text{et} \quad C_{s+1} \text{ à } C_8 = 1\ ,$$

d'où I devient I_s avec :

$$I_s = \overline{A}_{s+2} \cap \ldots \cap \overline{A}_9$$

$$\overline{I}_s = A_{s+2} \cup \ldots \cup A_9.$$

C'est-à-dire que $\overline{I}$ représente le nombre de bits supprimés que l'on déduit du total initialement enregistré, lors du passage de l'état $A_{o1} = 1$. De manière plus générale, (4.50) s'écrit donc :

$$\boxed{Q_s = Q_S \cap I_s = D_1 \cup \ldots \cup D_s}\ . \qquad (4.51)$$

5 - REALISATION

La réalisation du D.A.N. est un peu plus compliquée que ne le laisse paraître les résultats de l'analyse qui précède (§ 4). En ce qui concerne les circuits analogiques, il y a nécessité d'introduire un circuit de translation. En effet, la figure 4-17 fait apparaître les tensions V_2 et V_q comme étant délivrées par rapport à deux niveaux différents.

Du côté de la partie logique il faut tenir compte des retards de transmission dans les circuits et de l'état de F_ℓ qui peut changer dès que le signal de RAZ_j passe de "0" à "1". Ces effets apportent des signaux parasites (photo. 5-1). Par ailleurs, l'étude des fonctions logiques a été menée sur un plan de principe, c'est-à-dire que l'on n'a pas tenu compte du type de circuit dont on disposait pour la réalisation (uniquement des "circuits $\overline{ET}$"). De plus, il faut étudier la disposition des circuits logiques en fonction de la puissance maximale, utilisable à leur sortie : sortance (fan-out en anglo-saxon). L'exemple donné par l'horloge est typique; les figures 4-25 et 4-34 montrent fort bien la quantité de circuits que doit alimenter la sortie "H" de l'horloge.

Quant à la somme $\overline{I_4}$ (établissement de la relation 4.50)

$\overline{I_4} = A_6 \cup A_7 \cup \ldots \cup A_9$, elle ne peut être pratiquement comptée par une échelle dans le cas où ces signaux sont ceux délivrés par un anneau ($\overline{I_4}$ = 1 du début de A_6 à la fin de A_9 , cf. fig.4-35).

Enfin il subsiste un problème de liaison entre les informations délivrées par le D.A.N. et le bloc mémoire BM 96, nécessaire pour effectuer certaines mesures ([2] § 6.2.2.). Cette difficulté provient de fait que les circuits de la logique D.T.L. délivrent des signaux d'amplitude trop juste pour exciter ce bloc mémoire.

D'où l'emploi de circuits logiques de transition (type 362. CJ - AMELCO) pour résoudre ce problème.

- Effet dû aux retards.

$(ord.)_{H,d}$ = 5 V/car.

$(ord.)_{\overline{Z}}$ = 2 V/car.

(abs.) = 200 ns/car.

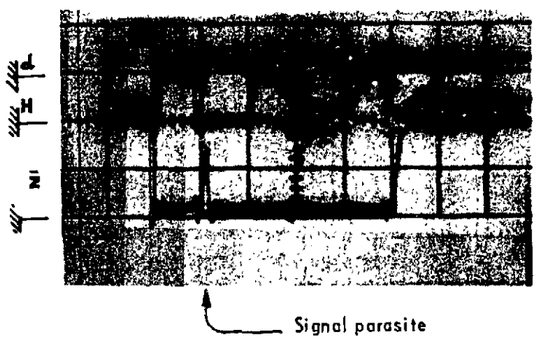
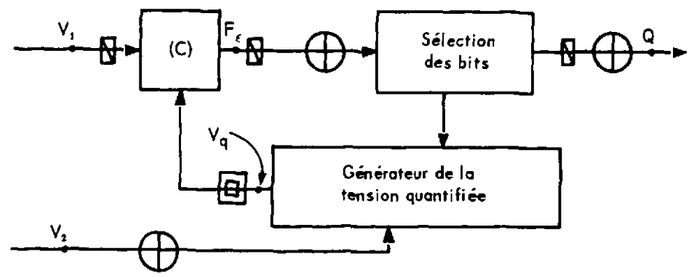


Photo. 5-1

5.1. - LE CIRCUIT DE TRANSLATION

Pour situer le problème, reportons-nous au schéma synoptique de la figure 2-4. On constate qu'il y a plusieurs possibilités (fig.5-1).



1ère possibilité : ⊕ signifie "circuit de translation" dans le cas où l'on translate V_2 afin d'avoir V_q mesurée par rapport à la masse, comme V_2 et V_1.

2ème possibilité : ⊠ cas où V_1 est élevée au niveau V_q.

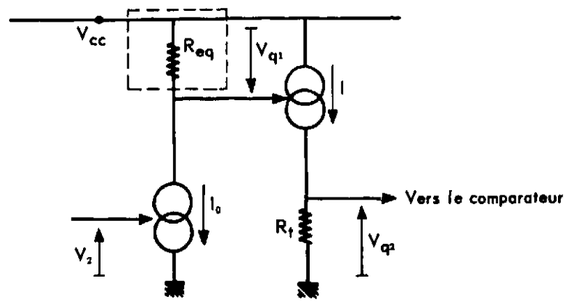
3ème possibilité : ⊡ cas où V_q est ramenée au niveau de la masse .

Diverses translations possibles

Figure 5-1

La troisième solution semble la plus intéressante, car elle laisse toute la logique inchangée par rapport au niveau de la masse et ne nécessite qu'un circuit de translation.

Pour ce circuit, on utilise un G.C. du type décrit figure 4-7. Ce choix est déterminé par la bonne stabilité thermique que doit avoir ce circuit. L'ensemble est représenté figure 5-2.



Translation de V_q dans le cas ⊡ (fig.5-1).

Figure 5-2

On souhaite $\left|V_{q2}\right| = \left|V_{q1}\right|$, alors que nous avons :

$$I = K \cdot V_{q1} .$$

$$= \left(-\frac{V_{q1}}{R'_E}\right) \cdot \frac{R_2}{R_1} \quad \text{(voir fig.4-7)}$$

D'où $$R_t = R'_E \frac{R_1}{R_2} .$$

Pour les mêmes raisons de stabilité thermique qu'au paragraphe 4.1.2. 1°, on emploie les résistances VISHAY pour R_t.

5.2. - LES PROBLEMES LOGIQUES

La plupart des points mentionnés ci-dessus se résolvent par une disposition judicieuse des circuits. Il reste cependant le cas des signaux parasites ([2] § 5.8.2.). Un exemple en est donné sur la figure 5-3 à propos de $RA1_j$.

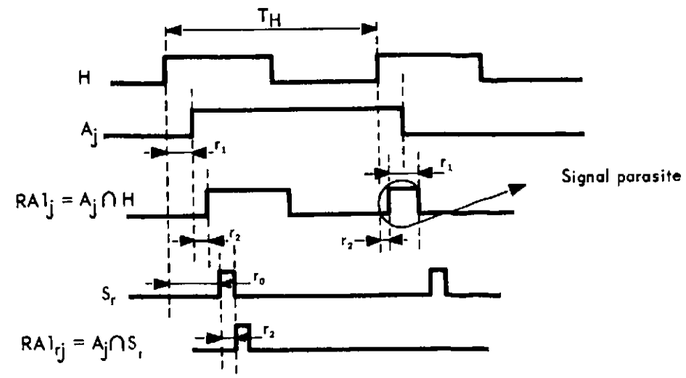
Cela conduit à des tableaux de vérité plus compliqués. Finalement on en vient à remplacer H par un signal du type S_r (fig.5-3), sauf dans la relation z (4.49). Pour des raisons sensiblement de même nature, les relations (4.46) et (4.47) sont complétées par une intersection avec S_r :

$$D_{rj} = A_{j+1} \cap \overline{W} \cap S_r$$

$$= A_{j+1} \cap \overline{F_\varepsilon} \cap S_r$$

$$Q_S = \overline{W} \cap \overline{A}_{o1} \cap \overline{A}_1 \cap S_r$$

$$= \overline{F_\varepsilon} \cap \overline{A}_{o1} \cap \overline{A}_1 \cap S_r$$



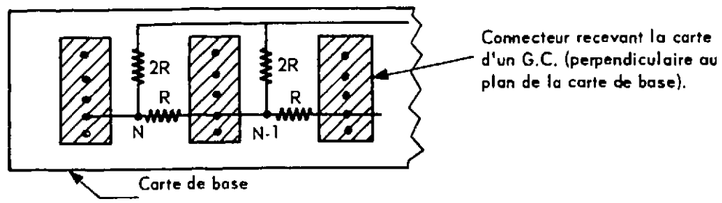
Effet perturbateur du retard .

Figure 5-3

5.3. - LA TECHNOLOGIE

Tous les composants, qu'ils soient du type résistance, capacité, transistor ou circuit intégré, sont fixés sur carte en "verre-époxy" et reliés électriquement par un câblage imprimé. Ce dernier, suivant la complexité des liaisons, est à simple face, double face ou multicouche. Les cartes sont équipées de connecteurs miniatures, à 33 contacts au pas de 0,127 mm (1/20ème de pouce), modèle SOURIAU. Cette réalisation constituant un prototype, les circuits intégrés et les transistors ne sont pas soudés à même les liaisons imprimées, mais viennent se connecter à celles-ci par l'intermédiaire d'oeillets miniatures à ressort (oeillet D 07 Réf. 3.330.808.8 - producteur A.M.P.).

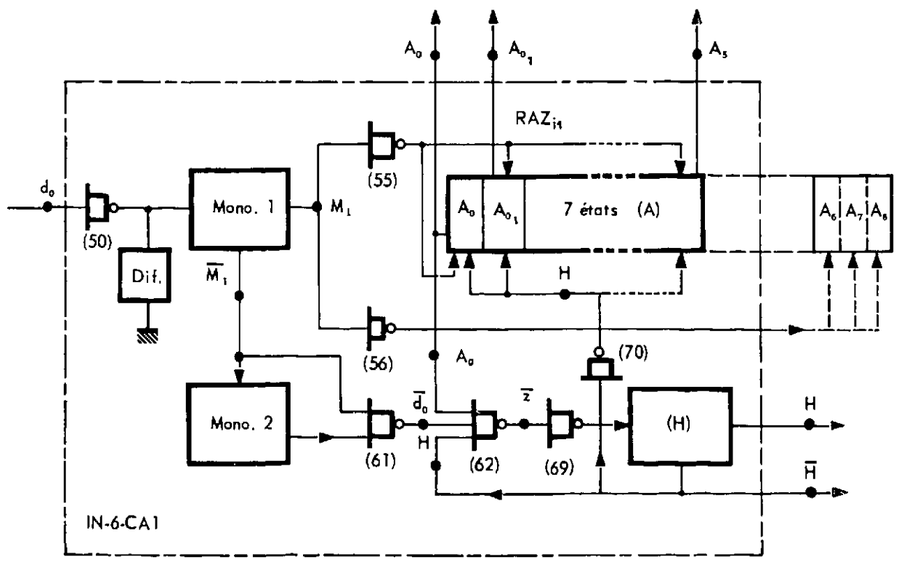
En ce qui concerne le réseau "R, 2R", afin de ne pas disperser les différentes résistances qui le composent, elles sont toutes placées sur une même carte (carte de base). A chaque noeud du réseau vient s'intercaler un connecteur (fig.5-4) recevant une carte sur laquelle est câblé un seul générateur de courant dont le schéma a été donné figure 4-17.



Disposition du réseau sur la carte de base .

Figure 5-4

Les circuits logiques prennent place sur des cartes de même format (78 mm x 80 mm). Chacune d'elles assure dans la mesure du possible une seule catégorie de fonctions. Un exemple est donné sur la figure 5-5. Ce circuit, n° IN-6-CA1, délivre la majorité des signaux de sélection des bits. Chacun des circuits : (H), monostable 1 et 2 sont constitués par un circuit intégré (logique T.T.L.) type SN 7.400 N (producteur : TEXAS Instrument). Les autres circuits sont formés en logique D.T.L.



Mono. 1, Mono. 2 et (H) : 1 circuit SN7400N pour chacun d'eux (T.T.L.)
(A) : 7 circuits MC 848 (D.T.L.)
61-62-70 : 1 circuit MC 862 (D.T.L.)
50-55-56-69 : 1 circuit MC 846 (D.T.L.)
Dif. : circuit différentiateur .

Contenu de la carte IN-6-CA1.

Figure 5-5

Les autres cartes sont repérées :

IN-6-CA2	(suite de l'anneau, Q_S et S_r)
IN-6-CC2	(formation de Q_P)
IN-6-CP2	(ensemble des portes de commande des G.C.)
IN-6-C_s,Q_s,s_S	(formation de Q_s et s_S)
IN-6-LT 1	(logique de transition pour Q_P).

L'interconnexion de toutes ces cartes est facilitée par la carte de base qui est un circuit imprimé multicouche (5 couches).

5.4. - LES ALIMENTATIONS

Le diagramme des différentes alimentations est représenté par la figure 5-6.

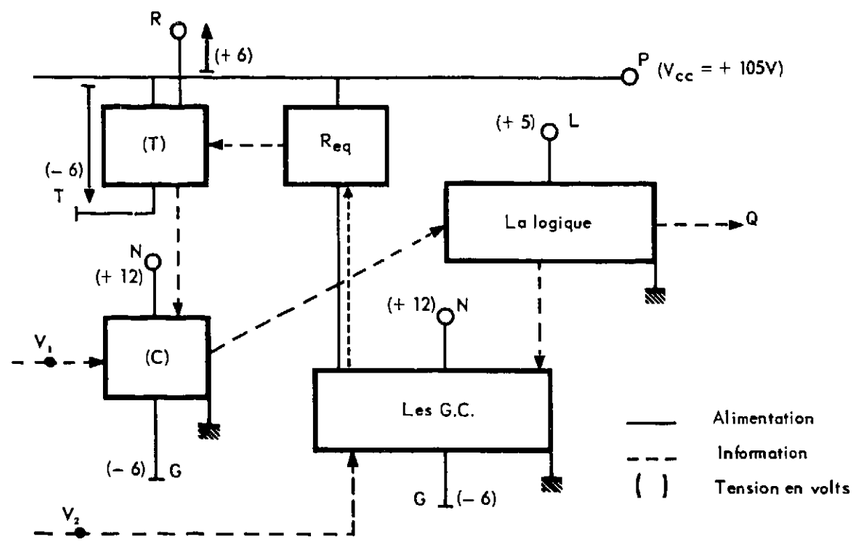


Diagramme des alimentations .

Figure 5-6

Les consommations sont de l'ordre de :

5 W pour P,
4 W pour N,
3 W pour L,
0,5 W pour G

soit environ 13 watts en puissance continue.

6 - CONCLUSION

L'étude qui précède décrit un diviseur-analogique-numérique (D.A.N.); c'est un appareil capable d'effectuer une division où le dividende et le diviseur sont des tensions et où le quotient est délivré sous la forme d'un nombre binaire pur.

Que ce soit pour fonctionner dans l'expérience prévue initialement (détermination du point d'impact d'une particule dans un scintillateur) ou encore pour être utilisé dans la discrimination neutron-gamma, associée à un ensemble de spectrométrie de neutrons à protons de recul, il faut noter la nécessité d'introduire un circuit allongeur sur chacune des voies du dividende (V_1) et du diviseur (V_2).

En effet, le D.A.N. exige au moins 15 µs pour déterminer un quotient de 8 bits. Durant ce temps (temps de conversion), les variations ΔV_1 et ΔV_2 doivent être faibles devant l'échelon unité (u) ainsi qu'il a été montré, sinon le quotient n'a plus de sens. Ces circuits allongeurs existent : un très bon modèle a été étudié par RIMINI. (Energia nucleare, "Fast feedback stretcher" Vol. 12/ N°5 maggio 1965).

Quant à la dynamique d'entrée, rappelons que les tensions V_1 et V_2 peuvent être comprises dans l'intervalle -50 mV à -5 Volts. Chacune des voies présente une impédence d'entrée d'environ 10 KΩ. En ce qui concerne le quotient, dans la zone de meilleure précision ($V_2 \geqslant 800$ mV) il varie de 1/16 à 16 par bond de 1/16 ; c'est un nombre binaire, délivré sous la forme série et parallèle.

Du point de vue prix de revient, pour ce modèle expérimental, il est de l'ordre de 15.000 Francs.

Sur le plan de l'exploitation, malgré l'absence des circuits allongeurs, cet appareil est immédiatement utilisable dans certaines expériences permettant de s'affranchir du temps de conversion, comme par exemple "les mesures en spectrométrie gamma".

ANNEXE

-(A) <u>Fonctionnement du C.A.N. en numération non binaire, par exemple en base 4 (B = 4).</u>

Soient $0, \alpha, \beta, \gamma$, les 4 chiffres de ce système.

Pour les premières comparaisons on aurait :

<u>1ère comparaison</u>

Si $\mathcal{E}_1 \geqslant 0$:

a) on maintient $\gamma B^{n-1} u$ en réalisant $\gamma \neq 0$ et

b) on engage la 2ème comparaison avec :

$$Vq = \gamma B^{n-1} u + \gamma B^{n-2} u ;$$

Si $\mathcal{E}_1 < 0$:

a) on annule $\gamma B^{n-1} u$ en réalisant $\gamma = 0$ et

b) on engage la 2ème comparaison avec :

$$Vq = \beta B^{n-1} u$$

<u>2ème comparaison</u> en choisissant $\mathcal{E}_1 < 0$

Si $\mathcal{E}_2 \geqslant 0$:

a) on maintient $\beta B^{n-1} u$ en réalisant $\beta \neq 0$ et

b) on engage la 3ème comparaison avec :

$$Vq = \beta B^{n-1} u + \gamma B^{n-2} u ;$$

Si $\mathcal{E}_2 < 0$:

a) on annule $\beta B^{n-1} u$ en réalisant $\beta = 0$ et

b) on engage la 3ème comparaison avec :

$$Vq = \alpha B^{n-1} u .$$

Ce fonctionnement fait ressortir qu'il n'existe pas de relation simple, telle que (2.3), entre les différents termes de Vq et la suite des erreurs $\mathcal{E}_1 \ldots \mathcal{E}_p$.

(B) Soit la série :

$$S = 2^{n-1} + 2^{n-2} + \dots + 2^{o}.$$

On a :

$$S + 1 = \dots\dots\dots\dots\dots \quad 2^{1} \underbrace{+2^{o} \underbrace{+2^{o}}_{2^{1}}}$$

$$= 2^{n-1} + 2^{n-1} \quad 2^{2}$$

$$= 2^{n} \quad , \quad \text{soit} \quad \boxed{S = 2^{n} - 1}.$$

(C) Montrons que si $V_1 < 2^n u$, l'erreur E_n doit être inférieure à u.
De (2.3.),

$$V_1 = u\,(a_n\, 2^{n-1} + \dots + a_{j+1} 2^{j} + a_j 2^{j-1} + \dots + a_1\, 2^{o}) + E_n .$$

Supposons

$$u \leqslant E_n \leqslant 2^{n-1}\, u ,$$

on peut trouver une valeur de j telle que :

$$2^{j-1} \leqslant \frac{E_n}{u} \leqslant 2^{j} .$$

Ecrivons alors l'erreur sous la forme

$$E_n = 2^{j-1}\, u + E_o \quad \text{avec} \quad E_o < u ,$$

d'où la valeur de V_1 :

$$V_1 = u\,(a_n\, 2^{n-1} + \dots + a_{j+1} 2^{j} \underbrace{+ a_j 2^{j-1} + 2^{j-1}}_{(a_j+1)2^{j-1}} + a_{j-1}\, 2^{j-2} + \dots + a_1\, 2^{o}) + E_o .$$

Le fait que E_n soit supérieure à u entraînerait donc le changement d'au moins un chiffre (a_j) dans le nombre binaire mesurant V_1. Cela impliquerait une erreur de la part du comparateur lors de la $j^{\text{ème}}$ comparaison permettant de déterminer ce coefficient a_j ! ... C'est-à-dire que le système serait en panne.

Si tous les coefficients $a_n \geqslant a_j$ sont égaux à "1" on a :

$$2^{j-1}\,(a_j+1) = (1+1)\, 2^{j-1}$$

$$= 2^{j}$$

d'où $\quad a_{j+1}\, 2^{j} + 2^{j} = 2^{j+1}$ ... etc ..

et

$$V_1 = u\,(1.2^{n} + 0.2^{n-1} + \dots + 0.2^{j} + 0.2^{j-1} + a_{j-1}.2^{j-2} + \dots + a_1\, .2^{o}) + E_o .$$

Or, $(V_1)_{max.} = 2^n\, u$, d'où : $V_1 > (V_1)_{max.}$.

Donc, seulement si $V_1 > (V_1)_{max.}$ c'est-à-dire hors de la plage de mesure de l'appareil, l'erreur E_n sera supérieure à l'échelon de quantification u.

(D)

$$V_1 = u\,(D_1\, 2^{n-1} + \dots + D_j\, 2^{n-j} + \dots + D_n\, 2^{o})$$

$$= u\, 2^{n-1} \left[\frac{D_1}{2^{o}} + \dots + \frac{D_j}{2^{j-1}} + \frac{D_n}{2^{n-1}} \right]$$

$$= \frac{u\, 2^{n-1}}{2^{p}} (D_1\, 2^{p} + \dots + D_j\, 2^{p+1-j} + D_n\, 2^{p+1-n}).$$

Pour $\quad p+1-j = 0 \quad$ c'est-à-dire $\quad j = p+1$,

on a :

$$V_1 = \frac{u\, 2^{n-1}}{2^{p}} (D_1\, 2^{p} + \dots + D_{p+1}\, 2^{o} + \dots + D_n\, 2^{p+1-n}).$$

(E) Soit de manière générale :

$$N_B = 1 \ldots 1, \quad 1 \ldots 1 \quad \text{(binaire)}$$

ou

$$N_D = 1.2^{\alpha} + \ldots + 1.2^{0} + 1.2^{-1} + \ldots + 1.2^{-\gamma} \quad \text{(décimal)}.$$

Ecrivons N_D en mettant $2^{-\gamma}$ en facteur, il vient :

$$N_D = 2^{-\gamma}\,(1.2^{\alpha+\gamma} + \ldots + 1.2^{\gamma} + 1.2^{\gamma-1} + \ldots + 1.2^{0}).$$

En employant le résultat de l'annexe B, nous avons :

$$N_D = 2^{-\gamma}\,(2^{\alpha+\gamma+1} - 1)$$

ou

$$N_D = 2^{\alpha+1} - \frac{1}{2^{\gamma}}.$$

Rapporte à notre cas particulier [cf. (2.9)], $\alpha = p$ et $-\gamma = p-n+1$ et nous avons (en décimal) :

$$Q_{min.} = \frac{1}{2^{n-p-1}}, \qquad Q_{max.} = 2^{p+1} - \frac{1}{2^{n-p-1}}.$$

(F) Détermination de la tension de référence maximale, (V_R)max.

Le choix du type de générateur de poids (§ 3.1.2.) entraîne la relation suivante (4.32) :

$$V_{CEO} = 2{,}25\ V_R + V_{CE}\ (\text{sat.})$$

où V_{CEO} est la tension émetteur-collecteur d'un transistor dans l'état bloqué et V_{CE} (sat.), cette même tension dans la zone de saturation.

L'analyse des caractéristiques de transistors, publiées par les divers constructeurs, montre qu'il est raisonnable de ne pas dépasser $V_{CE\ max.}$ de l'ordre de 100 volts afin de conserver une certaine vitesse de calcul (2 à 4 µs par comparaison). En effet, la fréquence de transition (F_T) est une fonction inverse de V_{CEO}.

Pour de tels transistors, la tension de saturation est de l'ordre de quelques volts. Dans ces conditions, $V_{R\ max.}$ sera voisine de 40 volts; on a pris : $(V_R)_{max.} = 40$ volts.

(G) Soit $Q = 1 \ldots\ldots\ldots$ (quotient connu à un seul chiffre significatif).

Donc : $1000{,}000 \leqslant Q \leqslant 1111{,}1111 \neq 10000{,}000$

$$Q = 1000 \begin{smallmatrix} +\ 1000 \\ -\ 0 \end{smallmatrix}$$

$$= 1000\ (1 \begin{smallmatrix} +\ 1 \\ -\ 0 \end{smallmatrix})$$

d'où $\dfrac{\Delta Q}{Q} = \begin{smallmatrix} +100\ \% \\ -\ \ 0\ \% \end{smallmatrix}$

et de $V_2 = \dfrac{V_1}{Q}$, à V_1 = constante, si $\Delta Q \simeq Q$ on a :

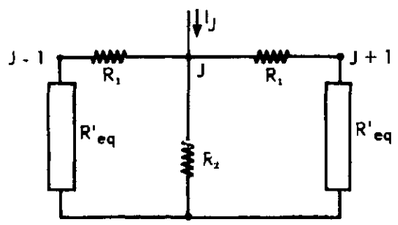
$$\frac{\Delta V_2}{V_2} = -\frac{\Delta Q}{Q + \Delta Q} = \frac{-\left(\begin{smallmatrix} +1 \\ -0 \end{smallmatrix}\right)}{1\begin{smallmatrix} +1 \\ -0 \end{smallmatrix}} = \begin{smallmatrix} +\ 0\ \% \\ -50\ \% \end{smallmatrix}.$$

(H) Nous savons que les tensions partielles sont liées entre elles par la loi de récurrence [cf. (3.2.)].

$$V_{j\pm1,j} = \frac{V_{jj}}{2^1} .$$

Pour un réseau identique à celui présenté par la figure 3-2, (formé de seulement deux valeurs de résistances, R_1 et R_2) établissons le rapport entre R_1 et R_2 afin de satisfaire la condition ci-dessus.

Comme le réseau est symétrique, on a en un noeud quelconque le schéma équivalent suivant :



d'où

$$\begin{cases} R'_{eq} = \dfrac{R_2\,(R_1 + R'_{eq})}{R_1 + R_2 + R'_{eq}} \text{ , parce qu'il y a symétrie} \\[2ex] R'_{eq} = R_1 \text{ , parce que l'on veut : } V_{j\pm1,j} = \dfrac{V_{jj}}{2} \end{cases}$$

soit

$$\boxed{R_2 = 2R_1} .$$

(I) <u>Nombre de quotients mesurables</u>

Il faut entendre par cette expression "nombre de quotients mesurables", le nombre de quotients différents que permettent d'écrire, d'une part les 8 bits et, d'autre part les s chiffres significatifs. Exemple, les quotients suivants :

$$Q = 0{,}101 \text{ à } \pm\, 0{,}001 \text{ près}$$

et $Q = 0{,}1010$ à $\pm\, 0{,}0001$ près ne sont pas les mêmes puisqu'ils ne correspondent pas à une même zone de mesure de $\frac{V_1}{V_2}$ (voir fig.2-5). On pourrait même parler de "segment-quotient" pour la zone :

$$2^0\,\Delta V_c > V_2 \geqslant 2^{-1}\,\Delta V_c .$$

Dans cette zone, il y a 7 quotients mesurables.

Dans la zone où s = 8, Q est défini par 8 bits, on peut donc définir

$2^7 + 2^6 + \ldots + 2^0$ quotients, soit : $2^8 - 1$,

pour s = 7, on ne pourra en définir que : $2^7 - 1$

etc...

Pour s = 1, on ne pourra en définir que : $2^1 - 1$.

De façon générale, le nombre QM de ces quotients mesurables est :

$$\begin{aligned} QM &= (2^n - 1) + (2^{n-1} - 1) + \ldots + (2^{n-i} - 1) \\ &= 2^n + 2^{n-1} + \ldots\, 2^{n-i} - (i+1) \\ &= (2^{n+1} - 2^{n-i}) - (i+1) . \end{aligned}$$

Pour l'étendue totale, n = s = 8 à n = s = 1 (i=7)

$$\begin{aligned} QM &= 2^1\,(2^8 - 1) - 8 \\ &= 502. \end{aligned}$$

Si on se limite à s = 4 (i = 4) on a :

$QM_1 = 491$, soit une perte de 12 (2 %) .

(J) Calculons P_1 , puissance maximale dissipée dans les résistances $R_{j,j\pm1}$

Avec les notations de la figure 4-2, P_1 vaut :

$$P_1 = \frac{\left[V_{jT} - V_{j\pm1,T}\right]^2}{R_{j,j\pm1}} .$$

V_{jT} est une fonction de Q (voir par exemple (4.3) où Q = 1111,1111) ; pour simplifier le calcul, étudions les trois cas suivants :

a) Tous les courants I_j sont injectés (Q = 1111,1111) ;

la relation (4.3) permet d'écrire :

$$V_{jT} - V_{j+1,T} = \frac{V_R}{2^{n-j}} - \frac{V_R}{2^j}$$

$$V_{jT} - V_{j-1,T} = \frac{V_R}{2^{j-1}} - \frac{V_R}{2^{n-j+1}} .$$

Dans les deux cas, la tension maximale est égale à $\frac{V_R}{2}\left(1 - \frac{1}{2^n}\right)$ pour respectivement $j = n - 1$ et $j = 2$.

b) Un seul courant I_j est injecté (ex : Q = 0010,0000) ;

nous avons :

$$V_{jT\ max.} = V_R$$

et

$$V_{j\pm1,T} = \frac{V_R}{2}$$

d'où

$$V_{jT} - V_{j\pm1,T} = \frac{V_R}{2} .$$

c) Seulement q+1 courants I_o , successifs, sont injectés (ex : Q = 0010,0000) ;

c'est à dire que l'on a :

$$I_j = I_o, I_{j+1} = I_o, \ldots, I_{j+q} = I_o$$

$$I_{j-1} = 0, \ldots, I_{j-r} = 0 .$$

De la relation (4.3), il vient :

$$V_{jT} = V_R + \sum_{q=1}^{q=n-j} \frac{V_R}{2^q}$$

et

$$V_{j-1,T} = \frac{1}{2} V_{jT} ,$$

d'où :

$$V_{jT} - V_{j-1,T} = \frac{1}{2} V_R \left[1 + \sum_{q=1}^{q} \frac{1}{2^q}\right]$$

$$= V_R \left[\frac{1}{2^1} + \frac{1}{2^2} + \ldots + \frac{1}{2^{q+1}}\right]$$

$$V_{jT} - V_{j-1,T} = V_R \left[1 - \frac{1}{2^{q+1}}\right] .$$

La puissance P_1 qui en découle est donc sensiblement le double de ce qu'elle est dans les cas a) ou b). Elle vaut en fonction de V_2 [cf. relation (4.2)] :

$$P_1 = 2^{2p} \cdot \frac{V_2^2}{R} \cdot \left[1 - \frac{1}{2^{q+1}}\right]^2 .$$

La valeur de $V_{2\ max.}$ étant prépondérante pour déterminer $P_{1\ max.}$, on ne peut retenir que $q_{max.} = 3$ (j = 5) afin d'être compatible avec $V_{2\ max.} = 5$ Volts.

(K) Quel que soit Q, $(P_2)_{max.} = \frac{338}{R'_E}$ est la valeur maximale qui ne sera pas dépassée.

En effet :

1°) pour $Q < 0,1111$, $V_{2\ max.}$ reste limitée à 5 Volts alors que H_n va décroître ;

2°) pour $Q > 0,1111$, H_n va croître ($H_5 > H_4$ etc), mais cette augmentation est faible devant la décroissance de $V_{2\ max.}$ qui se trouve sensiblement divisée par deux, chaque fois que l'on passe à un ordre croissant de n dans H_n. Nous avons par exemple pour Q = 1,1111 (1,937 en décimal) :

a) $H_5 = 2,50$

b) $V_{2\ max.} = \frac{V_{1\ max.}}{1,937}$

soit $V_{2\ max.} \# 2,5$ V .

Cela est dû au fait que le quotient est presque doublé à chaque accroissement unitaire de n.

(L) <u>Déterminons les puissances maximales dans chacune des résistances du réseau</u>

Dressons le tableau I formé des huit noeuds du réseau. Sous chacun d'eux on place, dans l'ordre, les chiffres de Q pour des valeurs particulières (cas n°1, 2, 3 et 4) et les quantités V_{jT} , P_2 et H_n. P_1 sera placée sous $R_{j,j+1}$, adjacente à R_j et R_{j+1} , afin de respecter la topographie du réseau.

Les quotients formés par une série de "1" sont ces cas intéressants, puisqu'ils donnent des valeurs de V_{jT} de l'ordre de deux fois supérieurs à V_2 [voir la relation (4.4) où Q = 1111,1111, et (4.5) où Q = 0,1111].

Expliquons brièvement ce tableau et ce qu'on en déduit. Le premier cas montre que R_5, R_6, R_8 et R_{45} dissiperont plus que dans le cas n°2; ce dernier faisant ressortir que R_4 et R_{34} doivent dissiper davantage dans ce cas. Le troisième cas fait apparaître des puissances inférieures à celles délivrées précédemment. Il en est de même pour les quotients 111,1111 et1111,1111, vu que $V_{2\ max.}$ décroît. Avec le cas n°4 apparaît la considération des états permanents (résultat de la division) et des états de passage (état lors d'une comparaison). En ce qui concerne les états permanents, on en déduit que R_{56} , R_{67} et R_{78} doivent supporter 41,5 mW (voir flèches de renvoi). Pour R_1 , R_2 et R_{12} , R_{23} , R_{34} , elles ne dissiperont respectivement que 83,5 mW et 41,5 mW durant le temps d'une comparaison. Vu le facteur de forme (taux de travail) de l'ordre de dix cela conduit à des dissipations du même ordre de grandeur que celles calculées au cas n°2. Les cases, entourées d'un trait épais, désignent les puissances maximales.

L'utilisation, très récente, du procédé de calcul E C A P (Programme d'analyse de circuits électroniques [13])a confirmé ces résultats, ainsi que ceux concernant l'étude sur la précision des résistances du réseau sommateur "R,2R".

(R'_E = 800 Ω)

Fig. 4-1 n° du noeud	1	2	3	4	5	6	7	8
R_j	R_1	R_2	R_3	R_4	R_5	R_6	R_7	R_8
$R_{j,j+1}$		R_{12}	R_{23}	R_{34}	R_{45}	R_{56}	R_{67}	R_{78}
(Q=0,1111) D_j	0	0	0	0	1	1	1	1
cas 1 H_n	/	/	/	/	1,87	2,25	2,25	1,87
(V_2max #5V) V_{jT} (V)	$75/2^4$	$75/2^3$	$75/2^2$	$75/2^1$	75	90	90	75
P_2 (mW)	2	4,5	18	73	293	423	423	2 x 293
P_1 (mW)		2	9	36,5	146,5	23,5	0	23,5
(Q=1,1111) D_j	0	0	0	1	1	1	1	1
cas 2 H_n	/	/	/	1,94	2,38	2,50	2,38	1,94
(V_2max=2,55) V_{jT} (V)	5	10	20	40	48,5	51	48,5	40
P_2 (mW)	2,5	5	21	83,5	118	135	118	2x 83,5
P_1 (mW)		2,5	10,5	41,5	7,5	X	X	X
(Q=11,1111) D_j	0	0	1	1	1	1	1	1
cas 3 H_n	/	/	1,96	2,43	2,62	2,62	2,43	1,96
(V_2max=1,26) V_{jT} (V)	5	10	20	25	26,6	26,6	25	20
P_2 (mW)	X	X	X	X	37	37	X	X
P_1 (mW)		X	X	X	X	X	X	X
(Q = 1) D_j	0	0	0	1	0	0	0	0
cas 4 H_n	/	/	/	1	/	/	/	/
(V_2max = 5V) V_{jT} (V)	5	10	20	40	20	10	5	2,5
P_2 (mW)	X	X	21	83,5	X	X	X	X
P_1 (mW)		X	X	41,5	41,5	X	X	X

X = case où le calcul est sans intérêt vu le résultat des cases précédentes.

TABLEAU I

(M) Etude de $Y = \sum_{q=o}^{q=n} \frac{1+q}{2^q}$.

$$Y = \frac{1}{2^o} + \frac{2}{2^1} + \dots\dots\dots\dots \frac{q+1}{2^q} + \dots\dots + \frac{q+1}{2^q}$$

$$= \overbrace{\frac{1}{2^o} + \frac{1}{2^1} + \dots\dots\dots\dots \frac{1}{2^q} + \dots\dots \frac{1}{2^n}}^{\text{n+1 termes}} = 2^1 - \frac{1}{2^n} \quad (n \geqslant o)$$

$$+ \frac{1}{2^1} + \frac{1}{2^2} + \dots\dots \frac{1}{2^q} + \dots\dots \frac{1}{2^n} = 2^o - \frac{1}{2^n} \quad (n \geqslant 1)$$

$$+ \frac{1}{2^2} + \dots\dots \frac{1}{2^q} + \dots\dots \frac{1}{2^n} = 2^{-1} - \frac{1}{2^n} \quad (n \geqslant 2$$

$$\frac{1}{2^q} + \dots\dots \frac{1}{2^n} = 2^{q+1} - \frac{1}{2^n}$$

$$\frac{1}{2^n} = 2^{-n+1} - \frac{1}{2^n}$$

n+1 termes

et $$Y = \underline{A} - \underline{B} ,$$

où : $$A = 2^1 + 2^o + 2^{-1} + \dots\dots 2^{-n+1}$$

$$= 2^2 - 2^{-n+1} = 2^2 - \frac{1}{2^{n-1}} = 2^2 - \frac{2}{2^n} ,$$

$$B = \frac{n+1}{2^n} ,$$

soit :

$$\boxed{Y = A - B = \sum_{q=o}^{q=n} \frac{1+q}{2^q} = 4 - \frac{n+3}{2^n}} .$$

BIBLIOGRAPHIE

[1] - P. DEBRAINE "Machine de traitement de l'information"
Tome I - Etude logique et construction des circuits -
Editions Masson & Cie - 1967 .

- H. SOUBIES-CAMY "Les machines binaires et le traitement de l'information"
(Chap. I.10 et 15.4.1.)
Editions Dunod - 1966 -

[2] - A. PÉTIN "Convertisseur - analogique - digital rapide". Janvier 1967.
Note C.E.A. - N°698.

[3] - Sté SFERNICE "Influence de la tolérance des résistances sur la précision des convertisseurs".
Note d'information 2 RF/Las 29 Avril 1965.

[4] - V. GOURSKY "Porte linéaire bipolaire à haut niveau" - § 3.
Note C.E.A. - N°758
"Générateur de courant constant" (Brevet n°1.445-489 de Juin 1966).

[5] - R. AULNETTE "Essais des circuits intégrés Fairchild μA 702 (amplificateurs intégrés)" - Note C.E.A. - N°701 - Fév. 1966.

[6] - R.J. WIDLAR "A monolithic operational amplifier".
Note AR. 129 Avril 1964 - SGS.FAIRCHILD.

[7] - F. ZANDMAN & S.J. STEIN "Une nouvelle résistance de précision à film métallique présentant les propriétés du métal massif".
Société Française de l'électro-résistance -
Usine de NICE (A.M.).
Reprinted by permission of the 1964 Electronic Components conference, May 5, 6, 7, 1964 in WASHINGTON, D.C.

[8] - Anonyme "Résistances et réseaux passifs de haute précision"
Chapitre IV, Bulletin technique n°2 de Technique et Produits.

[9] - Anonyme "Amplificateurs opérationnels et circuits analogiques"
Chap. 2 § 4 - Bulletin technique n°5 de
Technique et Produits. Juillet 1966.
Responsable de la Publication : F. GAZAY.

[10] - L. WISSEMAN & J.J. ROBERTSON "A new high performance integrated operational amplifier".
Note AN-204 - Août 1965 - (§ IV C2).
Motorala Semiconductor Products Inc.

[11] - Anonyme "The application of linear microcircuits" - (§ 3.4.)
Seconde issue. August 1967 - SGS.FAIRCHILD.

[12] - Anonyme "Circuits solides pour applications digitales".
Texas Instrument France (06) Villeneuve-Loubet.

[13] - C. IMBRECHTS & J. LE BER "E C A P - Programme d'analyse de circuits électroniques -
Note d'utilisation" - Commissariat à l'Energie Atomique -
Saclay. Communication privée - Janvier 1968.

Manuscrit reçu le 2 octobre 1968

FIN